

(19)日本国特許庁(J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002-202762

(P2002-202762A)

(43)公開日 平成14年7月19日(2002.7.19)

(51) Int.CI ⁷	識別記号	F I	テ-マコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
	575		5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A
	621		621 H

審査請求 未請求 請求項の数 130 L(全 25数) 最終頁に続く

(21)出願番号 特願2000-403228(P2000-403228)

(71)出願人 000002369

セイコーエプソン株式会社

(22)出願日 平成12年12月28日(2000.12.28)

東京都新宿区西新宿2丁目4番1号

(72)発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコーエ
プソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅譽 (外1名)

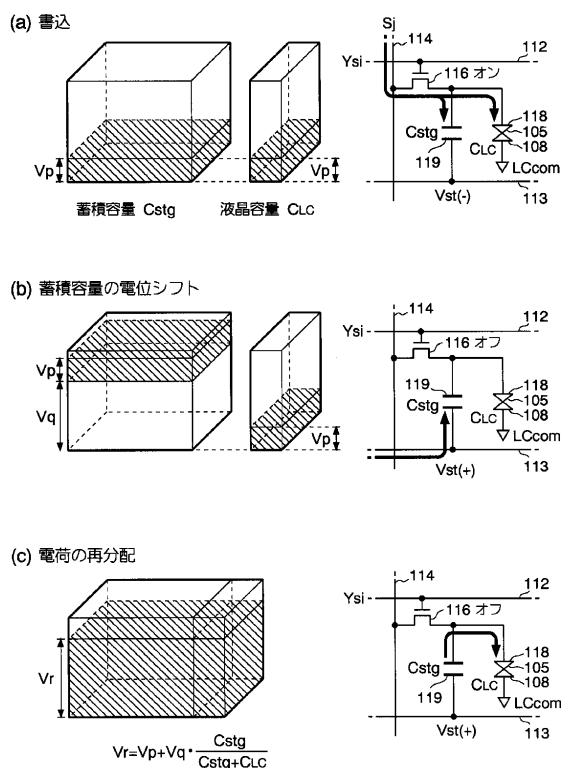
最終頁に続く

(54)【発明の名称】 液晶表示装置、駆動回路、駆動方法及び電子機器

(57)【要約】

【課題】 データ線114に供給されるデータ信号 S_j の電圧振幅を小さく抑えて、低消費電力化を図る。

【解決手段】 走査線112に供給される走査信号 Y_{si} をHレベルにした場合に、階調に応じ、かつ、書込極性に応じた電圧のデータ信号 S_j をデータ線114に印加する。この場合、TFT116がオンするので、液晶容量 C_{LC} と蓄積容量 C_{stg} とには、データ信号 S_j の電圧に応じた電荷が蓄積される。この後、走査信号 Y_{si} をLレベルにして、TFT116をオフさせるとともに、蓄積容量 C_{stg} の他端における電圧を、低位側の容量電圧 $Vst(-)$ から高位側 $Vst(+)$ に持ち上げると、持ち上げられた分に相当する電荷が、液晶容量 C_{LC} に分配される。これにより、液晶容量 C_{LC} に印加される電圧実効値を、データ信号 S_j の電圧振幅以上に対応するものとすることができる。



【特許請求の範囲】

【請求項1】 オン電圧が印加された後にオフ電圧が印加される走査線と、

対向電極と画素電極とによって液晶が挟持された液晶容量と、

前記走査線にオン電圧が印加された場合に、階調を指示する階調データに対応し、かつ、前記液晶容量への書き極性に対応した電圧を、データ線に印加するD/A変換器と、

前記データ線と前記画素電極との間に介挿されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、

一端が前記画素電極に接続される一方、前記走査線にオン電圧が印加された期間における書き極性が正極性書きに対応するものであったならば、前記走査線にオフ電圧が印加されたときに、他端の電位が高位にシフトし、前記走査線にオン電圧が印加された期間における書き極性が負極性書きに対応するものであったならば、前記走査線にオフ電圧が印加されたときに、他端の電位が低位にシフトする蓄積容量とを具備することを特徴とする液晶表示装置。

【請求項2】 前記書き極性が、正極性書きまたは負極性書きのいずれか一方である場合に、

プリセット期間では、第1の電圧が給電されるとともに、前記プリセット期間後のセット期間では、前記第1の電圧よりも高位の第2の電圧が給電される第1の給電線と、

前記プリセット期間では、前記第2の電圧よりも高位の第3の電圧が給電されるとともに、前記セット期間では、前記第3の電圧よりも低位であって、前記第2の電圧よりも高位である第4の電圧が給電される第2の給電線と、

前記プリセット期間では、前記第1または第2の給電線のいずれか一方を選択する一方、前記セット期間では、前記第1または第2の給電線のいずれか他方を選択するセレクタとを備え、前記D/A変換器は、

前記プリセット期間および前記セット期間において、前記セレクタによりそれぞれ選択された電圧を用いて、前記データ線への印加電圧を生成することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記書き極性が、正極性書きまたは負極性書きのいずれか他方である場合に、前記第1の給電線には、前記プリセット期間において第5の電圧が給電されるとともに、前記セット期間において前記第5の電圧よりも高位の第6の電圧が給電される一方、

前記第2の給電線には、前記プリセット期間において、前記第6の電圧よりも高位の第7の電圧が給電されるとともに、前記セット期間では、前記第7の電圧よりも低位であって、前記第6の電圧よりも高位である第8の電

圧が給電されることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記D/A変換器は、

前記書き極性が正極性書きまたは負極性書きのいずれか一方である場合に、

前記階調データの上位ビット応じて、第1または第3の電圧のいずれか一方を、プリセット期間において前記データ線に印加する第1のスイッチと、

前記階調データの上位ビットを除いた下位ビットに対応する容量値を有する容量であって、

前記データ線に前記第1の電圧が印加されたのであれば、前記第1の電圧よりも高位の第4の電圧が一端に印加される一方、前記データ線に前記第3の電圧が印加されたのであれば、前記第3の電圧よりも低位の第2の電圧が一端に印加され、その他端が、前記プリセット期間の後のセット期間において前記データ線に接続される容量とを含むことを特徴とする請求項1に記載の液晶表示装置。

【請求項5】 前記容量は、前記下位ビットの重みに対応するビット容量と、

前記ビット容量に対応して設けられるとともに、前記下位ビットにしたがってオンまたはオフする第2のスイッチとからなることを特徴とする請求項4に記載の液晶表示装置。

【請求項6】 前記プリセット期間では、前記第1の電圧が給電されるとともに、前記セット期間では、前記第2の電圧が給電される第1の給電線と、

前記プリセット期間では、前記第3の電圧が給電されるとともに、前記セット期間では、前記第4の電圧が給電される第2の給電線と、

前記プリセット期間では、前記第1または第2の給電線のいずれか一方を、前記上位ビットに応じて選択し、選択した給電線に給電されている電圧を前記第1のスイッチの入力端に供給するとともに、前記セット期間では、前記第1または第2の給電線のいずれか他方を選択し、選択した給電線に給電された電圧を前記容量の一端に供給するセレクタとを備えることを特徴とする請求項4に記載の液晶表示装置。

【請求項7】 前記書き極性が正極性書きまたは負極性書きのいずれか他方である場合に、

前記第1のスイッチは、前記階調データの上位ビット応じて、第5または第7の電圧のいずれか一方を、プリセット期間において前記データ線に印加し、

前記容量の一端には、前記データ線に前記第5の電圧が印加されたのであれば、前記第5の電圧よりも高位の第8の電圧が一端に印加される一方、前記データ線に前記第7の電圧が印加されたのであれば、前記第7の電圧よりも低位の第6の電圧が一端に印加されることを特徴とする請求項4に記載の液晶表示装置。

【請求項8】 前記第1の給電線には、前記プリセット

期間において第5の電圧が給電されるとともに、前記セット期間において前記第6の電圧が給電される一方、前記第2の給電線には、前記プリセット期間において、前記第7の電圧が給電されるとともに、前記セット期間では、前記第8の電圧が給電されることを特徴とする請求項7に記載の液晶表示装置。

【請求項9】 前記液晶容量に対する前記蓄積容量の容量比率は、4以上であることを特徴とする請求項1に液晶表示装置。

【請求項10】 前記蓄積容量の他端は、容量線を介し 10 行毎に共通接続されることを特徴とする請求項1に液晶表示装置。

【請求項11】 請求項1乃至9のいずれかに記載の液晶表示装置を備えることを特徴とする電子機器。

【請求項12】 走査線とデータ線との交差に対応して設けられるとともに、対向電極と画素電極とによって液晶が挟持された液晶容量と、

前記データ線と前記画素電極との間に介挿されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、

一端が前記画素電極に接続された蓄積容量とを備える液晶表示装置を駆動するに際し、

前記走査線に前記オン電圧を印加した後に、前記オフ電圧を印加する走査線駆動回路と、

前記走査線駆動回路によって、前記走査線にオン電圧が印加された場合に、階調を指示する階調データに対応した電圧であって、かつ、前記液晶容量への書き極性に対応した電圧をデータ線に印加するD/A変換器と、

前記走査線にオン電圧が印加された場合に、前記データ線に印加された電圧が正極性書きに対応するものであつたならば、前記走査線にオフ電圧が印加されたときに、前記蓄積容量における他端の電位を高位にシフトさせる一方、

前記走査線にオン電圧が印加された場合に、前記データ線に印加された電圧が負極性書きに対応するものであつたならば、前記走査線にオフ電圧が印加されたときに、前記蓄積容量における他端の電位を低位にシフトさせる蓄積容量駆動回路とを具備することを特徴とする液晶表示装置の駆動回路。

【請求項13】 走査線とデータ線との交差に対応して 40 設けられるとともに、対向電極と画素電極とによって液晶が挟持された液晶容量と、

前記データ線と前記画素電極との間に介挿されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、

一端が前記画素電極に接続された蓄積容量とを備える液晶表示装置を駆動するに際し、

前記走査線にオン電圧を印加し、階調を指示する階調データに対応した電圧であって、かつ、前記液晶容量への書き極性に対応した電圧を、前記 50

データ線に印加し、

前記走査線にオフ電圧を印加し、

前記データ線への印加電圧を正極性書きに対応させたならば、前記蓄積容量における他端の電位を高位にシフトさせる一方、負極性書きに対応させたならば、前記走査線にオフ電圧を印加したときに、前記蓄積容量における他端の電位を低位にシフトさせることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ線への電圧振幅を縮小して低消費電力化を図った液晶表示装置、駆動回路、駆動方法および電子機器に関する。

【0002】

【従来の技術】近年、液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器や壁掛けテレビなどの電子機器に広く用いられている。このような液晶表示装置は、駆動方式等に様々な型に分類することができるが、画素をスイッチング素子により駆動するアクティブラチクス型液晶表示装置は、次のような構成となっている。すなわち、アクティブラチクス型液晶表示装置は、マトリクス状に配列した画素電極や、この画素電極に接続されたスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に挟持された液晶とから構成されている。

【0003】このような構成において、走査線にオン電圧が印加されると、当該走査線に接続されたスイッチング素子が導通状態になる。この導通状態の際に、データ線を介して画素電極に対し階調（濃度）に応じた電圧信号が印加されると、当該画素電極および対向電極の間に液晶が挟持された液晶容量に、当該電圧信号に応じた電荷が蓄積される。そして、電荷蓄積後、走査線にオフ電圧が印加されて、スイッチング素子が非導通状態になつても、当該液晶容量における電荷の蓄積は、液晶容量自身の容量性や、これに併設される蓄積容量などによって維持される。このように、各スイッチング素子を駆動し、蓄積させる電荷量を階調に応じて制御すると、液晶の配向状態が変化する。このため、画素毎に階調が変化する結果、所定の表示が可能となる。

【0004】また近年では、画素の階調を指示する階調データをアナログ信号に変換するD/A変換器を、データ線毎に設ける構成が提案されている。この構成によれば、データ線に出力される直前まで、画像データがデジタルにて処理されるので、アナログ回路の特性不均一等による表示品位の低下が防止されて、高品位な表示が可能になる。

【0005】ところで、階調表示を行う場合、画素電極には、最小階調に対応する電圧から最大階調に対応する電圧までの範囲を、正極性と負極性との2通りに分けて

印加する必要がある。このため、画素電極に印加する必要のある電圧の最小値と最大値との振幅は、C M O S回路等における論理レベルの振幅を越えるほどに大きくなる。

【0006】

【発明が解決しようとする課題】しかしながら、画素電極に印加すべき電圧の振幅が大きくなると、データ線に供給すべき電圧の振幅も必然的に大きくなる。そして、データ線に供給すべき電圧の振幅が大きくなると、データ線に寄生する容量によって無駄に電力が消費される結果、液晶表示装置に対して一般的に要求される低消費電力化とは、大きく逆行することになる。

【0007】また、データ線への電圧振幅が大きいと、D / A変換器が出力すべき電圧振幅も大きくする必要がある。このため、D / A変換器の構成が大規模化する、または、D / A変換器の出力電圧を拡大するレベルシフタが別途必要となる、といった問題もあった。

【0008】本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、各種の信号線、特にデータ線に印加される電圧振幅を小さく抑えることによって低消費電力化を図った液晶表示装置、駆動回路、駆動方法および電子機器を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本件第1発明に係る液晶表示装置にあっては、オン電圧が印加された後にオフ電圧が印加される走査線と、対向電極と画素電極とによって液晶が挟持された液晶容量と、前記走査線にオン電圧が印加された場合に、階調を指示する階調データに対応し、かつ、前記液晶容量への書き極性に対応した電圧を、データ線に印加するD / A変換器と、前記データ線と前記画素電極との間に介插されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、一端が前記画素電極に接続される一方、前記走査線にオン電圧が印加された期間における書き極性が正極性書きに対応するものであったならば、前記走査線にオフ電圧が印加されたときに、他端の電位が高位にシフトし、前記走査線にオン電圧が印加された期間における書き極性が負極性書きに対応するものであったならば、前記走査線にオフ電圧が印加されたときに、他端の電位が低位にシフトする蓄積容量とを具備する構成を特徴としている。この構成によれば、走査線にオン電圧が印加されると、当該走査線に接続されたスイッチング素子がオンする結果、液晶容量および蓄積電極には、データ線への印加電圧に応じた電荷が蓄積される。この後、スイッチング素子がオフすると、蓄積容量における他端の電圧がシフトするので、その分、蓄積容量における一端の電圧が持ち上げられる（または持ち下げられる）。と同時に、持ち上げられた（または持ち下げられた）分の電荷が、液晶容量に分配されるので、液晶容量には、データ

10

線への印加電圧以上（または以下）に対応する電圧実効値が印加されることになる。換言すれば、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅が小さく抑えられる。このため、データ線に寄生する容量によって無駄に消費される電力が抑えられるので、低消費電力化を図ることが可能となる。さらに、D / A変換器の大規模化が防止され、または、D / A変換器の出力電圧を拡大するレベルシフタが不要となるので、データ線のピッチを狭くでき、その分、高精細化を図ることが可能となる。

20

【0010】ここで、第1発明において、前記書き極性が、正極性書きまたは負極性書きのいずれか一方である場合に、プリセット期間では、第1の電圧が給電されるとともに、前記プリセット期間後のセット期間では、前記第1の電圧よりも高位の第2の電圧が給電される第1の給電線と、前記プリセット期間では、前記第2の電圧よりも高位の第3の電圧が給電されるとともに、前記セット期間では、前記第3の電圧よりも低位であって、前記第2の電圧よりも高位である第4の電圧が給電される第2の給電線と、前記プリセット期間では、前記第1または第2の給電線のいずれか一方を選択する一方、前記セット期間では、前記第1または第2の給電線のいずれか他方を選択するセレクタとを備え、前記D / A変換器は、前記プリセット期間および前記セット期間において、前記セレクタによりそれぞれ選択された電圧を用いて、前記データ線への印加電圧を生成する構成が好ましい。D / A変換器が、プリセット期間に第1の電圧を用いる場合には、セット期間に第4の電圧を用いる一方、プリセット期間に第3の電圧を用いる場合には、セット期間に第2の電圧を用いる構成であれば、単純には、第1および第4の電圧を、ある1本の給電線を介して給電する一方、第3および第2の電圧を、別の1本の給電線を介して給電する構成が考えられる。しかしながら、このような構成では、2本の給電線における電圧振幅がともに大きくなり、このため、該給電線に寄生する容量によって無駄に電力が消費されてしまう。そこで、プリセット期間からセット期間に移行する際、セレクタによって、第1または第2の給電線の一方から他方に給電を切り替える構成にすると、両給電線における電圧の遷移が小さく抑えられて、その分、さらなる低消費電力化が可能となる。

30

【0011】さらに、セレクタによって第1または第2の給電線の一方から他方に給電を切り替える構成においては、前記書き極性が、正極性書きまたは負極性書きのいずれか他方である場合に、前記第1の給電線には、前記プリセット期間において第5の電圧が給電されるとともに、前記セット期間において前記第5の電圧よりも高位の第6の電圧が給電される一方、前記第2の給電線には、前記プリセット期間において、前記第6の電圧よりも高位の第7の電圧が給電されるとともに、前記セット

50

期間では、前記第7の電圧よりも低位であって、前記第6の電圧よりも高位である第8の電圧が給電される構成も好ましい。この構成では、プリセット期間からセット期間に移行する際だけでなく、液晶容量への書き極性が、正極性書きまたは負極性書きのいずれか一方から他方に移行する際にも、両給電線における電圧の遷移が小さく抑えられる。

【0012】また、第1の発明におけるD/A変換器は、前記書き極性が正極性書きまたは負極性書きのいずれか一方である場合に、前記階調データの上位ビット応じて、第1または第3の電圧のいずれか一方を、プリセット期間において前記データ線に印加する第1のスイッチと、前記階調データの上位ビットを除いた下位ビットに対応する容量値を有する容量であって、前記データ線に前記第1の電圧が印加されたのであれば、前記第1の電圧よりも高位の第4の電圧が一端に印加される一方、前記データ線に前記第3の電圧が印加されたのであれば、前記第3の電圧よりも低位の第2の電圧が一端に印加され、その他端が、前記プリセット期間の後のセット期間において前記データ線に接続される容量とを含む構成が好ましい。この構成では、プリセット期間において、階調データの上位ビットに応じて第1または第3の電圧が、第1のスイッチによってデータ線に印加されると、当該印加電圧に応じた電荷がデータ線の寄生容量に蓄積される。次に、セット期間において、階調データの下位ビットに応じた容量であって、一端に第4または第2の電圧が印加された容量の他端がデータ線に接続されると、容量に蓄積された電荷がデータ線の寄生容量に、あるいは逆に、データ線の寄生容量に蓄積された電荷が容量に、移動して均等化される。これにより、データ線には、階調ビットに応じた電圧が印加されることになる。すなわち、この構成では、D/A変換する際に、データ線の寄生容量が積極的に用いられるので、その分、構成の簡略化が図られることになる。

【0013】ここで、D/A変換器における容量は、前記下位ビットの重みに対応するビット容量と、前記ビット容量に対応して設けられるとともに、前記下位ビットにしたがってオンまたはオフする第2のスイッチとからなる態様が考えられる。この態様によれば、前記階調データの下位ビットに対応する容量値の容量を簡易に構成することができる。

【0014】さて、第1のスイッチと容量とを含むD/A変換器が、プリセット期間に第1の電圧を用いる場合には、セット期間に第4の電圧を用いる一方、プリセット期間に第3の電圧を用いる場合には、セット期間に第2の電圧を用いる構成であれば、単純には、第1および第4の電圧を、ある1本の給電線を介して給電する一方、第3および第2の電圧を、別の1本の給電線を介して給電する構成が考えられる。しかしながら、このような構成では、2本の給電線における電圧振幅がともに大

きくなり、このため、該給電線に寄生する容量によって無駄に電力が消費されてしまう。そこで、D/A変換器が第1のスイッチと容量とを含む構成にあっては、前記プリセット期間では、前記第1の電圧が給電されるとともに、前記セット期間では、前記第2の電圧が給電される第1の給電線と、前記プリセット期間では、前記第3の電圧が給電されるとともに、前記セット期間では、前記第4の電圧が給電される第2の給電線と、前記プリセット期間では、前記第1または第2の給電線のいずれか一方を、前記上位ビットに応じて選択し、選択した給電線に給電されている電圧を前記第1のスイッチの入力端に供給するとともに、前記セット期間では、前記第1または第2の給電線のいずれか他方を選択し、選択した給電線に給電された電圧を前記容量の一端に供給するセレクタとを備える構成が好ましい。この構成では、プリセット期間からセット期間に移行する際、セレクタによって、第1または第2の給電線の一方から他方に給電が切り替えられるので、両給電線における電圧の遷移が小さく抑えられる。このため、さらなる低消費電力化が可能となる。

【0015】また、D/A変換器において、前記書き極性が正極性書きまたは負極性書きのいずれか他方である場合に、前記第1のスイッチは、前記階調データの上位ビット応じて、第5または第7の電圧のいずれか一方を、プリセット期間において前記データ線に印加し、前記容量の一端には、前記データ線に前記第5の電圧が印加されたのであれば、前記第5の電圧よりも高位の第8の電圧が一端に印加される一方、前記データ線に前記第7の電圧が印加されたのであれば、前記第7の電圧よりも低位の第6の電圧が一端に印加される構成が好ましい。この構成によれば、プリセット期間およびセット期間における印加電圧を変更するのみによって、液晶容量への書き極性に対応した電圧を生成することが可能となる。

【0016】さらに、D/A変換器が、プリセット期間およびセット期間における印加電圧を変更することによって、液晶容量への書き極性に対応した電圧を生成する構成である場合、前記第1の給電線には、前記プリセット期間において第5の電圧が給電されるとともに、前記セット期間において前記第6の電圧が給電される一方、前記第2の給電線には、前記プリセット期間において、前記第7の電圧が給電されるとともに、前記セット期間では、前記第8の電圧が給電される構成が好ましい。この構成では、プリセット期間からセット期間に移行する際だけでなく、液晶容量への書き極性が、正極性書きまたは負極性書きのいずれか一方から他方に移行する際にも、両給電線における電圧の遷移が小さく抑えられる。

【0017】一方、第1発明において、液晶容量に対して蓄積容量が十分に大きいのであれば、蓄積容量における他端のシフト分がそのまま液晶容量に印加されるとみ

なすことができる。ただし、実際には、蓄積容量を液晶容量よりも数倍程度とするのが限界があるので、蓄積容量における他端の電圧シフト分が圧縮されて、液晶容量に印加されることになるが、前記液晶容量に対する前記蓄積容量の容量比率は、4以上であれば、電圧振幅の減少分も約20%弱と少なくて済み、レイアウト的にも現実的である。

【0018】また、第1発明において、前記蓄積容量の他端は、容量線を介して行毎に共通接続される構成が好ましい。この構成によれば、液晶容量を、走査線毎の反転(行反転)や垂直走査期間毎の反転(フレーム反転)等することが可能となる。

【0019】さらに、本発明における電子機器は、上記液晶表示装置を備えるので、低消費電力化を図ることが可能になる。なお、このような電子機器としては、画像を拡大投射するプロジェクタのほか、パーソナルコンピュータや、携帯電話などが挙げられる。

【0020】なお、上記第1発明は、液晶表示装置の駆動回路としても実現することができる。すなわち、本件第2発明に係る液晶表示装置の駆動回路にあっては、走査線とデータ線との交差に対応して設けられるとともに、対向電極と画素電極とによって液晶が挟持された液晶容量と、前記データ線と前記画素電極との間に介挿されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、一端が前記画素電極に接続された蓄積容量とを備える液晶表示装置を駆動するに際し、前記走査線に前記オン電圧を印加した後に、前記オフ電圧を印加する走査線駆動回路と、前記走査線駆動回路によって、前記走査線にオン電圧が印加された場合に、階調を指示する階調データに対応した電圧であって、かつ、前記液晶容量への書込極性に対応した電圧をデータ線に印加するD/A変換器と、前記走査線にオン電圧が印加された場合に、前記データ線に印加された電圧が正極性書込に対応するものであったならば、前記走査線にオフ電圧が印加されたときに、前記蓄積容量における他端の電位を高位にシフトさせる一方、前記走査線にオン電圧が印加された場合に、前記データ線に印加された電圧が負極性書込に対応するものであったならば、前記走査線にオフ電圧が印加されたときに、前記蓄積容量における他端の電位を低位にシフトさせる蓄積容量駆動回路とを具備する構成を特徴としている。この構成によれば、上記第1発明と同様に、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅を小さく抑えることができるので、低消費電力化を図ることが可能になる上に、データ線の狭ピッチ化ができるので、高精細化を図ることが可能となる。

【0021】さらに、上記第1発明は、液晶表示装置の駆動方法としても実現することができる。すなわち、本件第3発明に係る液晶表示装置の駆動方法にあっては、

走査線とデータ線との交差に対応して設けられるとともに、対向電極と画素電極とによって液晶が挟持された液晶容量と、前記データ線と前記画素電極との間に介挿されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、一端が前記画素電極に接続された蓄積容量とを備える液晶表示装置を駆動するに際し、前記走査線にオン電圧を印加し、階調を指示する階調データに対応した電圧であって、かつ、前記液晶容量への書込極性に対応した電圧を、前記データ線に印加し、前記走査線にオフ電圧を印加し、前記データ線への印加電圧を正極性書込に対応させたならば、前記蓄積容量における他端の電位を高位にシフトさせる一方、負極性書込に対応させたならば、前記走査線にオフ電圧を印加したときに、前記蓄積容量における他端の電位を低位にシフトさせる方法を特徴としている。この方法によれば、上記第1および第2発明と同様に、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅を小さく抑えることができるので、低消費電力化を図ることが可能になる上に、データ線の狭ピッチ化ができるので、高精細化を図ることが可能となる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0023】<1：実施形態>図1(a)は、この実施形態に係る液晶表示装置の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。これらの図に示されるように、液晶表示装置100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が形成された対向基板102とが、スペーサ103を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に例えばTN(Twisted Nematic)型の液晶105が封入された構成となっている。

【0024】この実施形態では、素子基板101として、ガラスや、半導体、石英などの透明基板が用いられるが、不透明な基板を用いても良い。ただし、素子基板101に不透明な基板を用いる場合には、透過型ではなく反射型として用いる必要がある。また、シール材104は、対向基板102の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0025】次に、素子基板101の対向面であって、シール材104の外側一辺に位置する領域150aには、データ線を駆動するための回路(詳細については後述する)が形成されている。さらに、この一辺の外周部分には、複数の実装端子107が形成されて、外部回路から各種信号を入力する構成となっている。

【0026】また、この一辺に隣接する2辺に位置する領域130aには、それぞれ走査線や容量線などを駆動するため回路（詳細については後述する）が形成されて、行（X）方向の両側から駆動する構成となっている。また、残りの一辺には、2個の領域130aに形成される回路において共用される配線（図示省略）などが設けられる。なお、行方向に供給される信号の遅延が問題にならないのであれば、これらの信号を出力する回路を片側1個の領域130aのみに形成する構成でも良い。

【0027】一方、対向基板102に設けられる対向電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所に設けられた銀ペースト等などの導通材によって、素子基板101に形成された実装端子107と電気的に接続されて、時間的に一定の電圧L C comが印加される構成となっている。ほかに、対向基板102には、特に図示はしないが、画素電極118と対向する領域に、必要に応じて着色層（カラーフィルタ）が設けられる。ただし、後述するプロジェクタのように色光変調の用途に適用する場合、対向基板102に着色層を形成する必要はない。また、着色層を設けると否かとにかかわらず、光のリークによるコントラスト比の低下を防止するために、画素電極118と対向する領域以外の部分には遮光膜が設けられている（図示省略）。

【0028】また、素子基板101および対向基板102の各対向面には、液晶105における分子の長軸方向が両基板間で約90度連続的に捻れるようにラビング処理された配向膜が設けられる一方、その各背面側には、吸收軸が配向方向に沿った方向になるように、偏光子がそれぞれ設けられている。これにより、液晶容量（画素電極118と対向電極108との間ににおいて液晶105を挟持してなる容量）に印加される電圧実効値がゼロであれば、透過率が最大になる一方、電圧実効値が大きくなるにつれて、透過率が徐々に減少して、ついには透過率が最小になるすなわち、本実施形態に係る液晶表示装置は、ノーマリー・ホワイトモードの構成となっている。

【0029】なお、配向膜や偏光子などについては、本件とは直接関係ないので、その図示については省略することにする。また、図1（b）において、対向電極108や、画素電極118、実装端子107などには厚みを持たせているが、これは、位置関係を示すための便宜的な措置であり、実際には、基板の厚みに対して視認できないほどに薄い。

【0030】<1-1：電気的な構成> 続いて、液晶表示装置の電気的な構成について説明する。図2は、この電気的な構成を示すブロック図である。この図に示されるように、走査線112および容量線113が、それぞれX（行）方向に延在して形成される一方、データ線114が、Y（列）方向に延在して形成されて、これらの

交差に対応して画素120が形成されている。ここで、説明の便宜上、走査線112（容量線113）の本数を「m」とし、データ線114の本数を「n」とすると、画素120は、m行n列のマトリクス状に配列することになる。また、本実施形態では、図面の記載上、m、nを偶数とするが、これに限定する趣旨ではない。

【0031】次に、1つの画素120について着目すると、Nチャネル型の薄膜トランジスタ（Thin Film Transistor：以下「TFT」と称呼する）116のゲートが

走査線112に接続され、そのソースがデータ線114に接続され、さらに、そのドレインが画素電極118および蓄積容量119の一端に接続されている。上述したように画素電極118は、対向電極108に対向し、さらに、両電極間に液晶105が挟持されているので、液晶容量は、一端を画素電極118とし、他端を対向電極108として、液晶105を挟持した構成となっている。この構成において、走査線112に供給される走査信号がHレベルになると、TFT116がオンして、データ線114の電圧に応じた電荷が液晶容量および蓄積容量119に書き込まれることになる。なお、蓄積容量119の他端は、容量線113に1行毎に共通接続されている。

【0032】一方、Y側について着目すると、シフトレジスタ130（走査線駆動回路）が設けられている。このシフトレジスタ130は、図8に示されるように、1垂直走査期間（1F）の最初に供給される転送開始パルスDYを、クロック信号CLYの立ち上がり及び立ち下がりで順番にシフトして、走査信号Ys1、Ys2、Ys3、…、Ysmとして、それぞれ1行目、2行目、3行目、…、m行目の走査線112に供給するものである。ここで、走査信号Ys1、Ys2、Ys3、…、Ysmは、図8に示されるように、転送開始パルスDYのパルス幅が狭められ、かつ、互いに重複しないように、1水平走査期間（1H）毎にアクティブルレベル（Hレベル）になるものである。

【0033】次に、フリップフロップ132およびセレクタ134（蓄積容量駆動回路）が1行毎に設けられている。ここで一般的に、i（iは、1 i mを満たす整数）行目に対応するフリップフロップ132のクロックパルス入力端Cpには、i行目に対応する走査信号Ys iの反転信号が供給され、また、そのデータ入力端Dには、1垂直走査期間（1F）毎に論理レベルが反転する信号FLD（図8参照）が供給されている。したがって、i行目のフリップフロップ132は、走査信号Ys iの立ち下がりにおいて、信号FLDをラッチして、選択制御信号Cs iとして出力することになる。

【0034】続いて、一般的にi行目のセレクタ134は、選択制御信号Cs iの論理レベルがHレベルであれば入力端Aを選択する一方、Lレベルであれば入力端Bを選択して、選択した入力端への信号を、容量スイング

信号 Y_{ci} として i 行目の容量線113に供給するものである。これらの行毎に設けられるセレクタ134のうち、奇数行目のセレクタ134における入力端Aには、高位側の容量電圧 $Vst(+)$ が印加され、その入力端Bには、低位側の容量電圧 $Vst(-)$ が印加されている。一方、偶数行目のセレクタ134における入力端Aには、低位側の容量電圧 $Vst(-)$ が印加され、その入力端Bには、高位側の容量電圧 $Vst(+)$ が印加されている。すなわち、奇数行のセレクタ134と、偶数行のセレクタ134とでは、入力端A、Bに印加されている容量電圧が、互いに入れ替えられた関係となっている。

【0035】一方、X側に着目すると、デコーダ(図2において「Dec」と表記)160は、信号PSおよび信号Csetを解読して、図3(a)における真理値表に対応した論理レベルとなる信号Cset1を出力するものである。また、インバータ162は、信号Cset1の論理レベルを反転して、信号/Cset1(「/」は反転を示す)として出力するものである。なお、図3(b)は、信号PSおよび信号Csetを入力とし、出力を信号/Cset1とした場合の真理値表である。

【0036】ここで、信号PSは、液晶容量への書込極性を指示する信号であり、その論理レベルがHレベルであれば、正極性書込を指示する一方、その論理レベルがLレベルであれば、負極性書込を指示するものである。本実施形態において、信号PSは、図8または図10に示されるように1水平走査期間(1H)毎に論理レベルが反転する。さらに、信号PSの論理レベルは、同一の水平走査期間についてみた場合、1垂直走査期間毎でも反転する(図8の括弧書参照)。すなわち、本実施形態では、走査線112毎に極性反転(行反転)が行われる構成となっている。また、信号Csetは、図10に示されるように、1水平走査期間(1H)のうち、走査信号 Y_{s1} 、 Y_{s2} 、...、 Y_{sm} がHレベルになる直前期間において、Lレベルになり、その他の期間ではHレベルになるものである。

【0037】なお、本実施形態において、画素120または液晶容量について極性反転とは、液晶容量の他端たる対向電極108への印加電圧 LC_{com} を基準として、液晶容量の一端たる画素電極118の印加電圧を交流反転させることをいう。ただし、本実施形態では、TFT116のオンによって画素電極118に印加された電圧が、対向電極108への印加電圧 LC_{com} よりも低くても、後述するように、TFT116のオフ後に、画素電極118の電圧が高位側にシフトして、結果的に LC_{com} よりも高くなる場合がある。すなわち、本実施形態では、 LC_{com} よりも低い電圧がデータ線114に印加されても、その電圧は、正極性書込に対応している場合がある。反対に、本実施形態では、TFT116のオンにより画素電極118に印加された電圧が、 LC_{com} よりも高くても、TFT116のオフ後に、画素電極118

の電圧が低位側にシフトして、結果的に LC_{com} よりも低くなる場合がある。すなわち、本実施形態では、 LC_{com} よりも高い電圧がデータ線114に印加されても、その電圧は、負極性書込に対応している場合がある。

【0038】次に、デコーダ172は、信号PSおよび信号Csetを解読して、図4に示されるデコード結果に応じた電圧信号を、階調信号 V_{dac1} として第1の給電線175に供給するものである。ここで、階調信号 V_{dac1} が取り得る電圧は、 $V_{sw}(+)$ 、 $V_{ck}(+)$ 、 $V_{sk}(-)$ 、 $V_{cw}(-)$ のいずれかであるので、これら4つの電圧が、デコーダ172の入力端に電圧信号群Vset1として印加されている。続いて、デコーダ174は、信号PSおよび信号Csetを解読して、図5に示されるデコード結果に応じた電圧信号を、階調信号 V_{dac2} として第2の給電線177に供給するものである。ここで、階調信号 V_{dac2} が取り得る電圧は、 $V_{sk}(+)$ 、 $V_{cw}(+)$ 、 $V_{sw}(-)$ 、 $V_{ck}(-)$ のいずれかであるので、これら4つの電圧が、デコーダ174の入力端に電圧信号群Vset2として印加されている。なお、階調信号 V_{dac1} 、 V_{dac2} が取り得る電圧については、後述することにする。

【0039】一方、シフトレジスタ150は、図9に示されるように、転送開始パルスDXを、クロック信号CLXの立ち上がり及び立ち下りで順番にシフトして、互いに排他的にアクティブルレベル(Hレベル)となるサンプリング制御信号 X_{s1} 、 X_{s2} 、...、 X_{sn} を、それぞれ出力するものである。ここで、サンプリング制御信号 X_{s1} 、 X_{s2} 、...、 X_{sn} は、互いに重複しないように、順次アクティブルレベル(Hレベル)になる。

【0040】さて、シフトレジスタ150の出力側には、第1のサンプリングスイッチ152が、データ線114の列毎に対応して設けられている。このうち、一般的に j (j は、 $1 \leq j \leq n$ を満たす整数)列目に対応する第1のサンプリングスイッチ152は、サンプリング制御信号 X_{sj} がHレベルになるとオンして、階調データ D_{ata} をサンプリングするものである。ここで、階調データ D_{ata} は、画素120の階調(濃度)を指示する4ビットのデジタルデータであって、実装端子107(図1(a)または同図(b)参照)を介して、図示せぬ外部回路から、クロック信号CLXに同期して供給される。このため、本実施形態に係る液晶表示装置にあって、画素120は、4ビットの階調データ D_{ata} にしたがって $16 (= 2^4)$ 階調の表示を行うことになる。

【0041】なお、説明の便宜上、階調データ D_{ata} のうち、最上位ビットをD3と表記し、その次位ビットをD2と表記し、さらにその次位ビットをD2と表記し、最下位ビットをD0と表記する。また、図2において、シフトレジスタ130、フリップフロップ132およびセレクタ134は、画素120の配列領域に対して左方のみに配列しているが、実際には、図1に示される

ように、画素120の配列に対し左右対称に配置して、左右の両側からそれぞれ走査線112および容量線113を駆動する構成となっている。

【0042】<1-1-1:D/A変換器群の詳細>次に、図2におけるD/A変換器群180は、1列目、2列目、3列目、...、n目に対応する第1のサンプリングスイッチ152によってそれぞれサンプリングされた階調データDataを、それぞれアナログ信号に変換して、データ信号S1、S2、S3、...、Snとして出力するものである。ここで、本実施形態におけるD/A変換器群180にあっては、各列に対応する構成が互いに同一であるので、一般的にj列目に対応した構成について代表して説明することにする。図6は、D/A変換器群180のうち、j列目と、これに隣接する(j+1)列目との2列分のほか、第1のサンプリングスイッチ152を含めた構成を示すブロック図である。

【0043】この図において、j列目に対応する第1のラッチ回路1802は、同じくj列目に対応する第1のサンプリングスイッチ152によってサンプリングされた階調データDataのビットD0～D3を、それぞれラッチするものである。続いて、j列目に対応する第2のサンプリングスイッチ1804は、j列目に対応する第1のラッチ回路1802によってラッチされた階調データDataのビットD0～D3を、ラッチパルスLATがアクティブレベル(Hレベル)になったときに、それぞれサンプリングするものである。さらに、j列目に対応する第2のラッチ回路1806は、同じくj列目に対応する第2のサンプリングスイッチ1804によってサンプリングされた階調データDataのビットD0～D3を、それぞれラッチするものである。

【0044】次に、第2のラッチ回路1806によってラッチされたビットのうち、下位3ビットD0、D1、D2が供給される信号線は、それぞれスイッチSW0、SW1、SW2の制御端に接続されている。これらのスイッチSW0、SW1、SW2(第2のスイッチ)は、第2のラッチ回路1806によってラッチされたビットが「1」(Hレベル)であればオンするものである。

【0045】一方、第2のラッチ回路1806によってラッチされたビットのうち、最上位ビットD3を供給する信号線は、スイッチ1814の入力端とインバータ1812の入力端とに接続され、さらにインバータ1812の出力端は、スイッチ1816の入力端に接続されている。そして、スイッチ1814、1816の出力端は、ノードPに共通接続されている。ここで、スイッチ1814の制御端は、信号Cset1が供給される信号線に接続される一方、スイッチ1816の制御端は、信号/Cset1が供給される信号線に接続されている。

【0046】本実施形態におけるスイッチ1814、1816の各々は、それぞれ制御端に供給される信号がHレベルであればオンするものである。信号/Cset1は、

信号Cset1の論理レベルをインバータ162により反転したものであるから、スイッチ1814、1816は、互いに排他的にオンオフすることになる。したがって、ノードPの論理レベルは、信号Cset1がHレベルになってスイッチ1814がオンする場合(信号/Cset1がLレベルになってスイッチ1816がオフする場合)では、第2のラッチ回路1806によってラッチされた最上位ビットD3を正転したものとなる一方、信号/Cset1がHレベルになってスイッチ1816がオンする場合(信号Cset1がLレベルになってスイッチ1814がオフする場合)では、ラッチされた最上位ビットD3を反転したものとなる。

【0047】続いて、ノードPは、スイッチ1824の制御端とインバータ1822の入力端とに接続され、さらにインバータ1822の出力端は、スイッチ1826の制御端に接続されている。そして、スイッチ1824、1826の出力端は、ノードQに共通接続されている。ここで、スイッチ1824の入力端は、階調信号Vdac2が供給される第2の給電線177に接続される一方、スイッチ1826の入力端は、階調信号Vdac1が供給される第1の給電線175に接続されている。本実施形態におけるスイッチ1824、1826の各々は、それぞれ制御端に供給される信号がHレベルであればオンするものである。スイッチ1826の制御端に供給される信号は、スイッチ1824の制御端に供給される信号の論理レベルをインバータ1822により反転したものであるから、スイッチ1824、1826は、互いに排他的にオンオフすることになる。よって、ノードPがHレベルであれば、スイッチ1824がオンし、スイッチ1826がオフするので、ノードQは、階調信号Vdac2が取る電圧になり、また、ノードPがLレベルであれば、スイッチ1824がオフし、スイッチ1826がオンするので、ノードQは、階調信号Vdac1が取る電圧になる。

【0048】すなわち、インバータ1812、1822、スイッチ1814、1816、1824、1826の全体により、走査線112がHレベルになる前に第1の給電線175または第2の給電線177のいずれか一方を、書き極性および上位ビットd3に応じて選択し、この後、走査線112がHレベルになると、第1の給電線175または第2の給電線177のいずれか他方を選択して、ノードQに印加するセレクタとして機能することになる。

【0049】次に、ノードQは、ビット容量1830の一端と、ビット容量1831の一端と、ビット容量1832の一端と、スイッチSW3の入力端とに共通接続されている。このうち、スイッチ(第1のスイッチ)SW3は、その制御端に供給される信号SsetがHレベルであればオンするものである。さらに、ビット容量1830の他端は、スイッチSW0の入力端に接続され、ビッ

ト容量1831の他端は、スイッチSW1の入力端に接続され、ビット容量1832の他端は、スイッチSW2の入力端に接続されている。ここで、信号Ssetは、信号Csetとは論理レベルが反転した関係にある。また、ビット容量1830の容量サイズをCdacとすれば、ビット容量1831の容量サイズは $2 \cdot C_{dac}$ であり、ビット容量1832の容量サイズは $4 \cdot C_{dac}$ である。すなわち、ビット容量1830、1831、1832の容量サイズは、階調データDataのビットD0、D1、D2の重みに対応して1:2:4になっている。そして、スイッチSW0、SW1、SW2、SW3の各々における出力端が、j列目のデータ線114に共通接続されている。なお、データ線114の各々には、容量サイズがCslnである容量1850が寄生している。

【0050】<1-1-2:D/A変換の原理等>次に、このような構成を列毎に備えるD/A変換器群180のD/A変換原理について説明する。D/A変換器群180において一般的にj列目に対応する構成は、プリセット期間において、最上位ビットD3に対応した電荷を、j列目のデータ線114に寄生する容量1850に蓄積する一方、セット期間において、下位ビットD0、D1、D2に応じた電荷を、ビット容量1830、1831、1832に蓄積すると同時に、これら電荷を、容量1850に蓄積された電荷と均等化させることによつ

$$V = (N \cdot C_{dac} \cdot V_c + C_{sln} \cdot V_s) / (N \cdot C_{dac} + C_{sln})$$

式(1)にあって、ある)ー(の液晶表示装置において、容量Cdac、Cslnについては定数として設計されるが、プリセット電圧Vs、セット電圧Vcについては変数として扱うことができる。

【0053】そこで、正極性書きに対応し、かつ、最上位ビットD3が「0」である場合に、第1の電圧Vsw(+)をプリセット電圧Vsとして選択し、電圧Vsw(+)よりも高位の第4の電圧Vcw(+)をセット電圧Vcとして選択する。この選択では、電圧Vは、図7において特性Wt(+)で示されるように、電圧Vsw(+)を起点として十進値Nが大きくなるにつれて上昇するが、その変化率は鈍化している。これは、実際の液晶表示装置では、Cdac \cdot Cslnになるためである。

【0054】次に、正極性書きに対応し、かつ、最上位ビットD3が「1」である場合に、第3の電圧Vsk(+)をプリセット電圧Vsとして選択し、電圧Vsk(+)よりも低位の第2の電圧Vck(+)をセット電圧Vcとして選択する。この選択では、電圧Vは、図7において特性Bk(+)で示されるように、電圧Vsk(+)を起点として十進値Nが大きくなるにつれて低下するが、その変化率は鈍化している。さらに、この選択においては、階調データDataにおけるビットD0、D1、D2、D3が取り得る内容と階調値とを図7に示されるように対応付けたときに、特性Bk(+)が特性Wt(+)と連続するように、電圧Vsk(+)、Vck(+)が設定される。

*て、j列目のデータ線114における電圧を階調データDataに対応させるものである。

【0051】詳細には、第1に、信号SsetがHレベルになるプリセット期間において、ノードQをプリセット電圧Vsにすると、SW3のオンによって、寄生容量1850には、該電圧Vsに応じた電荷が蓄積される。一方、ビットD0、D1、D2の各々に応じてスイッチSW0、SW1、SW2がオンオフする。この際、ビット容量1830、1831、1832のうち、オンしたスイッチに接続されたビット容量の両端は短絡状態になるので、当該ビット容量の蓄電される電荷はゼロクリアされる。第2に、信号SsetがLレベルになる一方、信号CsetがHレベルになるセット期間において、ノードQをセット電圧Vcにする。これにより、スイッチSW3がオフするとともに、ビット容量1830、1831、1832のうち、オンしたスイッチに接続された容量には、電圧Vcに応じた電荷蓄積されるが、該容量とデータ線114とは接続状態にあるので、該容量に蓄積された電荷と、データ線114の寄生容量1850に蓄積された電荷とが均等化される。

【0052】ここで、下位ビットD0、D1、D2で表される十進値をNとすると、スイッチSW3のオフ後においてデータ線114に印加される電圧Vは、次の式(1)で表すことができる。

$$V = (N \cdot C_{dac} + C_{sln}) / (N \cdot C_{dac} + C_{sln})$$

【0055】結局、正極性書きにおいて、階調データDataに対する電圧Vの特性は、特性Wt(+)と特性Bk(+)とを併せたものとなる。ここで、電圧Vの特性は、階調値に対して、液晶容量の駆動に適した電圧に変換するガンマ変換を模倣しているので、アナログ変換の際にガンマ変換についても同時に実行されることになる。

【0056】一方、液晶に直流成分が印加されると、液晶の組成が変化する結果、いわゆる焼き付きやフリッカ等が発生して表示品位が低下するので、液晶容量については交流駆動が原則である。本実施形態では、液晶容量の他端たる対向電極108への電圧Lcomが時間的に一定であるので、Lcomを基準として、液晶容量の一端たる画素電極118に印加する電圧を、一定周期毎に反転する必要がある。

【0057】この負極性書きを行う場合には、正極性書きに対応する特性Wt(+)と特性Bk(+)とを、Lcomを基準として反転させた特性を用いる必要がある。このような反転特性を得るために、負極性書きに対応し、かつ、最上位ビットD3が「0」である場合に、第7の電圧Vsw(-)をプリセット電圧Vsとして選択し、電圧Vsw(-)よりも低位の第6の電圧Vcw(-)をセット電圧Vcとして選択する。この選択による特性Wt(-)は、正極性書きに対応する特性Wt(+)を、Lcomを基準として反転したものとなる。ここで、Vsw(-)、Vcw(-)の各々は、Lcomを基準として、それぞれVsw(+)、Vcw(+)を反

転したものである。ただし、TFT116におけるしきい値特性等についてまで考慮するときには、反転における基準としてLCOMが用いられずに、LCOMの近傍する別途の電位が反転における基準として用いられる。

【0058】また、負極性書込に対応し、かつ、最上位ビットD3が「1」である場合に、第5の電圧Vsk(-)をプリセット電圧Vsとして選択し、電圧Vsk(-)よりも高位の第8の電圧Vck(-)をセット電圧Vcとして選択する。この選択による特性Bk(-)は、正極性書込に対応する特性Bk(+)とを、LCOMを基準として反転したものとなる。ここで、Vsk(-)、Vck(-)の各々は、LCOMを基準として、それぞれVsk(+)、Vck(+)を反転したものである。

【0059】このように本実施形態では、プリセット電圧Vsおよびセット電圧Vcの組として4組用意するとともに、書込極性および最上位ビットD3に応じて、いずれかの1組を選択することによって、図7に示されるようなD/A変換特性が得られることになる。

【0060】<1-2：Y側の動作>次に、上述した構成に係る液晶表示装置の動作のうち、Y側の動作について説明する。ここで、図8は、この液晶表示装置におけるY側の動作を説明するためのタイミングチャートである。この図に示されるように、1垂直走査期間(1F)の最初に供給される転送開始パルスDYが、シフトレジスタ130(図2参照)により、クロック信号CLYの立ち上がり及び立ち下がりにしたがってシフトされるとともに、そのパルス幅が狭められて、1水平走査期間1H毎にHレベルになる走査信号Ys1、Ys2、Ys3、...、Ysmとして出力される。

【0061】ここで、1垂直走査期間(1F)において、信号FLDがHレベルであり、かつ、走査信号Ys1がHレベルになったときに、信号PSはHレベルになるとする(1行目の走査線112に位置する画素120に対して正極性書込が指示されるものとする)と、この後、走査信号Ys1の立ち下がりにおいて、1行目のフリップフロップ132は、当該信号FLDをラッチする。このため、1行目のフリップフロップ132による選択制御信号Cs1は、走査信号Ys1が立ち下がると(すなわち、1行目に位置する画素120のTFT116がオフすると)、Hレベルに遷移する結果、1行目のセレクタ134は、その入力端Aを選択するので、1行目の容量線113に供給される容量スイング信号Yc1は、高位側の容量電圧Vst(+)になる。すなわち、走査信号Ys1がHレベルになって、正極性書込が指示された後、当該走査信号Ys1がLレベルに立ち下がると、容量スイング信号Yc1が、高位側の容量電圧Vst(+)に遷移する。

【0062】次に、走査信号Ys2がHレベルになったときに、信号PSはLレベルに反転する(2行目の走査線112に位置する画素120に対して負極性書込が指

示される)。この後、走査信号Ys2の立ち下がりにおいて、2行目のフリップフロップ132が当該信号FLDをラッチするので、選択制御信号Cs2は、走査信号Ys2の立ち下がると(すなわち、2行目に位置する画素120のTFT116がオフすると)、Hレベルに遷移する結果、2行目のセレクタ134は、その入力端Aを選択する。ただし、偶数行のセレクタ134は、奇数行のセレクタ134とは、入力端A、Bに供給されている容量電圧が、互いに入れ替えられているので(図2参照)、2行目の容量線113に供給される容量スイング信号Yc2は、走査信号Ys2の立ち下がりにおいて、低位側の容量電圧Vst(-)になる。すなわち、走査信号Ys2がHレベルになって、負極性書込が指示された後、当該走査信号Ys2がLレベルに立ち下がると、容量スイング信号Yc2が、低位側の容量電圧Vst(-)に遷移する。

【0063】以下同様な動作が、3行目、4行目、5行目、...、m行目のフリップフロップ132およびセレクタ134において繰り返し行われることになる。すなわち、信号FLDがHレベルである1垂直走査期間(1F)において、i行目の走査線112に供給される走査信号YsiがHレベルになると、iが奇数であれば、正極性書込が指示され、この後、当該走査信号YsiがLレベルに立ち下がると、i行目の容量線113に供給される容量スイング信号Yciは、低位側の容量電圧Vst(-)から高位側の容量電圧Vst(+)に遷移する一方、iが偶数であれば、負極性書込が指示され、この後、当該走査信号YsiがLレベルに立ち下がると、容量スイング信号Yciは、高位側の容量電圧Vst(+)から低位側の容量電圧Vst(-)に遷移することになる。

【0064】なお、次の垂直走査期間では、信号FLDはLレベルになる。このため、i行目の走査線112に供給される走査信号YsiがHレベルからLレベルになったとき、i行目の容量線113に供給される容量スイング信号Yciは、iが奇数であれば、高位側の容量電圧Vst(+)から低位側の容量電圧Vst(-)に遷移する一方、iが偶数であれば、低位側の容量電圧Vst(-)から高位側の容量電圧Vst(+)に遷移することになる。ただし、信号PSの論理レベルも反転するので、正極性書込が指示された後、走査信号YsiがLレベルに立ち下がると、容量スイング信号Yciは、低位側の容量電圧Vst(-)から高位側の容量電圧Vst(+)に遷移する一方、負極性書込が指示された後、走査信号YsiがLレベルに立ち下がると、容量スイング信号Yciが、高位側の容量電圧Vst(+)から低位側の容量電圧Vst(-)に遷移する点に変わりはない。

【0065】<1-3：X側の動作>次に、液晶表示装置の動作のうち、X側の動作について説明する。ここで、図9および図10は、この液晶表示装置におけるX側の動作を説明するためのタイミングチャートである。

【0066】まず、図9において、1行目の走査信号Y_s1がHレベルになる期間を含む1水平走査期間（図においてで示される期間）について着目すると、当該1水平走査期間に先んじて、1行1列、1行2列、...、1行n列の画素に対応する階調データD_{ata}が順番に供給される。このうち、1行1列の画素に対応する階調データD_{ata}が供給されるタイミングにおいて、シフトレジスタ150から出力されるサンプリング制御信号X_s1がHレベルになると、1列目に対応する第1のサンプリングスイッチ152のオンにより、当該階調データが、同じく1列目に対応する第1のラッチ回路1802にラッチされる。

【0067】次に、1行2列の画素に対応する階調データD_{ata}が供給されるタイミングにおいて、サンプリング制御信号X_s2がHレベルになると、2列目に対応する第1のサンプリングスイッチ152のオンにより、当該階調データが、同じく2列目に対応する第1のラッチ回路1802にラッチされ、以下同様にして、1行n列の画素に対応する階調データD_{ata}が、n列目に対応する第1のラッチ回路1802にラッチされる。これにより、1行目に位置するn個の画素に対応する階調データD_{ata}が、1列目、2列目、...、n列目に対応する第1のラッチ回路1802にそれぞれラッチされることになる。

【0068】続いて、ラッチパルスLATが出力されると（その論理レベルがHレベルになると）、それぞれ各列に対応する第1のラッチ回路1802にそれぞれラッチされた階調データD_{ata}が、第2のサンプリングスイッチ1804のオンにより、それぞれに対応する列の第2のラッチ回路1806に、一齊にラッチされることになる。

【0069】そして、1列目、2列目、...、n列目に対応する第2のラッチ回路1806にそれぞれラッチされた階調データD_{ata}が、それぞれに対応する列のD/A変換によって、信号PSの論理レベルに対応する極性側のアナログ信号に変換されて、データ信号S1、S2、...、Snとして出力される。

【0070】ここで、信号PSがHレベルである1水平走査期間（1H）において、D/A変換器群180でのD/A変換動作について説明する。なお、このD/A変換動作は、1列目からn列目までの各列において一齊に行われるが、便宜上、代表してj列目の動作を説明することにする。

【0071】はじめに、図10において、信号PSがHレベルになる1水平走査期間（図10においてで示される期間：この期間は図9における期間に対応している）について着目する。まず、1水平走査期間の最初のプリセット期間では、信号CsetIはLレベルになる。このため、信号CsetIIは、デコーダ160による解読にしたがってHレベルになり、信号CsetIIIは、インバータ150

62の反転によりLレベルになる。よって、図6において、スイッチ1814がオンし、スイッチ1816がオフする。さらに、第1の給電線175に供給される階調信号Vdac1は、デコーダ172の解読にしたがってVs_w(+)になり、第2の給電線177に供給される階調信号Vdac2は、デコーダ174の解読にしたがってVs_k(+)になる。

【0072】また上述したように、信号Ssetは、信号Csetとは論理レベルが反転した関係にあるので、信号CsetがLレベルになると、信号SsetがHレベルになる。このため、プリセット期間では、図6において、スイッチSW3がオンする。一方、第2のラッチ回路1806は、階調データD_{ata}の各ビットD0、D1、D2、D3をラッチしているので、スイッチSW0、SW1、SW2が、これらのラッチ結果に応じてオンオフする。例えば、階調D_{ata}のビットD0が「1」であり、ビットD1が「0」であり、ビットD2が「1」であるとすると、スイッチSW0、SW2がオンし、SW1はオフする。さらに、ビットD3が「0」であるとすると、スイッチ1814のオンによって、ノードPは、ビットD3の「0」に対応してLレベルになる。このため、スイッチ1824がオフし、スイッチ1826がオンするので、ノードQは、階調信号Vdac1の電圧であるVs_w(+)になる。したがって、図11(a)に示されるように、データ線114の寄生容量1850には、スイッチSW3のオンによって電圧Vs_w(+)に対応した電荷が蓄積される。一方、スイッチSW0のオンによって両端が短絡状態になったビット容量1830には、蓄積されていた電荷がゼロクリアされる。同様に、スイッチSW2のオンによって両端が短絡状態になったビット容量1832でも、蓄積されていた電荷がゼロクリアされる。

【0073】次に、図10において、信号PSがHレベルである期間のうち、信号CsetIがHレベルになるセット期間では、信号CsetIIはLレベルになり、信号CsetIIIはHレベルになる。このため、図6においてスイッチ1814がオフし、スイッチ1816がオンして、オンオフの関係が切り替わるので、ノードPは、インバータ1812の反転結果たるHレベルになる。一方、第1の給電線175に供給される階調信号Vdac1は、デコーダ172の解読にしたがってVck(+)になり、第2の給電線177に供給される階調信号Vdac2は、デコーダ174の解読にしたがってVcw(+)になる。ここで、ノードPがHレベルに遷移したことによって、スイッチ1824、1826におけるオンオフの関係も切り替わるので、ノードQは、階調信号Vdac2の電圧であるVcw(+)になる。さらに、図10に示されるように、信号CsetIがHレベルになると、信号SsetがLレベルになると、このセット期間では、スイッチSW3がオフする。したがって、図11(b)に示されるように、ビット容

量1830、1832には、それぞれ電圧Vcw(+)に応じた電荷が蓄積されることになる。

【0074】ただし、スイッチSW0、SW2はオンのままであるので、図11(c)に示されるように、電荷が、ビット容量1830、1832から寄生容量1850に受け渡される。そして、これら容量における電位差がなくなると、電荷の受け渡しが終了するので、各容量における充電電圧(データ線の電圧)は、定常的には、正極性書きであって、階調データData(0101)に対応する電圧V5(+)になる(図7、図11(c)参照)。

【0075】なお、信号PSがHレベルである期間のうち、信号CsetがLレベルであるプリセット期間において、ビットD3が「1」であれば、ノードPはHレベルになるので、スイッチ1824がオンする結果、ノードQは、階調信号Vdac2の電圧であるVsk(+)になる。このため、図12(a)に示されるように寄生容量1850には、Vsk(+)に応じた電荷が蓄積される。この後、信号CsetがHレベルになるセット期間では、ノードPはLレベルになるので、スイッチ1826がオンする結果、ノードQは、階調信号Vdac1の電圧であるVck(+)になる。このため、図12(b)に示されるように、ビット容量1830、1832には、それぞれ電圧Vck(+)に応じた電荷が蓄積されると同時に、電荷が、図12(c)に示されるように、寄生容量1850から、ビット容量1830、1832に受け渡される。そして、これら容量における電位差がなくなると、電荷の受け渡しが終了するので、データ線の電圧は、定常的には、正極性書きであって、階調データData(1101)に対応する電圧V10(+)になる(図7、図12(c)参照)。

【0076】結局、信号PSがHレベルになる1水平走査期間のうち、信号CsetがLレベルであるプリセット期間では、データ信号Sjは、ビットD3が「0」であれば電圧Vsw(+)となり、ビットD3が「1」であれば電圧Vsk(+)となる。この後、信号CsetがHレベルになるセット期間では、データ信号Sjは、電圧Vsw(+)から電圧Vsk(+)までの範囲において、階調データDataに対応し、かつ、正極側書きに対応したものとなる。そして、セット期間に、1行目の走査線112に供給される走査信号Ys1がHレベルになるので、1行目の画素120においては、TFT116のオンによって画素電極118に、正極性書きに対応した電圧のデータ信号S1、S2、...、Snが各列において印加されることになる。

【0077】続いて、2行目の走査信号Ys2がHレベルになる期間を含む1水平走査期間(図9および図10において示される期間)について着目すると、当該1水平走査期間に先んじて、2行1列、2行2列、...、2行n列の画素に対応する階調データDataが順番に

供給されて、前の1水平走査期間とほぼ同様な動作が実行される。すなわち、第1に、サンプリング制御信号Xs1、Xs2、...、Xsnが順番にHレベルになると、2行1列、2行2列、...、2行n列の画素に対応する階調データDataが、1列目、2列目、...、n列目に対応する第1のラッチ回路1802にそれぞれにラッチされ、この後、第2に、ラッチパルスLATの出力により、ラッチされた階調データDataが、対応する列の第2のラッチ回路1806に一斉にラッチされて、第13に、このラッチ結果に対応してアナログ変換されたデータ信号S1、S2、...、Snが出力される。

【0078】ただし、この水平走査期間では、信号PSがLレベルであるので、信号CsetがLレベルであるプリセット期間では、信号Cset1はLレベルになり、信号Cset1は、インバータ162の反転によりHレベルになる。よって、図6においてスイッチ1814がオフし、スイッチ1816がオンする。さらに、第1の給電線175に供給される階調信号Vdac1は、デコーダ172の解読によって電圧Vsk(-)になり、第2の給電線177に供給される階調信号Vdac2は、デコーダ174の解読によって電圧Vsw(-)になる。

【0079】このため、信号PSがLレベルになる1水平走査期間のうち、信号CsetがLレベルであるプリセット期間においては、ビットD3が「0」であれば、ノードPがHレベルになるので、スイッチ1824がオンし、スイッチ1826がオフし、また、信号SsetがHレベルになることによりスイッチSW3がオンする。この結果、寄生容量1850に対する充電は、階調信号Vdac2の電圧Vsw(-)にて行われることになる。一方、ビットD3が「1」であれば、ノードPがLレベルになるので、スイッチ1824がオフし、スイッチ1826がオンし、また、信号SsetがHレベルになることによりスイッチSW3がオンする。この結果、寄生容量1850に対する充電は、階調信号Vdac1の電圧Vsk(-)にて行われることになる。

【0080】この後、信号CsetがHレベルになるセット期間では、信号Cset1はHレベルになり、信号Cset1はLレベルになるので、スイッチ1814がオンし、スイッチ1816がオフする。また、信号CsetがHレベルである期間においては、信号SsetがLレベルになるので、スイッチSW3がオフする。さらに、第1の給電線175に供給される階調信号Vdac1は、電圧Vcw(-)になり、第2の給電線177に供給される階調信号Vdac2は、電圧Vck(-)になる。このため、信号PSがLレベルになる1水平走査期間のうち、信号CsetがHレベルであるセット期間においては、ビットD3が「0」であれば、ノードPがLレベルになるので、スイッチ1824がオフし、スイッチ1826がオンする。この結果、ノードQは、階調信号Vdac1の電圧Vcw(-)になる。よって、ビット容量1830、1831、1832

のうち、対応するビットが「1」であるものには、電圧 $V_{CW}(-)$ に応じた電荷が蓄積されると同時に、寄生容量1850に対し電圧 $V_{SW}(-)$ に応じて蓄積された電荷と均等化される。

【0081】一方、信号PSがLレベルになる1水平走査期間のうち、信号CsetがHレベルであるセット期間において、ビットD3が「1」であれば、ノードPがHレベルになるので、スイッチ1824がオンし、スイッチ1826がオフする。この結果、ノードQは、階調信号Vdac2の電圧Vck(-)になる。よって、ビット容量1830、1831、1832のうち、対応するビットが「1」であるものには、電圧Vck(-)に応じた電荷が蓄積されると同時に、寄生容量1850に対し電圧Vsk(-)蓄積された電荷と均等化される。

【0082】結局、信号PSがLレベルになる1水平走査期間のうち、信号CsetがLレベルであるプリセット期間では、データ信号Sjは、ビットD3が「0」であれば電圧 $V_{SW}(-)$ となり、ビットD3が「1」であれば電圧Vsk(-)となる。この後、信号CsetがHレベルになるセット期間では、データ信号Sjは、電圧 $V_{SW}(-)$ から電圧Vsk(-)までの範囲において、階調データDat aに対応し、かつ、負極側書込に対応したものとなる。そして、信号CsetがHレベルになるセット期間に、2行目の走査線112に供給される走査信号Ys2がHレベルになるので、2行目の画素120においては、TFT116のオンによって画素電極118に、負極性書込に対応した電圧のデータ信号S1、S2、...、Snが各列において印加されることになる。

【0083】以下、同様な動作が、1水平走査期間毎に、繰り返して実行されることになる。すなわち、i行目の走査線112に供給される走査信号YsiがHレベルになる1水平走査期間に先んじて、i行1列、i行2列、...、i行n列の画素に対応する階調データDat aが順番に供給されて、1列目、2列目、...、n列目に対応する第1のラッチ回路1802にラッチされ、この後、ラッチパルスLATの出力により、対応する列の第2のラッチ回路1804に一斉にラッチされて、それに対応する列においてD/A変換されて、信号PSの論理レベルに対応する極性側のアナログ信号に変換され、データ信号S1、S2、...、Snとして出力される。この際、データ信号S1、S2、...、Snの電圧は、iが奇数であれば、信号PSがHレベルとなるので、正極性書込に対応したものとなる一方、iが偶数であれば、信号PSがLレベルとなるので、負極性書込に対応したものとなる。

【0084】なお、次の垂直走査期間では、同様な動作が実行されるが、信号PSは、同一の水平走査期間についてみた場合、1垂直走査期間毎に反転するので、データ信号S1、S2、...、Snの電圧は、iが奇数であれば、負極性書込に対応したものとなる一方、iが偶数で

あれば、正極性書込に対応したものとなる。

【0085】<1-4：蓄積容量および液晶容量における動作> 続いて、上述したようなY側およびX側の動作が行われた場合に、蓄積容量および液晶容量における動作について説明する。図13(a)、図13(b)および図13(c)の各々は、これらの容量における電荷の蓄積動作を説明するための図である。なお、これらの図の左方における2つの升は、それぞれ蓄積容量および液晶容量を示している。詳細には、升の底面積が、それぞれ蓄積容量 C_{stg} (119)および液晶容量 C_{LC} の大きさを示し、升に溜められた水が電荷を示し、その高さが電圧を示している。

【0086】ここで、説明の便宜上、i行j列に位置する画素120において、正極性書込を行う場合を例にとって説明する。まず、走査信号YsiがHレベルになると、当該画素のTFT116がオンするので、図13(a)に示されるように、当該画素の蓄積容量 C_{stg} および液晶容量 C_{LC} には、データ線Sjの電圧に応じた電荷が蓄積される。この際、蓄積容量 C_{stg} および液晶容量 C_{LC} における書込電圧をVpとする。

【0087】次に、走査信号YsiがLレベルになると、当該画素のTFT116がオフするとともに、正極性書込では、i行目の容量線113に供給される容量スイング信号Yciが、上述したように低位側の容量電圧 $V_{st}(-)$ から高位側の容量電圧 $V_{st}(+)$ に遷移する。このため、図13(b)に示されるように、蓄積容量 C_{stg} における充電電圧が、その遷移分であるVqだけ底上げされる。ここで、 $Vq = \{V_{st}(+) - V_{st}(-)\}$ である。

【0088】ただし、蓄積容量 C_{stg} の一端は、画素電極118に接続されているので、図13(c)に示されるように、電圧が持ち上げられた蓄積容量 C_{stg} から液晶容量 C_{LC} に電荷が受け渡される。そして、両容量における電位差がなくなると、電荷の受け渡しが終了するので、両容量における充電電圧は、最終的に電圧Vrになる。この電圧Vrは、TFT116のオフ時におけるほとんどの期間において液晶容量 C_{LC} に印加され続けることになるので、液晶容量 C_{LC} には、実効的に、TFT116のオン時から電圧Vcが印加されたものとみなすことができる。

【0089】この電圧Vrは、蓄積容量 C_{stg} および液晶容量 C_{LC} を用いると、次式(2)のように表すことができる。

$$Vr = Vp + Vq \cdot C_{stg} / (C_{stg} + C_{LC}) \quad \dots(2)$$

【0090】さて、蓄積容量 C_{stg} が液晶容量 C_{LC} よりも充分に大きいのであれば、式(2)は、次式(3)のように近似される。

$$Vr = Vp + Vq \quad \dots(3)$$

すなわち、液晶容量 C_{LC} における最終的な充電電圧Vrは、初期書込電圧Vpから、容量スイング信号Yciの持ち上がり分Vqだけ高位側にシフトしたものとして簡

略化される。

【0091】なお、ここでは、図13(b)および図13(c)の動作を、簡略化のために別々に説明したが、実際には、両者の動作は同時並行的に行われる。また、ここでは、正極性書きを行う場合について説明したが、負極性書きの場合に、蓄積容量 C_{stg} が液晶容量 C_{LC} よりも充分に大きいのであれば、液晶容量 C_{LC} に最終的に印加される電圧 V_{rl} は、初期書き電圧 V_p から容量スイング信号 Y_{ci} の遷移分 V_p だけ、低位側にシフトすることになる。

【0092】すなわち、 i 行 j 列の画素120における画素電極118に印加される電圧 $P_{ix}(i, j)$ は、図14(b)に示されるように、第1に、TFT116のオン時に、一旦、 j 列目のデータ線114に供給されるデータ信号 S_j の電圧になり、第2に、TFT116のオフ直後に、正極性書きであれば、容量スイング信号 Y_{ci} が低位側の容量電圧 $V_{st}(-)$ から高位側の容量電圧 $V_{st}(+)$ に遷移することによって、高位側にシフトする一方、負極性書きであれば、容量スイング信号 Y_{ci} が高位側の容量電圧 $V_{st}(+)$ から低位側の容量電圧 $V_{st}(-)$ に遷移することによって、低位側にシフトすることになる。

【0093】実際には、蓄積容量 C_{stg} を液晶容量 C_{LC} よりも充分に大きくすることはできず、また、液晶容量 C_{LC} には容量サイズが充電電圧に応じて変化する特性がある。このため、 $P_{ix}(i, j)$ は、例えばTFT116のオン時に正極性書きの白レベルに対応する電圧 $V_{sw}(+)$ であれば、TFT116のオフ後において、容量電圧の上昇分に一致して高位にシフトするのではなく、電圧 $V_{sw}(+)$ や蓄積容量 C_{stg} / 液晶容量 C_{LC} の容量比に依存して、 $V_{wt}(+)$ だけ高位にシフトすることになる。なお、図14(b)では、第1に、 $P_{ix}(i, j)$ がTFT116のオン時に正極性書きの黒レベルに対応する電圧 $V_{sk}(+)$ であれば、TFT116のオフ後において、容量電圧の上昇分や、電圧 $V_{sk}(+)$ 、容量比に依存して、 $V_{bk}(+)$ だけ高位にシフトする点、第2に、 $P_{ix}(i, j)$ がTFT116のオン時に負極性書きの白レベルに対応する電圧 $V_{sw}(-)$ であれば、TFT116のオフ後において、容量電圧の下降分や、電圧 $V_{sw}(-)$ 、容量比に依存して、 $V_{wt}(-)$ だけ低位にシフトする点、および、第3に、 $P_{ix}(i, j)$ がTFT116のオン時に負極性書きの黒レベルに対応する電圧 $V_{sk}(-)$ であれば、TFT116のオフ後において、容量電圧の下降分や、電圧 $V_{sk}(-)$ 、容量比に依存して、 $V_{bk}(-)$ だけ高位にシフトする点が別途示されている。

【0094】このように、本実施形態によれば、データ線114に供給されるデータ信号 S_1, S_2, \dots, S_n の電圧振幅以上に、画素電極118の電圧が変位することになる。すなわち、本実施形態によれば、データ信号

S_1, S_2, \dots, S_n の電圧振幅範囲が狭くても、その範囲以上に、液晶容量に印加される電圧実効値が拡大することになる。このため、従来では、データ線114への最終段に設けられて、データ信号の電圧を拡大するためのレベルシフタが不要となるので、その分、回路配置に余裕が生じるだけでなく、電圧拡大することに伴って消費されていた電力もなくすことができる。さらに、X側におけるシフトレジスタ150からD/A変換器群180までに至る回路をすべて低電圧で駆動することができるるので、これらの回路を構成する素子(TFT)が小さくて済む。このため、データ線114のピッチを、より狭くすることができるので、高精細化を図ることが容易となる。

【0095】さらに、本実施形態では、蓄積容量 C_{stg} の他端を前行の走査線112に接続するとともに、走査線を多値で駆動する方法(例えば、特開平2-913号公報や、特開平4-145490号公報に記載の技術参照)と比較すると、次のような利点がある。すなわち、走査線を多値で駆動する方法では、走査線に蓄積容量が接続される分、負荷が大きくなる。一方、一般に走査線に供給される走査信号の電圧振幅は、データ線に供給されるデータ信号の電圧振幅よりも大きい(図14(a)参照)。このため、走査線を多値で駆動する方法では、負荷が付加された走査線を高電圧振幅することにより消費される電力を考えると、低消費電力化を図ることが困難である。これに対し、本実施形態では、蓄積容量 $C_{stg}(119)$ の他端を、容量線113に供給される容量スイング信号によって持ち上げ、または、持ち下げることで、液晶容量に印加される電圧実効値を拡大しているので、走査線に付加される容量に変更はなく、さらに、データ信号の電圧振幅が小さく抑えられる分、走査信号の電圧振幅を小さくできるので、より低消費電力化も可能になる。

【0096】また、本実施形態では、対向電極の電圧を一定の期間(例えば1水平走査期間)毎にシフトする(持ち上げる、または、持ち下げる)方法と比較すると、次のような利点がある。すなわち、対向電極の電圧をシフトすると、当該対向電極に寄生するすべての容量が一齊に影響を受けるので、意外に低消費電力化を図ることができない。これに対し、本実施形態では、容量線113の電圧が1水平走査期間毎に順番にシフトするだけであるので、1水平走査期間でみれば、1本の容量線113に寄生する容量だけが影響を受ける。このため、本実施形態によれば、対向電極の電圧をシフトする方法と比較すると、電圧のシフトにより影響を受ける容量が圧倒的に少ないので、低消費電力化において有利である。

【0097】くわえて、本実施形態では、データ信号 S_1, S_2, \dots, S_n の電圧振幅が抑えられるので、D/A変換の際に必要となる8つの電圧の最大・最小の振幅

についても抑えられるので、これらの電圧を生成する電源回路の負担を減らすことが可能となる。

【0098】ところで、本実施形態では、正極性書込に対応するD/A変換の際、各容量への電荷の蓄積のために、上位ビットD3が「0」であれば、電圧Vsw(+)からVcw(+)に、上位ビットD3が「1」であれば、電圧Vsk(+)からVck(+)に、それぞれ切り替える必要がある。また、負極性書込に対応するD/A変換の際、各容量への電荷の蓄積のために、上位ビットD3が「0」であれば、電圧Vsw(-)からVcw(-)に、上位ビットD3が「1」であれば、電圧Vsk(-)からVck(-)に、それぞれ切り替える必要がある。このため単純には、電圧Vsw(+)、Vcw(+)、Vsw(-)、Vcw(-)を順に、ある1本の給電線に供給する一方、電圧Vsk(+)、Vck(+)、Vsk(-)、Vck(-)を順に、別の1本の給電線に供給しておき、書込極性や上位ビットD3に応じて、いすれかを選択して用いる構成が考えられる。

【0099】しかしながら、このような構成では、各給電線における電圧変化が大きく、該給電線に寄生する容量によって電力が無駄に消費されることになる。この点について詳述すると、例えば、蓄積容量119の他端をシフトさせない場合に、ある1本の給電線に、電圧Vsw(+)、Vcw(+)、Vsw(-)、Vcw(-)を順に給電すると、図18においてSで示されるような電圧波形となり、別の1本の給電線に、電圧Vsk(+)、Vck(+)、Vsk(-)、Vck(-)を順に給電すると、図18においてTで示されるような電圧波形となる。ここで、電圧波形Sでは、D/A変換の際（信号CsetがHレベルに遷移する際、または、信号SsetがLレベルに遷移する際、すなわち、プリセット期間からセット期間に移行する際）には、図18または図19（A）においてc、dで示されるように、また、極性反転の際（信号PSがHまたはLレベルに遷移する際）には、図18または図19（B）においてg、hで示されるように、電圧変化が大きくなる。同様に、電圧波形Tでは、D/A変換の際には、図18または図19（A）においてa、bで示されるように、また、極性反転の際には、図18または図19（B）においてe、fで示されるように、電圧変化が大きくなる。

【0100】これに対して、本実施形態では、D/A変換の際や極性反転の際に、インバータ1812、1822、スイッチ1814、1816、1824、1826によって、第1の給電線175または第2の給電線177のいずれか一方から他方に給電を切り替える構成となっているので、両給電線における電圧変化が小さく抑えられる。詳述すると、本実施形態では、第1の給電線175に供給される階調信号Vdac1の電圧波形は、D/A変換の際には、図10または図19（C）においてB、Dで示されるように、また、極性反転の際には、図10または図19（D）においてF、Hで示されるように、電圧変化が小さく抑えられる。同様に、第2の給電

線177に供給される階調信号Vdac2の電圧波形は、D/A変換の際には、図10または図19（C）においてA、Cで示されるように、また、極性反転の際には、図10または図19（D）においてE、Gで示されるように、電圧変化が小さく抑えられる。このため本実施形態によれば、D/A変換の際に必要となる8つの電圧の最大・最小の振幅について抑えられることとあいまって、D/A変換の際や極性反転の際に、第1の給電線175または第2の給電線177のいずれか一方から他方に給電を切り替える構成によって、第1の給電線175および第2の給電線177における電圧変化が小さく抑えられるので、これらの給電線に寄生する容量によって消費される電力も最小限に抑えられる結果、さらなる低消費電力化が可能になる。

【0101】<1-5：考察>ところで、上述したように、蓄積容量C_{stg}が、液晶容量C_{LC}よりも充分に大きいのであれば、液晶容量C_{LC}に最終的に印加される電圧V_iは、初期書込電圧V_pから、容量スイング信号Y_{ci}の電圧遷移分（蓄積容量における他端の電圧遷移分）だけ、高位側または低位側にシフトしたものとして取り扱うことができる。ただし、実際には、回路素子や配線等におけるレイアウトの制約により、蓄積容量C_{stg}を、液晶容量C_{LC}よりも数倍程度とするのが限界であるので、容量スイング信号Y_{ci}の電圧遷移分（持ち上げまたは持ち下げ分）が、そのまま、画素電極における電圧遷移分にはならない。すなわち、容量スイング信号Y_{ci}の電圧遷移分が、圧縮されて、画素電極118における電圧遷移分として反映されることになる。

【0102】ここで、図15は、この圧縮率が蓄積容量C_{stg} / (黒表示の)液晶容量C_{LC}の比率に対してどのように変化するかを、シミュレートした図である。例えば、蓄積容量における他端の電圧遷移分が2.0ボルトである場合に、画素電極の電圧シフト分が1.5ボルトであるとき、圧縮率は7.5%となる。この図に示されるように、蓄積容量C_{stg} / 液晶容量C_{LC}の比率が大きくなるにつれて、圧縮率は、大きくなるが、やがて飽和することが判る。特に、蓄積容量C_{stg} / 液晶容量C_{LC}の比率が「4」を越える付近から、圧縮率が80%強で飽和する。ここで、蓄積容量C_{stg} / 液晶容量C_{LC}の比率が「4」程度であれば、電圧振幅の減少分も約20%弱と少なく、レイアウト的にも現実的である。

【0103】ところで、電圧振幅の減少分を補償するためには、第1に、データ線114に供給するデータ信号の初期書込電圧の振幅を増加させることが考えられるが、これは、本発明における目的と相反することであるから、安易に採用することはできない。特に、データ信号S1、S2、...、Snの電圧振幅が、シフトレジスタ150からD/A変換器群180までに至る回路の論理レベルの振幅を越える場合、D/A変換群180の出力段に、その電圧振幅を拡大するためのレベルシフタが列

毎に必要になるので、消費電力の大幅な削減が困難になる。換言すれば、図2に示される構成において、データ信号S1、S2、…、Snの電圧振幅が、シフトレジスタ150からD/A変換器群180までに至る回路の論理レベルの振幅を越えないことが条件となる。

【0104】一方、電圧振幅の減少分を補償するためには、第2に、容量スイング信号Yciの電圧遷移分を大きくすることも考えられる。ただし、その電圧遷移分をむやみに拡大しても、本来の低消費電力化を図る、という目的を達成することができない。

【0105】そこで、本発明者は、容量スイング信号Yciの電圧振幅（すなわち、蓄積容量における他端の電圧遷移分）と、D/A変換したデータ信号の最大出力電圧振幅との関係をシミュレートした。これらのシミュレート結果が、図16(a)、図16(b)、図16(c)、図17(a)、図17(b)および図17(c)のそれぞれに示される。これらの図のうち、図16(a)、図16(b)および図16(c)は、それぞれ、対向電極の電圧に対し最終的に画素電極に印加される電圧を、白レベルについて±1.2ボルトで固定とした場合に、黒レベルについて±2.8ボルト、±3.3ボルト、±3.8ボルトとして変化させたときの図である。また、図17(a)、図17(b)および図17(c)は、それぞれ、対向電極の電圧に対し最終的に画素電極に印加される電圧を、黒レベルについて±3.3ボルトで固定とした場合に、白レベルについて±0.7ボルト、±1.2ボルト、±1.7ボルトとして変化させたときの図である。なお、これらの図においては、いずれも蓄積容量Cstgをパラメータとし、また、ノーマリーホワイトモードを想定している。また、このシミュレート対象となる液晶容量としては、画素電極のサイズが50μm×150μmであり、画素電極および対向電極の間の距離（セルギャップ）が4.0μmであり、液晶の比誘電率が白レベルにおいて4.0であって、黒レベルにおいて12.0であるものを想定した。

【0106】さて、これらのシミュレート結果のいずれにおいても、データ信号の最大出力電圧振幅は、容量スイング信号Yciの電圧振幅に対して最小値を有することが判る。このうち、図16(a)、団16(b)および団16(c)では、黒レベルに対応する電圧が大きくなるにつれて、V字状特性のうち、左側部分の最大出力電圧振幅だけが大きくなっているが、右側部分が変化していないことが判る。一方、団17(a)、団17(b)および団17(c)では、白レベルに対応する電圧が大きくなるにつれて、V字状特性のうち、右側部分の最大出力電圧振幅だけが大きくなっているが、左側部分が変化していないことが判る。したがって、これらのことから、データ信号の最大出力電圧振幅における最小値は、白/黒レベルに対応する電圧と、蓄積容量Cstgとで定まることが判る。

【0107】ここで例えば、図16(a)におけるV字状特性のうちの左側部分と、図17(c)におけるV字状特性のうちの右側部分とをあわせて考えた場合、容量スイング信号Yciの電圧振幅が1.8~3.5ボルト程度の範囲であれば、データ信号の最大出力電圧振幅を、5.0ボルト以下に抑えることができる。特に、蓄積容量Cstgを比較的の自由に設計できる場合、蓄積容量Cstgを600fF(ファムト・ファラッド)程度にすると、データ信号の最大出力電圧振幅を、4.0ボルト以下に抑えることもできる。したがって、シフトレジスタ150からD/A変換器群180までに至る回路の論理レベルの振幅が5.0ボルトである、という条件によって、データ信号の最大出力電圧振幅が5.0ボルト以内に抑えられても、本実施形態では、液晶容量に対して十分な書き込みを行うことが可能である、ということができる。

【0108】<1-6：液晶表示装置のまとめ>なお、上述した実施形態にあっては、4ビットの階調データDataを用いて16階調表示を行うものとしたが、本発明はこれに限られない。例えば、ビット数を多くして、より多階調としても良いし、R(赤)、G(緑)、B(青)の3画素で1ドットを構成することによって、カラー表示を行うとしても良い。また、実施形態にあっては、液晶容量の電圧無印加状態において最大透過率となるノーマリーホワイトモードとして説明したが、液晶容量の電圧無印加状態において最小透過率となるノーマリーブラックモードとしても良い。

【0109】また、上述した実施形態にあっては、1水平走査期間毎に極性反転を行う、という行反転を例にとって説明したが、例えば、奇数フレームではすべての画素に対して正極性書きを行う一方、偶数フレームではすべての画素に対して負極性書きを行う、というフレーム反転としても良い。さらに、1行分の走査信号YsiがHレベルになったときに、データ信号S1、S2、…、Snを一斉に供給するという線順次構成とはせずに、1行分の走査信号YsiがHレベルになったときに、データ信号S1、S2、…、Snを順番に供給するという点順次構成として、各列毎に極性反転すれば、列反転も可能となる。さらに、列反転と行反転とを組み合わせて、隣接する画素のすべてにわたって極性反転する、いわゆる画素反転も可能となる。

【0110】一方、実施形態にあっては、1水平走査期間(1H)において、データ線114にプリセット電圧Vs(Vsw(+)、Vsk(+)、Vsw(-)、Vsk(-)のいずれか)が印加されることと、走査線112が選択されて対応する走査信号がHレベルになることとは、互いに排他的に実行される構成であった。このような構成としたのは、データ線114にプリセット電圧Vsを印加する際に、いずれかの走査線112が選択されていると、当該選択走査線との交差に対応するTFT116がオンする

結果、データ線114の容量負荷が増大するので、これを避けるためである。したがって、データ線114の容量負荷が問題にならないのであれば、プリセット電圧Vsが印加されるプリセット期間においても、走査信号がHレベルとなる構成としても良い。

【0111】さらに、実施形態にあって、素子基板101にガラス基板を用いたが、SOI (Silicon On Insulator) の技術を適用し、サファイヤや、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板101としても良い。また、素子基板101として、シリコン基板などを用いるとともに、ここに各種の素子を形成しても良い。このようにシリコン基板を用いると、スイッチング素子として、高速な電界効果型トランジスタを用いることができる、TFTよりも高速動作が容易になる。ただし、素子基板101が透明性を有しない場合、画素電極118をアルミニウムで形成したり、別途反射層を形成したりするなどして、反射型として用いる必要がある。また、実施形態にあっては、データ線114と画素電極118との間に介挿されるスイッチング素子として、TFTのような三端子型素子を用いたが、TFD (Thin Film Diode : 薄膜ダイオード) のような二端子型素子を用いても良い。

【0112】さらに、上述した実施形態では、液晶としてTN型を用いたが、BTN (Bi-stable Twisted Nematic) 型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料(ゲスト)を一定の分子配列の液晶(ホスト)に溶解して、染料分子を液晶分子と平行に配列させたGH(ゲストホスト)型などの液晶を用いても良い。また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向(ホメオトロピック配向)の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行(水平)配向(ホモジニアス配向)の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものに適用することが可能である。

【0113】<2：電子機器>次に、上述した実施形態に係る液晶表示装置を用いた電子機器のいくつかについて説明する。

【0114】<2-1：プロジェクタ>まず、上述した液晶表示装置100をライトバルブとして用いたプロジェクタについて説明する。図20は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光

は、内部に配置された3枚のミラー1106および2枚のダイクロイックミラー1108によってR(赤)、G(緑)、B(青)の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。

【0115】ここで、ライトバルブ100R、100Gおよび100Bは、上述した実施形態に係る液晶表示装置100と基本的には同様である。すなわち、ライトバルブ100R、100G、100Bは、それぞれRGBの各原色画像を生成する光変調器として機能するものである。また、Bの光は、他のRやGの光と比較すると、光路が長いので、その損失を防ぐために、入射レンズ1122、リレーレンズ1123および出射レンズ1124からなるリレーレンズ系1121を介して導かれる。

【0116】さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム1112に3方向から入射する。そして、このダイクロイックプリズム1112において、RおよびBの光は90度に屈折する一方、Gの光は直進する。これにより、各原色画像の合成したカラー画像が、投射レンズ1114を介して、スクリーン1120に投射されることになる。なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー1108によって、RGBの各原色に対応する光が入射するので、直視型パネルのようにカラーフィルタを設ける必要がない。

【0117】<2-2：パーソナルコンピュータ>次に、上述した液晶表示装置100を、マルチメディア対応のパーソナルコンピュータに適用した例について説明する。図21は、このパーソナルコンピュータの構成を示す斜視図である。この図に示されるように、コンピュータ1200の本体1210には、表示部として用いられる液晶表示装置100や、光学ディスクの読み取り・書き込みドライブ1212、磁気ディスクの読み取り・書き込みドライブ1214、ステレオ用スピーカ1216などが備えられる。また、キーボード1222およびポインティングデバイス(マウス)1224は、本体1210とは入力信号・制御信号等の授受を、赤外線等を介してワイヤレスで行う構成となっている。この液晶表示装置100は、直視型として用いられるので、RGBの3画素で1ドットが構成されるとともに、各画素に応じてカラーフィルタが設けられる。また、液晶表示装置100の背面には、暗所での視認性を確保するためのバックライトユニット(図示省略)が設けられる。

【0118】<2-3：携帯電話>さらに、上述した液晶表示装置100を、携帯電話の表示部に適用した例について説明する。図22は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、上述した液晶表示装置100を備え

るものである。なお、この液晶表示装置100の背面にも、上述したパーソナルコンピュータと同様に、暗所での視認性を確保するためのバックライトユニット(図示省略)が設けられる。

【0119】<2-4:電子機器のまとめ>なお、電子機器としては、図20、図21および図22を参照して説明した他にも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、タッチパネルを備えた機器などが挙げられる。そして、これらの各種の電子機器に対して、実施形態や応用・変形例に係る液晶表示装置が適用可能なのは言うまでもない。

【0120】

【発明の効果】以上説明したように本発明によれば、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅が小さく抑えられるので、低消費電力化を図ることが可能となる。

【図面の簡単な説明】

【図1】(a)は、本発明の実施形態に係る液晶表示装置の外観構成を示す斜視図であり、(b)は、その線A-A'についての断面図である。

【図2】同液晶表示装置の電気的な構成を示すブロック図である。

【図3】(a)は、信号PSおよび信号Csetに対する信号Cset1の論理レベルを示す真理値表であり、(b)は、信号PSおよび信号Csetに対する信号/Cset1の論理レベルを示す真理値表である。

【図4】同液晶表示装置における第2のデコーダのデータ結果を示す真理値である。

【図5】同液晶表示装置における第3のデコーダのデータ結果を示す真理値である。

【図6】同液晶表示装置におけるD/A変換器群の構成を示すブロック図である。

【図7】同液晶表示装置におけるD/A変換における入出力特性を示す図である。

【図8】同液晶表示装置におけるY側の動作を説明するためのタイミングチャートである。

【図9】同液晶表示装置におけるX側の動作を説明するためのタイミングチャートである。

【図10】同液晶表示装置におけるX側の動作を説明するためのタイミングチャートである。

【図11】(a)、(b)および(c)は、それぞれ同液晶表示装置におけるD/A変換の動作を説明するための図である。

【図12】(a)、(b)および(c)は、それぞれ同液晶表示装置におけるD/A変換の動作を説明するための図である。

【図13】(a)、(b)および(c)は、それぞれ

同液晶表示装置の画素における動作を説明するための図である。

【図14】(a)は、同液晶表示装置における走査信号と容量スイング信号との電圧波形を示す図であり、(b)は、同液晶表示装置において画素電極に印加される電圧波形を示す図である。

【図15】同液晶表示装置において、液晶容量に対する蓄積容量の比と出力電圧の圧縮率との関係を示す図である。

【図16】(a)、(b)および(c)は、それぞれ蓄積容量の他端における電圧シフト量とデータ線の最大出力電圧振幅との関係を示す図である。

【図17】(a)、(b)および(c)は、それぞれ蓄積容量の他端における電圧シフト量とデータ線の最大出力電圧振幅との関係を示す図である。

【図18】本実施形態と比較するために、蓄積容量の他端の電位をシフトさせず、かつ、電圧切り替えを行わない場合における電圧遷移を示す図である。

【図19】(A)、(B)、(C)および(D)は、電圧遷移を示す図である。

【図20】実施形態に係る液晶表示装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図21】実施形態に係る液晶表示装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図22】実施形態に係る液晶表示装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

- 100...液晶表示装置
- 105...液晶
- 108...対向電極
- 112...走査線
- 113...容量線
- 114...データ線
- 116...TFT(スイッチング素子)
- 118...画素電極
- 119...蓄積容量
- 120...画素
- 130...シフトレジスタ(走査線駆動回路)
- 132...フリップフロップ
- 134...セレクタ
- 150...シフトレジスタ
- 160、172、174...デコーダ
- 175...第1の給電線
- 177...第2の給電線
- 180...D/A変換器群(150、152、180によりデータ線駆動回路)
- 1812、1822...インバータ
- 1814、1816、1824、1826...スイッチ

(1812、1814、1816、1822、182

* SW0、SW1、SW2...スイッチ(第2のスイッチ)
)

4、1826によりセレクタ)

1100...プロジェクタ

1830~1832...ビット容量

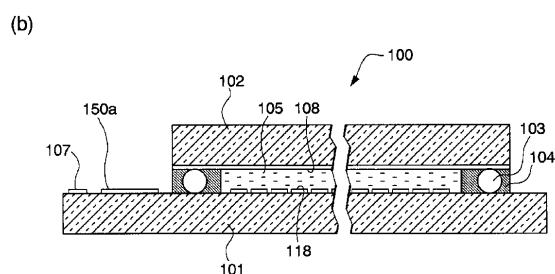
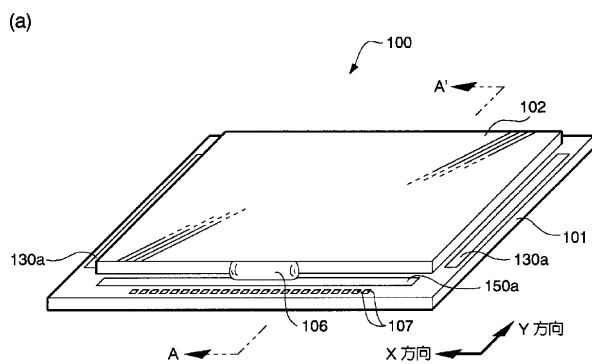
* 1200...パーソナルコンピュータ

SW3...スイッチ(第1のスイッチ)

1300...携帯電話

【図1】

【図3】



Csetl		Cset	
		L	H
PS	L	L	H
	H	H	L

/Csetl		Cset	
		L	H
PS	L	H	L
	H	L	H

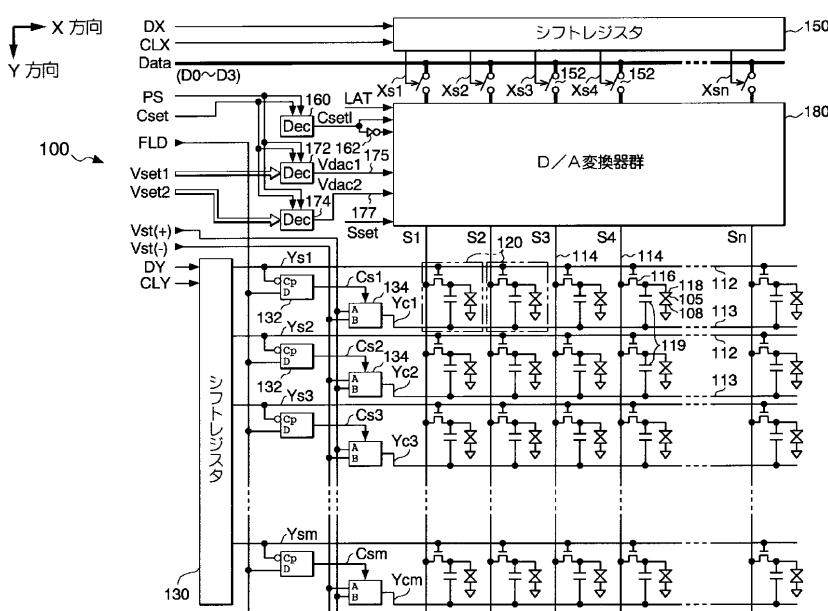
【図3】

Vdac1		Cset	
		L	H
PS	L	Vsk(-)	Vcw(-)
	H	Vsw(+)	Vck(+)

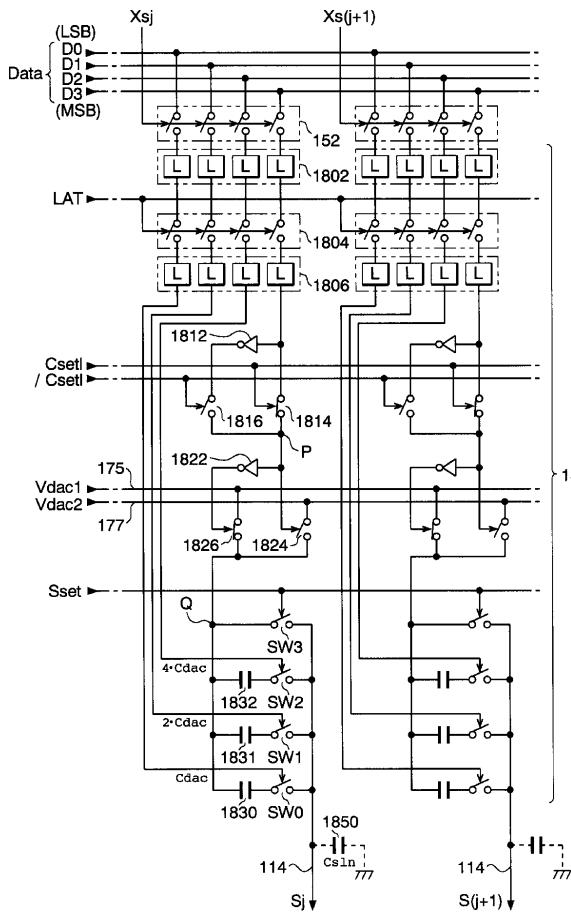
【図5】

Vdac2		Cset	
		L	H
PS	L	Vsw(-)	Vck(-)
	H	Vsk(+)	Vcw(+)

【図2】

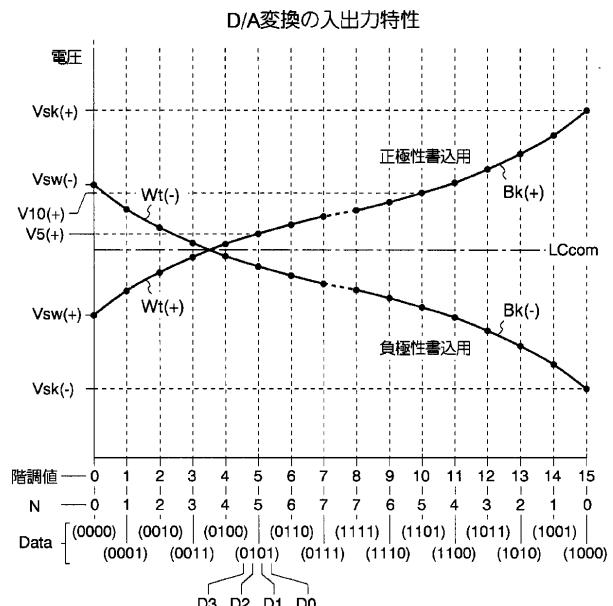


【図6】



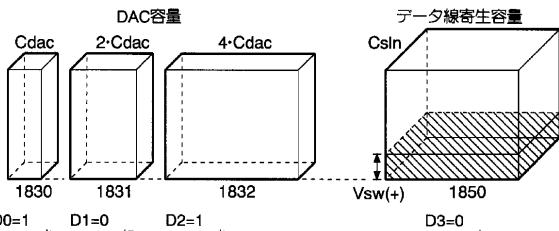
【図8】

【図7】

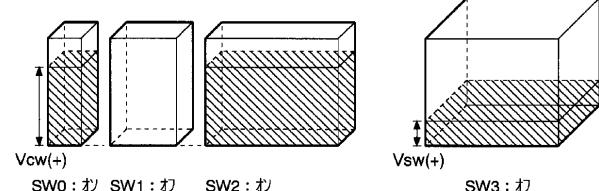


【図11】

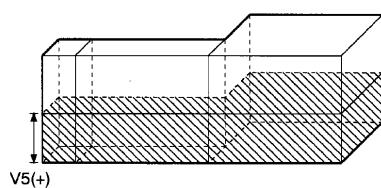
(a) データ線、DAC容量をリセット



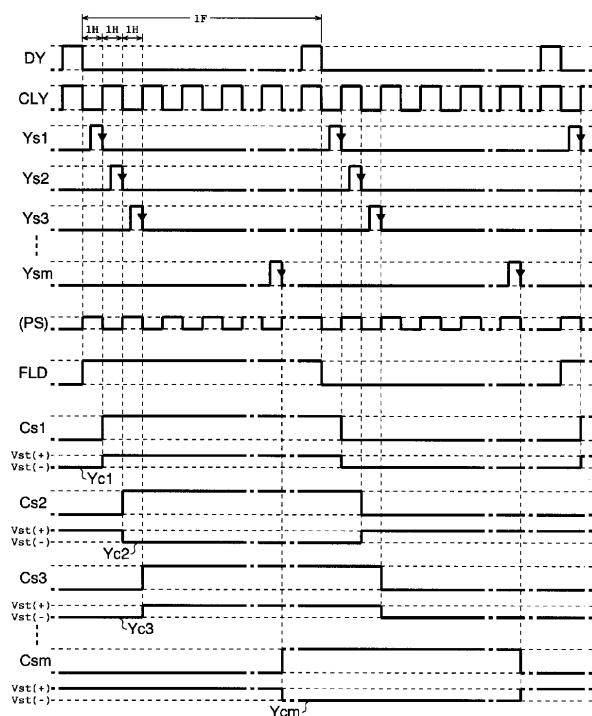
(b) DAC容量書き込み



(c) 電荷の分配

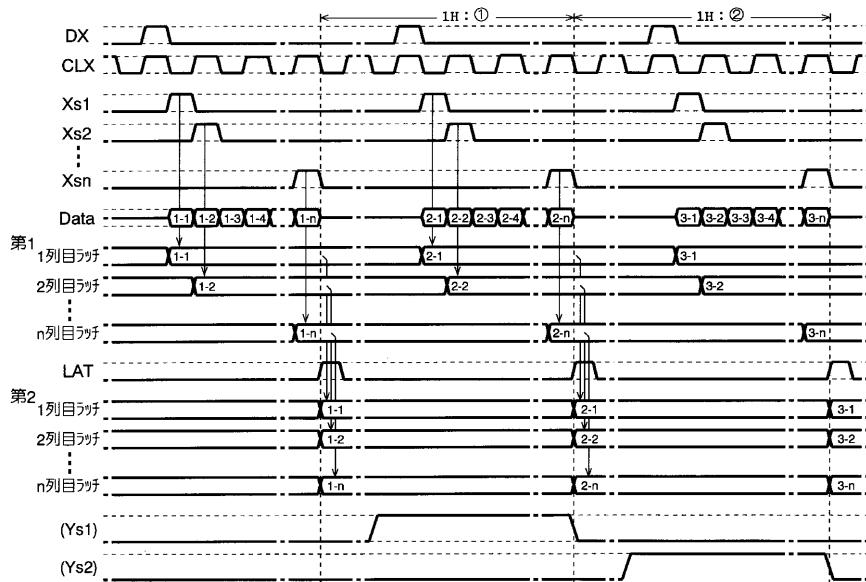


<Y側>

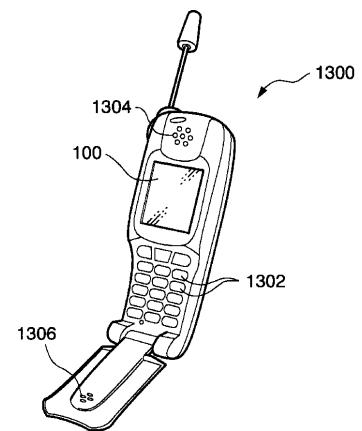


【図9】

<X側>

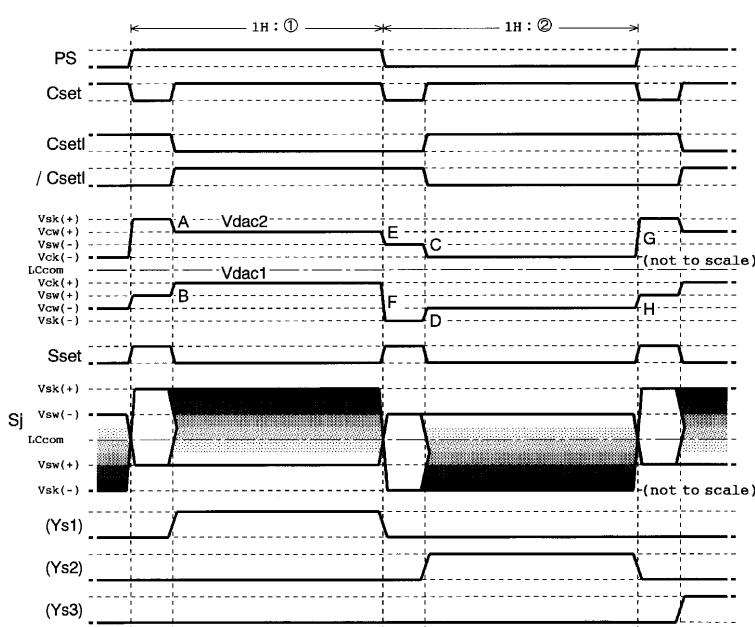


【図22】



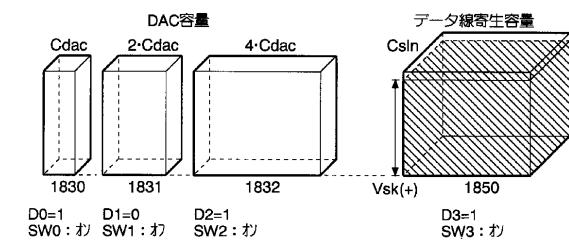
【図10】

<X側>

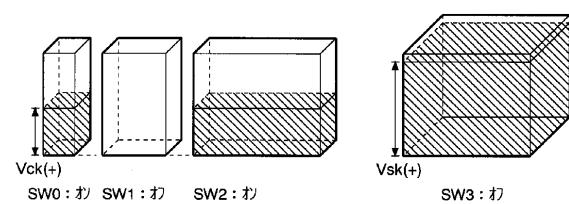


【図12】

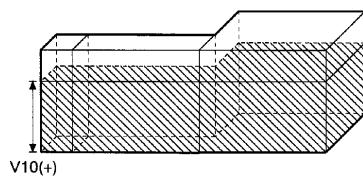
(a) データ線、DAC容量をリセット



(b) SW0オフ・DAC容量書き込み

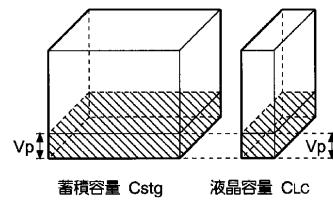


(c) 電荷の分配

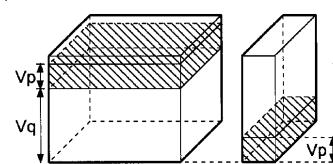


【図13】

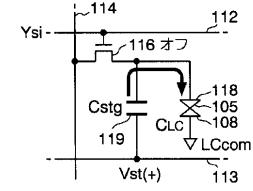
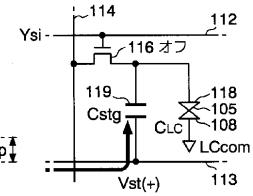
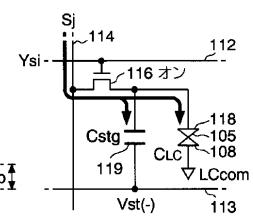
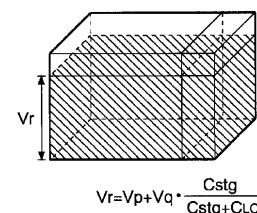
(a) 書込



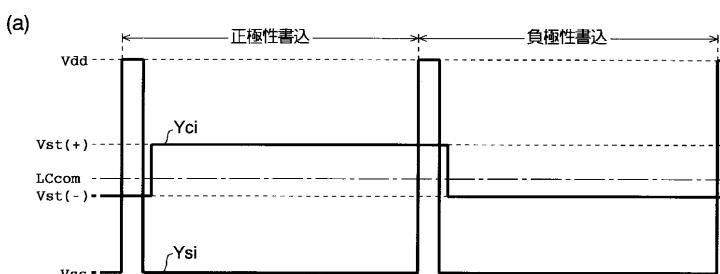
(b) 蓄積容量の電位シフト



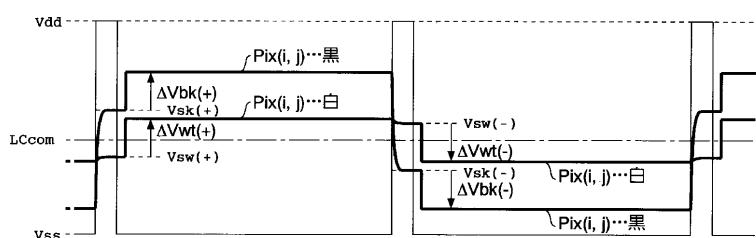
(c) 電荷の再分配



【図14】



(b)

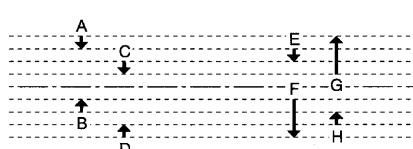


(A) D/A動作

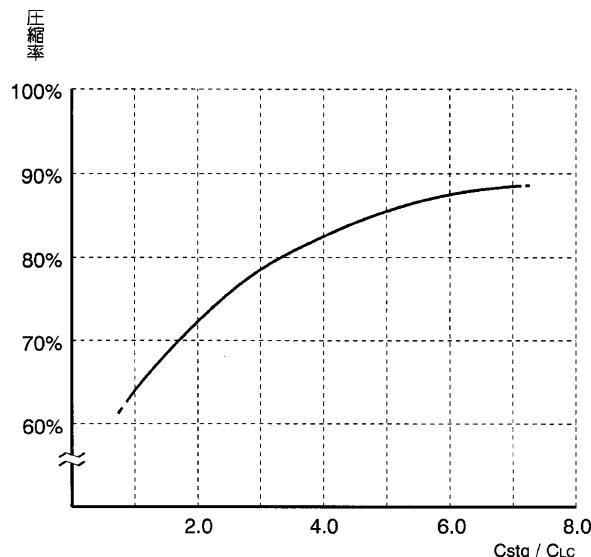
(B) 極性反転

(C) D/A動作

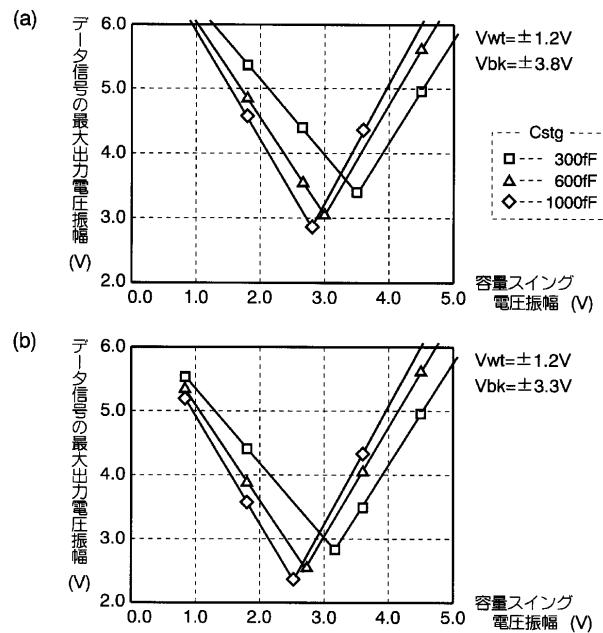
(D) 極性反転



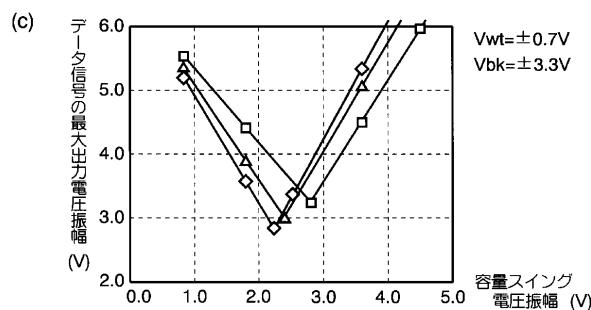
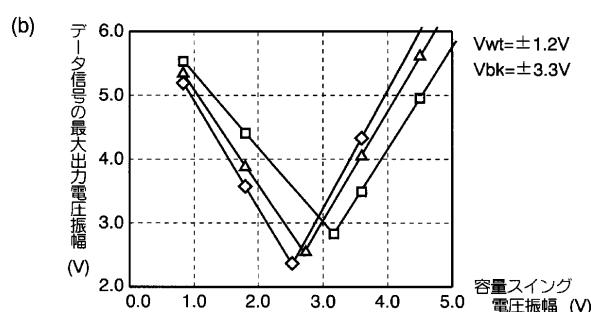
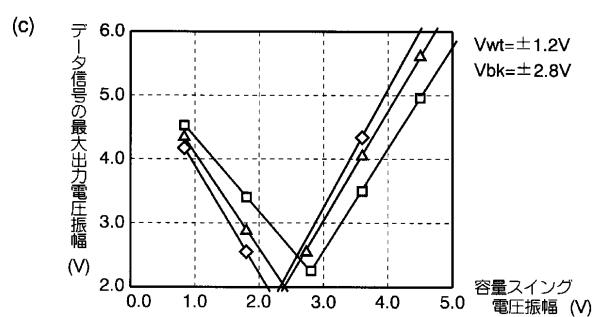
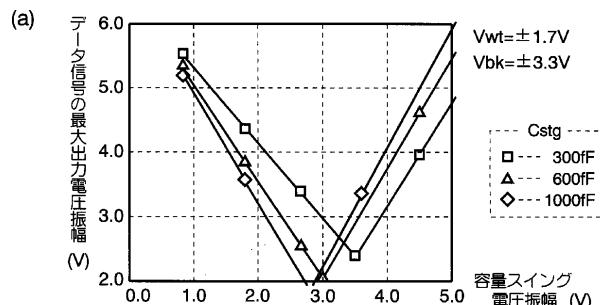
【図15】



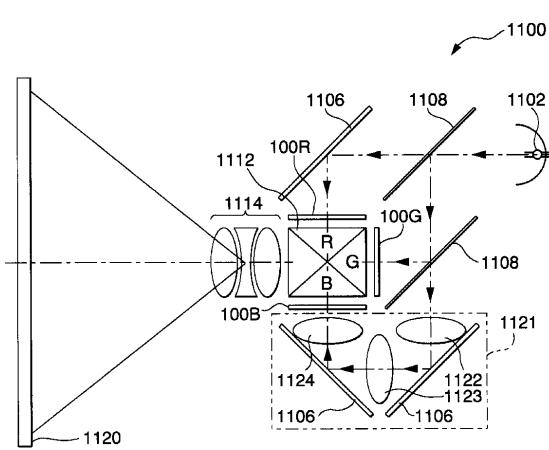
【図16】



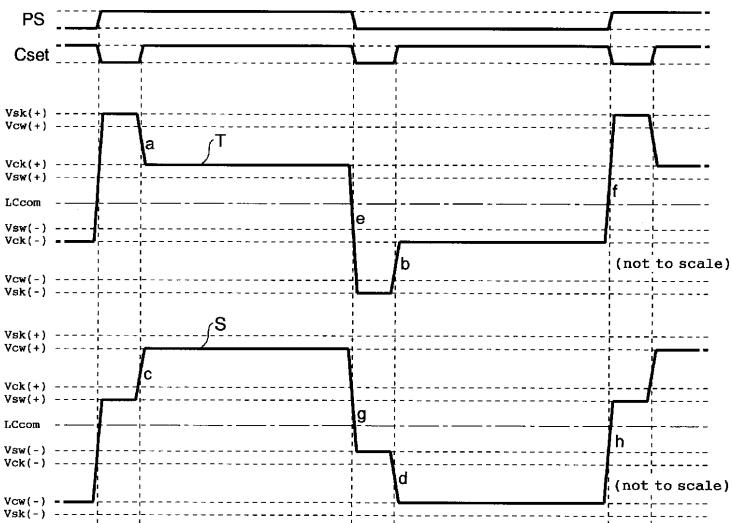
【図17】



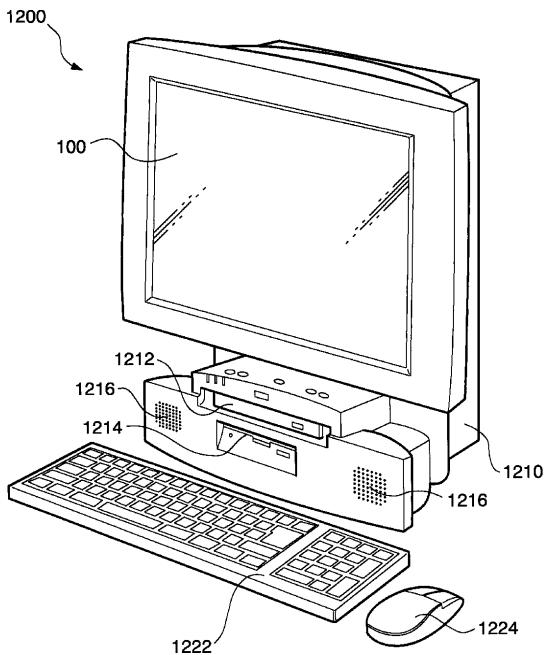
【図20】



【図18】



【図21】



フロントページの続き

(51) Int.CI.⁷ 識別記号
 G 0 9 G 3/20 6 2 3
 6 2 4
 6 4 1

F I テ-マコ-ト[®] (参考)
 G 0 9 G 3/20 6 2 3 F
 6 2 3 R
 6 2 4 A
 6 4 1 C

F ターム(参考) 2H093 NA16 NA33 NA43 NA51 NC16
 NC22 NC23 NC24 NC26 NC29
 NC34 NC35 ND39
 5C006 AA16 AA22 AC27 AF83 BB16
 BC12 BC20 BF03 BF04 BF06
 BF24 BF26 BF27 BF34 BF37
 EB05 EC11 FA46 FA47 FA56
 5C080 AA10 BB05 CC03 DD24 DD26
 EE29 FF11 JJ02 JJ03 JJ04
 JJ05 JJ06 KK07

专利名称(译)	液晶显示装置，驱动电路，驱动方法和电子设备		
公开(公告)号	JP2002202762A	公开(公告)日	2002-07-19
申请号	JP2000403228	申请日	2000-12-28
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小澤徳郎		
发明人	小澤 徳郎		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3614 G09G3/3655 G09G2300/0876 G09G2310/027 G09G2330/021 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.621.H G09G3/20.623.F G09G3/20.623.R G09G3/20.624.A G09G3/20.641.C		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA43 2H093/NA51 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC35 2H093/ND39 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF37 5C006/EB05 5C006/EC11 5C006/FA46 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD24 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZC15 2H193/ZD21		
其他公开文献	JP3899817B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通过将提供给数据线114的数据信号Sj的电压幅度抑制为较小来减少功耗。当提供给扫描线112的扫描信号Ysi被设置为H电平时，具有根据灰度和写入极性的电压的数据信号Sj被施加到数据线114。在这种情况下，由于TFT 116导通，所以与数据信号Sj的电压相对应的电荷累积在液晶电容CLC和存储电容C g中。之后，将扫描信号Ysi设置为L电平以使TFT 116截止，并且在存储电容C的另一端g的电压从低侧电容电压Vst(-)升高到高侧Vst(+)。与提升量相对应的电荷被分配给液晶电容CLC。由此，可以使施加到液晶电容C的有效电压值LC与数据信号Sj的电压振幅以上对应。

