

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002 - 196356

(P2002 - 196356A)

(43)公開日 平成14年7月12日(2002.7.12)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 2 F 1/1345		G 0 2 F 1/1345	2 H 0 9 2
	1/1368		5 C 0 9 4
G 0 9 F 9/00	352	G 0 9 F 9/00	5 G 4 3 5
	9/30		Z
	338		338

審査請求 未請求 請求項の数 8 O L (全 8 数) 最終頁に続く

(21)出願番号 特願2001 - 330937(P2001 - 330937)

(22)出願日 平成13年10月29日(2001.10.29)

(31)優先権主張番号 2000 - 63451

(32)優先日 平成12年10月27日(2000.10.27)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 郭 相 基

大韓民国京畿道水原市八達区遠川洞遠川住

公2団地202棟1203号

(72)発明者 崔 権 永

大韓民国ソウル市銅雀区舎堂3洞大林アパー

ト1棟809号

(74)代理人 100094145

弁理士 小野 由己男 (外1名)

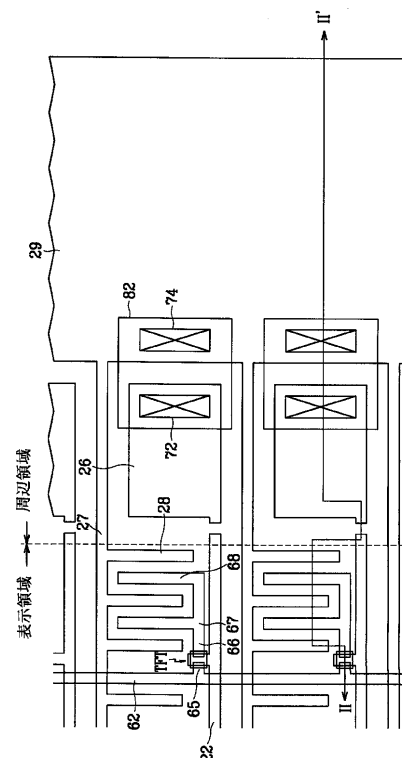
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】

【解決手段】 本発明は液晶表示装置に関わり、光の漏れ現象を最小化して安定した画質を具現するために、テストパッドをゲート線から分離させて共通電圧用パターンに連結させたり、共通電圧を印可した導電パターンで遮蔽させる。本発明による液晶表示装置では、基板の上に複数個の画素領域が配列されている表示領域が定義されている。画素領域はゲート線、ゲート線と交差するデータ線、ゲート線とデータ線に電気的に連結される薄膜トランジスタ、薄膜トランジスタに電気的に連結される画素電極線及び画素電極線の間形成される共通電極線を含んでいる。そして、共通電圧用パターンが複数個の画素領域の共通電極線を共通に連結しており、表示領域の外部には共通電圧用パターンに連結されるが、ゲート線とは分離されているテストパッドが形成されている。



【特許請求の範囲】

【請求項 1】下部基板と、
前記下部基板の上に形成されるゲート線、前記ゲート線と交差するデータ線、前記ゲート線と前記データ線とに電氣的に連結される薄膜トランジスタ、前記薄膜トランジスタに電氣的に連結される画素電極線及び前記画素電極線の間形成される共通電極線を含む画素領域が複数個配列されている表示領域と、
前記複数個の画素領域の共通電極線が連結された共通電圧用パターンと、
前記表示領域の外側に形成され、前記共通電圧用パターンに連結され、前記ゲート線とは分離されているテストパッドと、
を含む液晶表示装置。

【請求項 2】前記テストパッド及び前記共通電圧用パターンは前記下部基板上に形成され、
前記テストパッドと前記共通電圧用パターンとを覆い、
前記テストパッドと前記共通電圧用パターンとを各々露出する接触孔が形成された絶縁膜と、
前記接触孔を通じて前記テストパッドと前記共通電圧用パターンとを連結する連結パターンと、
を含む請求項 1 に記載の液晶表示装置。

【請求項 3】前記下部基板に対向する上部基板と、
前記上部基板に、画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリックスと、
をさらに含む請求項 2 に記載の液晶表示装置。

【請求項 4】下部基板と、
前記下部基板の上に形成されるゲート線、前記ゲート線と交差するデータ線、前記ゲート線と前記データ線に電氣的に連結される薄膜トランジスタ、前記薄膜トランジスタに電氣的に連結される画素電極線及び前記画素電極線の間形成される共通電極線を含む画素領域が複数個配列されている表示領域と、
前記共通電極線に連結されて前記表示領域の外側に形成される共通電圧用パターンと、
前記ゲート線に連結されて前記表示領域の外側に形成されるテストパッドと、
前記共通電圧用パターンに連結され、前記テストパッドに重なりかつ前記テストパッドとは絶縁されている導電パターンと、
を含む液晶表示装置。

【請求項 5】前記テストパッド及び前記共通電圧用パターンは前記下部基板上に形成され、
前記テストパッドと前記共通電圧用パターンとを覆い、
前記共通電圧用パターンを露出する接触孔が形成された絶縁膜を含み、
前記導電パターンは、前記接触孔を通じて前記共通電圧用パターンと連結され、前記絶縁膜を隔てて前記テストパッドと重なる、

*請求項 4 に記載の液晶表示装置。

【請求項 6】前記下部基板に対向する上部基板と、
前記上部基板に画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリックスと、
をさらに含む請求項 4 に記載の液晶表示装置。

【請求項 7】下部基板と、
前記下部基板の上に形成されるゲート線、前記ゲート線と交差するデータ線、前記ゲート線と前記データ線に電氣的に連結される薄膜トランジスタ、前記薄膜トランジスタに電氣的に連結される画素電極線及び前記画素電極線の間形成される共通電極線を含む画素領域が複数個配列されている表示領域と、
前記共通電極線に連結されて前記表示領域の外側に形成される共通電圧用パターンと、
前記ゲート線に連結され、前記表示領域の最後のラインに位置する画素領域とは画素領域幅の 2 倍以上の間隔をおいて前記表示領域の外側に形成されるテストパッドとを含む液晶表示装置。

【請求項 8】前記表示領域の最後のラインに位置する画素領域と前記テストパッドとは 200 μm 以上の間隔をおいて形成される、請求項 7 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関わり、特に、水平電界 (Coplanar Electrode, CE) 方式の液晶表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】水平電界方式の液晶表示装置は画素電極と共通電極とを同一平面に形成し、画素電極と共通電極との間に発生する水平電界を利用して液晶を駆動することによって広視野角を具現する。

【0003】水平電界方式の液晶表示装置において、下部基板の表示領域には複数個のゲート線と複数個のデータ線とが交差して定義された複数個の画素セル領域がマトリックス形状に配列されている。画素セルはゲート線及びデータ線に電氣的に連結されるスイッチング素子、スイッチング素子に電氣的に連結される画素電極及び画素電極との間に水平電界を発生させる共通電極を含む。そして、下部基板には更に、ゲート線各々の一端に連結されるゲートパッド、データ線各々の一端に連結されるデータパッド及び画素セル領域各々の共通電極を共通に連結する共通電圧用パターンなどが形成されている。

【0004】水平電界方式の液晶表示装置において、上部基板には下部基板の画素セルに対応する赤 (R)、緑 (G)、青 (B) のカラーフィルターセル及び下部基板の画素セル内部を除いた全領域を覆うブラックマトリックスが形成されている。

【0005】一方、液晶表示装置の配線欠陥を点検するために、液晶表示装置のパネルテストを実施する。パネ

ルテストのために液晶表示装置の製作工程において、ゲート線の一端を共通に連結させ、ゲート線の他の一端にテストパッドを形成する。パネルテストの際には二つのゲート線を選択し、選択されたゲート線のテストパッドにテスト電圧を印加することによって、二つのゲート線に連結された画素セルの配線欠陥を点検する。このようなパネルテストはゲート線全てに対して実施する。

【0006】パネルテストの作業が終われば、液晶表示装置の作動のために共通に連結されていたゲート線を全て分離させる。

【0007】しかし、液晶表示装置のテスト過程で用いられたテストパッドはパネルテストが終わった後にもゲート線に連結された状態で存在しているので、液晶表示装置の作動時にゲート電圧の印加を受ける。特に、オフ作動時にテストパッドに印加されたゲートオフ電圧は最後のラインに位置する画素セル内の水平電界を歪曲させ、この部分での液晶配列を歪曲させて光の漏れ現象を誘発するという問題点があった。

【0008】

【発明が解決しようとする課題】本発明は光の漏れ現象を最小化して安定した画質を実現する液晶表示装置を提供することにその目的がある。

【0009】

【課題を解決するための手段】このために本発明では、テストパッドをゲート線から分離させて共通電圧用パターンに連結する、あるいは、共通電圧用パターンで遮蔽する手段を用いる。

【0010】詳細に見てみれば、本発明による液晶表示装置では、下部基板の上に複数個の画素領域が配列されている表示領域が定義されている。画素領域はゲート線、ゲート線と交差するデータ線、ゲート線とデータ線に電気的に連結される薄膜トランジスタ、薄膜トランジスタに電気的に連結される画素電極線及び画素電極線の間形成される共通電極線を含んでいる。そして、共通電圧用パターンが複数個の画素領域の共通電極線を連結しており、表示領域の外側には共通電圧用パターンには連結されるが、ゲート線からは分離されているテストパッドが形成されている。

【0011】ここで、テストパッドが共通電圧用パターンに連結される構造は、基板の上にテストパッド及び共通電圧用パターンが形成され、絶縁膜がテストパッドと共通電圧用パターンを覆っており、導電性の連結パターンがテストパッドと共通電圧用パターンを各々露出する接触孔を通じてテストパッドと共通電圧用パターンとを連結している。

【0012】この時、下部基板に対向する上部基板と、上部基板に画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリクスとをさらに含むことができる。

【0013】本発明による液晶表示装置では、下部基板

の上に複数個の画素領域が配列されている表示領域が定義されている。画素領域はゲート線、ゲート線と交差するデータ線、ゲート線とデータ線に電気的に連結される薄膜トランジスタ、薄膜トランジスタに電気的に連結される画素電極線及び画素電極線の間形成される共通電極線を含んでいる。そして、共通電圧用パターンが共通電極線に連結されて表示領域の外側に形成されており、テストパッドがゲート線に連結されて表示領域の外側に形成されており、導電パターンが共通電圧用パターンに連結され、テストパッドに重なるが、テストパッドとは絶縁されている。

【0014】ここで、導電パターンがテストパッドと重なる構造は、基板の上にテストパッド及び共通電圧用パターンが形成され、絶縁膜がテストパッドと共通電圧用パターンを覆っており、導電パターンが絶縁膜に共通電圧用パターンを露出する接触孔を通じて共通電圧用パターンと連結されるが、テストパッドとは絶縁膜を隔てて重なっている。この時、下部基板に対向する上部基板と、上部基板に画素領域の内部領域を除いた下部基板の残り領域を覆うように形成されるブラックマトリクスとをさらに含むことができる。

【0015】また、本発明による液晶表示装置では、下部基板の上に複数個の画素領域が配列されている表示領域が定義されている。画素領域はゲート線、ゲート線と交差するデータ線、ゲート線とデータ線に電気的に連結される薄膜トランジスタ、薄膜トランジスタに電気的に連結される画素電極線及び画素電極線の間形成される共通電極線を含んでいる。そして、共通電圧用パターンが共通電極線に連結されて表示領域の外側に形成されており、テストパッドがゲート線に連結されるが、表示領域の最後のラインに位置する画素領域とは画素領域幅の2倍以上の間隔をおいて形成されている。ここで、テストパッドと表示領域の最後のラインに位置する画素領域とは200 μ m以上の間隔をおいて形成されることができ。

【0016】

【発明の実施の形態】以下では、図面を参照して本発明について説明する。

【0017】[第1実施形態例]図1は本発明の第1実施形態例による液晶表示装置における下部基板の平面図であり、図2は図1の切断線II-II'による液晶表示装置の断面図である。

【0018】水平電界方式の液晶表示装置では、下部基板100と上部基板200とが合着されており、“表示領域”と“周辺領域”とが定義されている。図面は説明の便宜のために、“表示領域”の最後のラインに位置する画素セルとそれに隣接する“周辺領域”のテストパッド26及び共通電圧用パターン29を示したものである。

【0019】“表示領域”には、複数個のゲート線22

と複数個のデータ線62とが互いに交差して複数個の画素領域を定義している。各々の画素領域にはゲート線22とデータ線62に電氣的に連結される薄膜トランジスタ(TFT)が形成されており、薄膜トランジスタには画素電極配線67、68が連結されている。そして、液晶表示装置を駆動する際に画素電極配線67、68と協動して水平電界を形成する共通電極配線27、28が形成されている。

【0020】“周辺領域”には各々の画素領域に形成されている共通電極配線27、28を共通に連結する共通電圧用パターン29とゲート線22の一端に連結される途中で切れた状態のテストパッド26とが形成されている。図面には示していないが、ゲート線22の他の一端には、ゲート線22にゲート電圧を印加するための外部駆動回路に連結されるゲートパッドが形成されている。

【0021】このような液晶表示装置の構造の具体的な説明は次の通りである。

【0022】まず、下部基板100の上にクロム系またはモリブデン系からなる下部金属層201とアルミニウム系からなる上部金属層202の二重層構造のゲート配線22、24、26及び共通電極配線27、28、29が形成されている。

【0023】ゲート配線22、24、26は横方向に延長されたゲート線22、ゲート線22の一端に形成されて外部駆動回路からゲート信号を受けるゲートパッド(図示せず)、ゲート線22の一部であるゲート電極24及びゲート線22の他の一端付近に位置するが、ゲート線22と分離されているテストパッド26を含む。

【0024】ゲート線22とテストパッド26は製作工程では互いに連結されるように形成されるが、液晶表示装置のテストの後には後述される分離工程を通じて、図面に示したように互いに分離される。

【0025】共通電極配線27、28、29は画素領域に形成される共通電極主線27と、共通電極主線27から延びる複数個の共通電極枝線28と、各々の画素領域に形成された複数個の共通電極主線27を共通に連結する共通電圧用パターン29とを含む。

【0026】そして、ゲート配線22、24、26及び共通電極配線27、28、29を、窒化ケイ素のような絶縁物質からなるゲート絶縁膜30が覆っている。

【0027】ゲート絶縁膜30の上には非晶質シリコンのような半導体物質からなる半導体パターン42が形成されており、半導体パターン42の上には、不純物がドーピングされた非晶質シリコンのような半導体物質からなる抵抗性接触層55、56が形成されている。

【0028】そして、導電物質からなるデータ配線62、65、66及び画素電極配線67、68が半導体パターン42と電氣的に連結されている。

【0029】データ配線62、65、66は、ゲート線22に交差して縦方向に延びるデータ線62、データ線

62の一端に形成されて外部駆動回路からデータ信号の印加を受けるデータパッド(図示せず)、データ線62の一部であって一つの抵抗性接触層55に接触されるソース電極65及び他の一つの抵抗性接触層56に接触されるドレーン電極66を含む。

【0030】画素電極配線67、68は、ドレーン電極66に連結されて共通電極主線27に平行に配列される画素電極主線67及び画素電極主線67から延びる複数個の画素電極枝線68を含んでいる。

【0031】データ配線62、65、66及び画素電極配線67、68を、窒化ケイ素のような絶縁物質からなる保護膜70が覆っている。

【0032】そして、ゲート線22とテストパッド26を電氣的に絶縁させる分離用孔(C)が形成されている。この分離用孔(C)は保護膜70、ゲート絶縁膜30及びゲート線22に形成されて、一体に形成されていたゲート線22とテストパッド26とを分離させている。

【0033】そして、“周辺領域”にはテストパッド26及び共通電圧用パターン29を露出する第1及び第2接触孔72、74が形成されている。第1接触孔72は保護膜70、ゲート絶縁膜30及びテストパッド26の上部金属層であるアルミニウム層202に形成されており、第2接触孔74は保護膜70、ゲート絶縁膜30及び共通電圧用パターン29の上部金属層であるアルミニウム層202に形成されている。

【0034】そして、保護膜70上に第1及び第2接触孔72、74を通じてテストパッド26と共通電圧用パターン29を電氣的に連結する連結パターン82が形成されている。

【0035】このような下部基板100に対向する上部基板200には、黒い有機物質からなるブラックマトリックス210とカラーフィルター220が形成されている。カラーフィルター220は下部基板200の画素領域に対応して形成され、ブラックマトリックス210は画素セルの内部領域を除いた全領域を覆っている。

【0036】そして、上部基板100と下部基板200の間には液晶層300が封入されている。

【0037】このような構造を有する液晶表示装置を駆動する過程で、オフ作動時にゲートパッド(図示せず)を通じてゲート線22に-7Vのゲートオフ電圧を印加し、共通電圧用パターン29を通じて共通電極配線27、28、29に+5Vの共通電圧を印加するとう。

【0038】テストパッド26がゲート線22から分離されて共通電圧用パターン29に連結されているので、テストパッド26及び共通電圧用パターン29全てに+5Vの電圧がかかる。従ってこれらパターン26、29に近接した上部基板200のブラックマトリックス210全領域にテストパッド26及び共通電圧用パターン2

9 各々にかかった電圧に影響を受け、+5Vの電圧が均一にかかる。

【0039】ゲートオフ電圧がかかった状態で共通電圧と同一な大きさの電圧がかかるブラックマトリクス210の電圧は画素セル内の水平電界を歪曲させることができず、液晶駆動にも影響を与えられない。従って、本発明の第1実施形態例による液晶表示装置では、最後のラインに位置する画素セルで液晶駆動の歪曲によって引き起こされる光の漏れ現象を防止することができる。

【0040】しかし、テストパッド26は液晶表示装置をテストする過程ではゲート線22と連結されなければならない。つまり、テストパッド26はゲート線22と連結される状態で製作されてテストを終えた後、分離用孔(C)、第1及び第2接触孔72、74を形成した後に連結パターン82を形成して、テストパッド26をゲート線22から分離し、共通電圧用パターン29と連結しなければならない。

【0041】テストパッド26をゲート線22から分離する工程は次の通りである。

【0042】まず、液晶表示装置テストの前は、下部基板10上にテストパッド26がゲート線22に連結されており、共通電圧用パターン29からは分離されており、その上部にゲート絶縁膜30及び保護膜70が形成されている。

【0043】液晶表示装置テストの後には、分離用孔(C)、第1及び第2接触孔72、74を定義するマスクを使用する写真エッチング工程を通じて、保護膜70とゲート絶縁膜30をエッチングしてテストパッド26の上部金属層であるアルミニウム層202と共通電圧用パターン29の上部金属層であるアルミニウム層202を選択的に露出する。次に、アルミニウムエッチング液を使用してアルミニウム層202の露出された部分を除去してテストパッド26と共通電圧用パターン29の下部金属層201を露出する。これで第1及び第2接触孔72、74が完成される。この後、基板の全面に導電層を形成した後に写真エッチングして、第1及び第2接触孔72、74を通じてテストパッド26と共通電圧用パターン29とを連結する連結パターン82を形成する。この過程でテストパッド26の下部金属層201の露出された部分も共に除去され、ゲート線22とテストパッド26とを分離する分離孔(C)が完成される。

【0044】以後、後続工程を経て下部基板の製作を完了し、上部基板を製作した後、2枚の基板を合着して液晶表示装置を製作する。

【0045】テストパッド26とゲート線22の分離工程は、前述した方法以外に後続工程を通じて様々な方法で実施することができる。

【0046】[第2実施形態例]図3は本発明の第2実施形態例による液晶表示装置の平面図であり、図4は図3の切断線IV-IV'による液晶表示装置の断面図であ

る。

【0047】本発明の第2実施形態例による液晶表示装置では、ゲート線22に連結されるテストパッド26を共通電圧用パターン29に連結された導電パターン84で遮蔽させている。この場合、テストパッド26にかかった電圧を導電パターン84が遮蔽させているため、テストパッド26にかかった電圧がテストパッド26上部のブラックマトリクス210に影響を与えない。

【0048】本発明の第1実施形態例による液晶表示装置と比較して、上部基板と下部基板の“表示領域”は同一であるのでこれに対する説明は省略し、下部基板の“周辺領域”に対してのみ説明する。

【0049】下部基板100の上に“表示領域”のゲート線22に連結されるテストパッド26及び“表示領域”の共通電極主線27に連結される共通電圧用パターン29が形成されている。テストパッド26及び共通電圧用パターン29はゲート線22及び共通電極主線27のように、クロム系列またはモリブデン系列からなる下部金属層201とアルミニウム系列からなる上部金属層202の二重層構造からなっている。そして、ゲート絶縁膜30と保護膜70がテストパッド26と共通電圧用パターン29を覆っている。

【0050】ゲート絶縁膜30、保護膜70及び共通電圧用パターン29の上部金属層であるアルミニウム層202には、共通電圧用パターン29の下部金属層201を露出する接触孔74が形成されている。そして、保護膜70の上には接触孔74を通じて共通電圧用パターン29に連結される導電パターン84が形成されているが、この導電パターン84は保護膜70とゲート絶縁膜30を隔ててテストパッド26を十分覆っているため、テストパッド26を遮蔽させている。言い換えれば、導電パターン84は、テストパッド26への印加電圧がブラックマトリクス210に影響を与えないようにテストパッド26を覆っている。

【0051】このような構造を有する液晶表示装置を駆動する過程で、オフ作動時にゲートパッド(図示せず)を通じてゲート線22に-7Vのゲートオフ電圧を印加し、共通電圧用パターン29を通じて共通電極配線27、28、29に+5Vの共通電圧を印加するとしよう。

【0052】ゲート線22に連結されているテストパッド26には-7Vのゲートオフ電圧がかかり、共通電圧用パターン29には+5Vの共通電圧がかかる。しかし、テストパッド26は共通電圧用パターン29に連結された導電パターン84によって遮蔽されているので、テストパッド26にかかった-7Vのゲートオフ電圧はその上部のブラックマトリクス210に影響を与えない。テストパッド26の上のブラックマトリクス210部分は導電パターン84にかかった+5Vの共通電圧に影響を受けるようになる。従ってブラックマトリ

クス210の全領域にはテストパッド26及び共通電圧用パターン29各々にかかった電圧に影響を受け、+5Vの電圧が均一にかかる。ゲートオフ電圧がかかった状態で共通電圧と同一な大きさの電圧がかかるブラックマトリス210の電圧は画素セル内の水平電界を歪曲させることができず、液晶駆動にも影響を与えられない。従って、本発明の第1実施形態例による液晶表示装置では、最後のラインに位置する画素セルで液晶駆動の歪曲によって引き起こされる光の漏れ現象を防止することができる。

【0053】このような構造ではテストパッド26がゲート線22に連結されているため、液晶表示装置をテストすることが可能であるので、本発明の第1実施形態例のようにテストパッド26をゲート線22から分離させる必要がない。

【0054】[第3実施形態例]一方、テストパッドにかかった電圧によってブラックマトリックスにかかる電圧が周囲の画素セルに影響を与えられないようにするために、テストパッドを画素セルと所定の間隔をおいて形成する方法がある。図5は、この方法を適用した、本発明の第3実施形態例による液晶表示装置の平面図である。この実施形態例においては、最後のラインに位置する画素セルから画素セル幅の2倍以上になる間隔、例えば200 μ m以上の間隔をおいてテストパッド26を形成することができる。この場合、テストパッド26のゲートオフ電圧によってブラックマトリックスにかかる電圧が最後のラインの画素セルにまで影響を与えられない程度、テストパッド26と最後のラインの画素セルとが遠く離れているため、最後のラインに位置する画素セル内の水平電界は歪曲されず、液晶駆動にも影響が及ばない。従って、最後のラインに位置する画素セルで液晶駆動の歪曲によって引き起こされる光の漏れ現象を防止することができる。

【0055】ここで、テストパッドと最後のラインに位置する画素セルの間隔は、製造工程の条件によって適切に設定できる。

【0056】

【発明の効果】本発明では液晶表示装置の駆動時、テストパッドにかかったゲート電圧によってブラックマトリックスにかかる電圧が最後のラインに位置する画素セル内に形成される水平電界を歪曲させることを防止するように液晶表示装置の構造を改善させることにより、水平

電界の歪曲によって発生する光の漏れ現象を防止して安定した画質を具現することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態例による液晶表示装置の平面図

【図2】図1に示した切断線II-II'による液晶表示装置の断面図

【図3】本発明の第2実施形態例による液晶表示装置の平面図

10 【図4】図3に示した切断線IV-IV'による液晶表示装置の断面図

【図5】本発明の第3実施形態例による液晶表示装置の平面図

【符号の説明】

22 ゲート線

26 テストパッド

27 共通電極主線

28 共通電極枝線

29 共通電圧用パターン

30 ゲート絶縁膜

42 半導体パターン

55、56 抵抗性接触層

62 データ線

65 ソース電極

66 ドレイン電極

67 画素電極主線

68 画素電極枝線

70 保護膜

72 第1接触孔

74 第2接触孔

82 連結パターン

84 導電パターン(シールド用)

100 下部基板

200 上部基板

201 下部金属層

202 上部金属層(アルミニウム層)

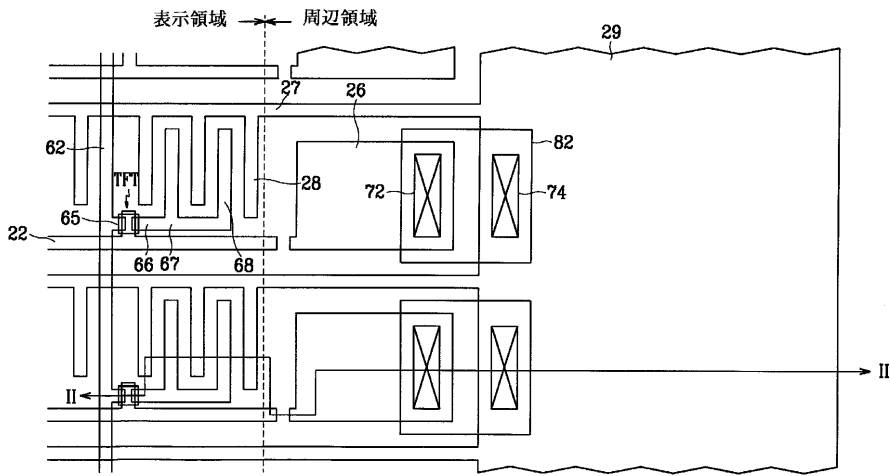
210 ブラックマトリックス

220 カラーフィルター

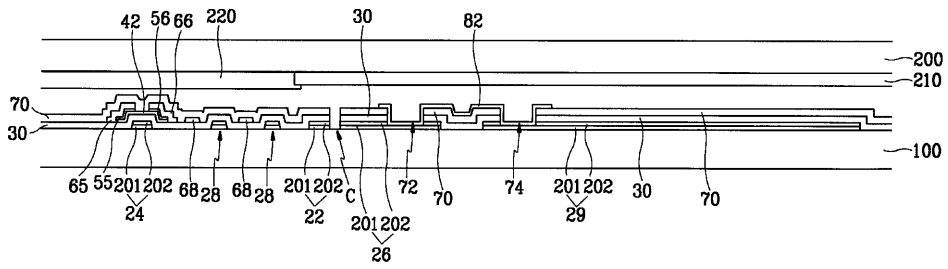
300 液晶層

C 分離用孔

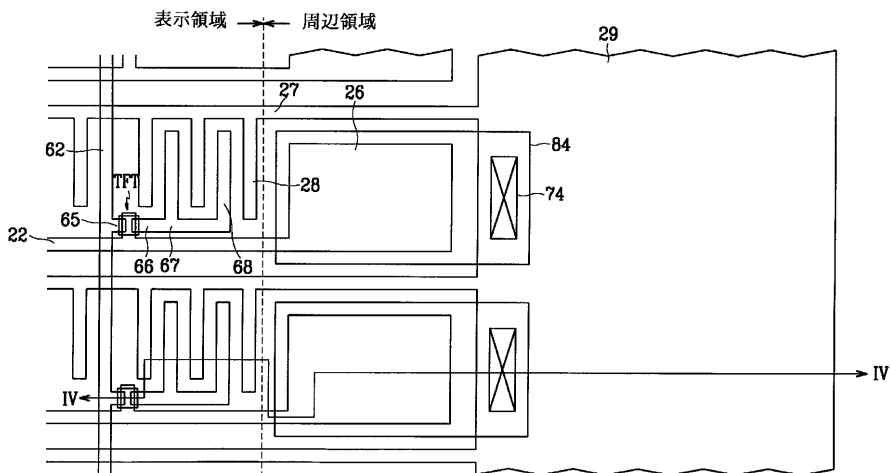
【図1】



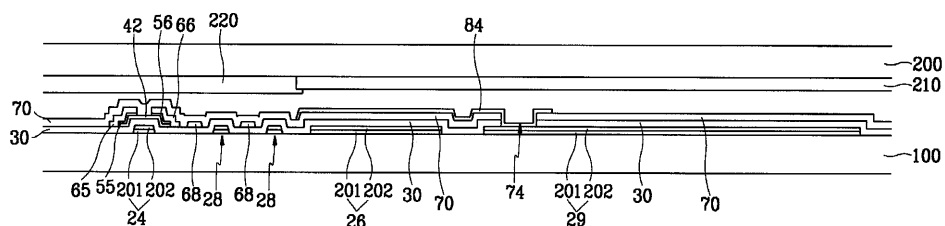
【図2】



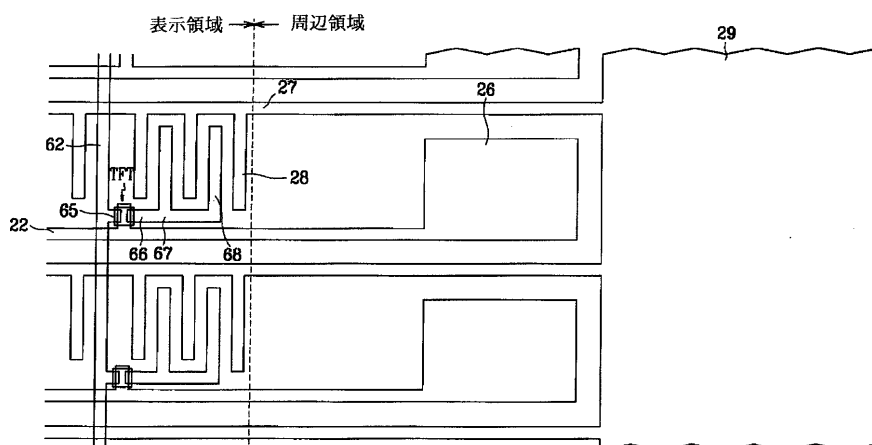
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーム(参考)
G 0 9 F 9/35		G 0 9 F 9/35	

(72)発明者 卓 英 在
 大韓民国京畿道水原市八達区靈通洞進興ア
 パート551棟1702号

(72)発明者 朴 雲 用
 大韓民国京畿道水原市八達区梅灘 1 洞住公
 5 団地アパート521棟1107号

(72)発明者 朴 明 在
 大韓民国光州市北区蓮提洞現代アパート
 104棟104号

F ターム(参考) 2H092 GA14 GA24 GA40 GA43 JA24
 JB22 JB31 JB51 JB56 KB13
 NA01 PA08
 5C094 AA12 AA41 AA43 BA03 BA43
 CA19 EA03 EA04 EA07
 5G435 AA17 AA19 BB12 CC09 KK05
 KK09 KK10

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002196356A	公开(公告)日	2002-07-12
申请号	JP2001330937	申请日	2001-10-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	郭相基 崔權永 卓英在 朴明在 朴雲用		
发明人	郭相基 崔權永 卓英在 朴明在 朴雲用		
IPC分类号	G02F1/136 G02F1/13 G02F1/1345 G02F1/1362 G02F1/1368 G09F9/00 G09F9/30 G09F9/35		
CPC分类号	G02F1/13458 G02F1/1309 G02F1/1345		
FI分类号	G02F1/1345 G02F1/1368 G09F9/00.352 G09F9/30.330.Z G09F9/30.338 G09F9/35 G09F9/30.330		
F-TERM分类号	2H092/GA14 2H092/GA24 2H092/GA40 2H092/GA43 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB56 2H092/KB13 2H092/NA01 2H092/PA08 5C094/AA12 5C094/AA41 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/EA04 5C094/EA07 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 5G435/KK05 5G435/KK09 5G435/KK10 2H192/AA24 2H192/BB02 2H192/CB05 2H192/CC02 2H192/CC32 2H192/EA22 2H192/EA32 2H192/EA43 2H192/FA65 2H192/GA04 2H192/HB14 2H192/JA32		
优先权	1020000063451 2000-10-27 KR		
其他公开文献	JP4251799B2		
外部链接	Espacenet		

摘要(译)

[问题] 液晶显示装置技术领域本发明涉及一种液晶显示装置，为了使漏光现象最小化并实现稳定的图像质量，将测试焊盘与栅极线分离并连接至公共电压图案或公共电压图案。它被施加的导电图案屏蔽。在根据本发明的液晶显示装置中，在基板上限定布置有多个像素区域的显示区域。像素区域包括栅极线，与栅极线相交的数据线，电连接至栅极线和数据线的薄膜晶体管，电连接至薄膜晶体管的像素电极线以及在像素电极线之间形成的公共区域。包括电极线。公共电压图案公共地连接多个像素区域的公共电极线，并且在显示区域外部连接至公共电压图案，但是与栅极线分离。形成。

