

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002－189428

(P2002－189428A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 F 9/30	338	G 0 9 F 9/30 338	2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78 612 Z	5 F 1 1 0
21/336		614	

審査請求 未請求 請求項の数 5 O L (全 6 数)

(21)出願番号 特願2000－386627(P2000－386627)

(22)出願日 平成12年12月20日(2000.12.20)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 寺内 正治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

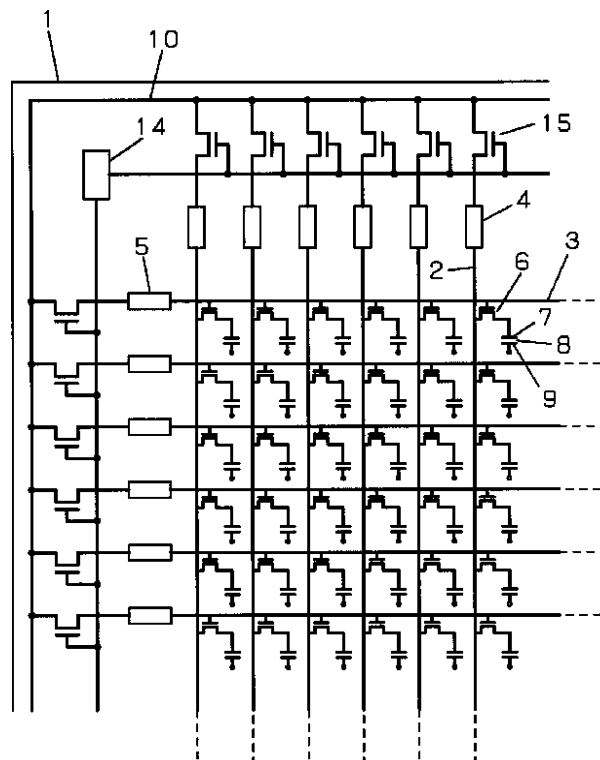
最終頁に続く

(54)【発明の名称】 アレイ基板及びそれを用いた液晶表示装置

(57)【要約】

【課題】 工程中の静電気対策とアレイ検査を両立させるため、アレイ基板のゲート及びソース配線と前記ショートリングとの間の導通状態を制御するディプリーション型T F Tを作製するためには、T F Tの半導体層に不純物を導入する必要がある、工程が増えるという問題点があった。

【解決手段】 アレイ基板のゲート及びソース配線とショートリングとの間の導通状態を制御するT F Tのチャネル長を、表示領域の画素内に設けられたT F Tのチャネル長よりも短くする。このようにして、画素内に設けられたT F Tを作製する工程と全く同じ工程で、静電気対策とアレイ検査を同時に実現するためのディプリーション型の薄膜トランジスタを作製することができる。



【特許請求の範囲】

【請求項1】 複数本のゲート配線と複数本のソース配線とが絶縁層を介して互いに交差するように配設され、その交差部の存在する表示領域の各画素毎に配設した画素電極と、その画素電極の近傍を通るゲート配線とソース配線とに電氣的に接続した薄膜トランジスタが設けられているアレイ基板に対し、前記アレイ基板は、前記複数本のゲート配線と前記複数本のソース配線とが前記表示領域の外側にも形成され、かつ、その表示領域外側に形成された配線を信号入力端子と、各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタを介して、前記アレイ基板の外周部に配置したショートリングに接続し、前記信号電圧入力端子より、各配線と前記ショートリングとの間の導通状態を制御する前記薄膜トランジスタが、前記ショートリング側に配して設けられている構成となっているアレイ基板において、前記各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタのチャンネル長を、表示領域の画素内に設けられた薄膜トランジスタのチャンネル長よりも短くすることを特徴とするアレイ基板。

【請求項2】 薄膜トランジスタの半導体層がa-Si、若しくは多結晶Siからなることを特徴とする請求項1に記載のアレイ基板。

【請求項3】 各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタのチャンネル長を2 μ m以下とすることを特徴とする請求項2に記載のアレイ基板。

【請求項4】 各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタのゲート電極とソース・ドレイン電極を自己整合形成することを特徴とする請求項1に記載のアレイ基板。

【請求項5】 請求項1に記載のアレイ基板を用いることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばコンピュータ等のディスプレイとして用いられる液晶表示装置のアレイ基板に関するものである。

【0002】

【従来の技術】液晶表示装置は、対向ガラス基板と、画素電極、アクティブ素子としての薄膜トランジスタ(TFT)、ゲートバスラインおよびソースバスラインなどを備えたガラス基板(アレイ基板)とが貼り合わされており、この両ガラス基板間に液晶が注入された構成を有しており、この電極間に電気信号を加えることにより、外部から入射する光を変調し画像を表示するものである。かかる液晶表示装置は、CRTに比べて消費電力が低いこと、薄く軽量であることなどから、次世代の表示装置として注目されており、その生産量も年々増加している。この液晶表示装置は2次元に配列された多数の画

素電極を備えており、近年は液晶表示装置の高品位化に伴い前記各画素電極に薄膜トランジスタなどのスイッチング素子を付加したアクティブマトリクス型の液晶表示装置が増加しつつある。

【0003】ところで、従来、このような液晶表示装置は図2に示すように構成されている。

【0004】アレイ基板1にソース配線2とゲート配線3とが絶縁膜を介して交差しマトリクス状に配列されている。各配線2、3の延長線上には信号入力用端子4、5が設置されている。アレイ検査する場合は、この端子4、5に信号電圧を印加する。ソース配線2とゲート配線3との交差部にTFT6が設置され、前記TFT6のドレイン電極が画素電極7に信号を送る。この画素電極7は液晶層8を介して対向電極9と対向し、表示データ電圧を液晶層8に保持して画像を表示させる。ここで示すソース配線2とゲート配線3とは絶縁膜により電氣的に絶縁されているため、数々の静電気による表示不良が発生することがある。例えば、TFTの作製工程や液晶表示パネルの製造工程、実装工程などで発生する静電気により、ソース配線2もしくはゲート配線3が帯電し、実際の駆動電圧を大幅に上回る電圧が印加され、絶縁膜の絶縁破壊、TFTの特性不良が発生する。そこで、一般的にこれを防ぐため、液晶表示装置の外周には、各配線2、3を電氣的に短絡させるショートリング10を設けている。ところで、TFTの製造工程は複雑であるため、走査線及び信号線の断線或いはショートによる線状欠陥やスイッチング素子不良などの点状欠陥や表示ムラなどの不良が発生する。このように液晶表示装置の製造歩留まりは100%でないため、表示品位の検査を十分に行う必要がある。また、製造歩留まりの向上と、最終的な液晶表示装置での表示品位の向上とを目指す上で、不良発生状況などを早急に製造プロセスへフィードバックすることが必要なことから、TFTなどのスイッチング素子が完成した段階でアレイ検査することや、高額部品であるドライバー回路、TABなどの実装前の液晶表示パネルの状態における点灯表示検査及び解析を行うことが重要である。

【0005】しかしながら、図2に示すような外周にショートリング10を設け、直接各配線2、3と電氣的に接続している構成の場合は、パターン形成などの製造プロセス中は静電破壊防止対策になるが、表示検査工程や実装部品組み立て工程などでは各端子に個別に信号電圧を入力する必要があるため、ショートリング10の内側の二点鎖線にて示す、分断ライン11で切断する必要がある。このため、従来の図2に示す構成では、静電破壊対策と検査を両立させることができない。これらの課題を解決するため、さらに、図3に示すような構成も提案されている。これは、特開平11-142888で開示されているものであり、図3は前述の公開特許の代表的な液晶表示装置の信

号入力端子部を拡大した模式図である。図2のようにショートリング10と各配線2, 3を直接電氣的に接続させるのではなく、信号入力用端子4, 5のより基板端側で、ディプリーション型TFT12を介して接続し、前記ディプリーション型TFT12のゲート電極を電氣的に接続する配線13とその配線に前記ディプリーション型TFT12の抵抗を制御する信号を入力するためのゲート電圧入力端子14を設けている。一般にディプリーション型トランジスタは、ゲートに電圧を印可しない状態で、ソース、ドレイン端子間で伝導性を有する。このため、ショートリング10と、ソース配線2、ゲート配線3とがディプリーション型TFT12を介して接続されているため、静電破壊が防止される。また、液晶表示装置のアレイ検査や点灯表示検査を行う場合には、前記ゲート電圧入力端子14にオフ電圧を印加し、各ソース配線の間および各ゲート配線の間、並びに各ソース配線と各ゲート配線との間を電氣的に絶縁状態にすることが可能となる。そして、液晶表示装置の入力端子に検査信号もしくは点灯信号を入力することで、高精度のアレイ検査及び高品位の点灯表示検査を行うことができる。

【0006】

【発明が解決しようとする課題】しかしながら、アレイ基板作製プロセスでは、ディプリーション型TFTを作製するためには、特開平11-142888号公報の実施例においても記述されているように、TFTの半導体層に不純物を導入する必要がある、アレイ基板作製工程が増え、コストアップになるとともに、歩留まりの低下を招くという問題点があった。本発明は、このような従来技術の課題を解決すべくなされたものであり、前記静電気対策とアレイ検査を両立するためのディプリーショ

【0007】

【課題を解決するための手段】本発明の液晶表示装置は、複数本のゲート配線と複数本のソース配線とが絶縁層を介して互いに交差するように配設され、その交差部の存在する表示領域の各画素毎に配設した画素電極と、その画素電極の近傍を通るゲート配線とソース配線とに電氣的に接続したスイッチング素子として薄膜トランジスタが設けられているアレイ基板に対し、間に液晶層をはさんで対向基板が対向配設されている液晶表示装置において、前記アレイ基板は、前記複数本のゲート配線と前記複数本のソース配線とが前記表示領域の外側にも形成され、かつ、その表示領域外側に形成された配線を信号電圧入力端子と、各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタを介して、前記アレイ基板の外周部に配置したショートリングに接続し、前記信号電圧入力端子より、各配線と前記ショートリングとの間の導通状態を制御する前記薄膜トランジスタが、前記ショートリング側に配して設けられている構

成となっているアレイ基板において、前記各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタのチャンネル長を、表示領域の画素内に設けられた薄膜トランジスタのチャンネル長よりも短くする。これにより、MOS型トランジスタでよく知られている短チャンネル長効果により、画素内のTFTよりも、各配線と前記ショートリングとの間の導通状態を制御するTFTのしきい値電圧が負にシフト（nチャンネルの場合、pチャンネルの場合は正シフト）し、ディプリーション型の薄膜トランジスタとすることができる。このようにして、画素内に設けられたTFTを作製する工程と全く同じ工程で、静電気対策とアレイ検査を同時に実現するためのディプリーション型の薄膜トランジスタを作製することができ、従来問題であった、工程の増加という課題を解決することができる。

【0008】前記薄膜トランジスタの半導体層をa-Siもしくは多結晶Siとすることにより、より大型基板への本発明の適用が可能になるという効果を有している。

【0009】また、半導体層としてa-Siもしくは多結晶Siを用いた場合、チャンネル長を2μm以下とすることで、より効果的に薄膜トランジスタをディプリーション型化できるという効果を有している。また、薄膜トランジスタのゲート電極とソース・ドレイン電極を自己整合形成することにより、薄膜トランジスタのチャンネル長の基板内でのバラツキが押えられ、より確実に、前記各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタをディプリーション型化できるという効果を有している。

【0010】

【発明の実施の形態】図1に、本発明の実施形態の一例である液晶表示装置のアレイ基板の模式図を示す。

【0011】アレイ基板1にはソース配線2とゲート配線3とが絶縁膜を介して交差しマトリクス状に配列されている。各配線2, 3の延長線上には信号入力用端子4, 5が設置されている。ソース配線2とゲート配線3との交差部にTFT6が設置され、前記TFT6のドレイン電極が画素電極7と電氣的に接続されている。この画素電極7は液晶層8を介して対向電極9と対向している。アレイ基板1の外周には、各配線2, 3を電氣的に短絡させるショートリング10を設けている。前記ショートリング10と各配線2, 3との間は、TFT15を介して電氣的に接続されている。このTFT15はnチャンネル型またはpチャンネル型であっても差し支えない。これらのTFT15のゲート電極は配線13によって任意の単位でまとめられ、ゲート電圧入力端子14によって一括制御される。

【0012】アレイ基板内に形成されるTFT6, 15の断面図を図4に示す。ガラス基板101上にゲート配線として所定形状の金属膜102が形成されている。そ

の上にゲート絶縁膜として所定形状の SiN_x 膜103が300nm程度形成されている。その上半導体層として、所定形状のi層a-Si膜104が100nm程度、ソース・ドレイン電極とのコンタクト層として、所定形状のn型a-Si膜105が50nm程度形成されている。次にソース・ドレイン電極として、所定形状の金属膜106が形成されている。最後に保護膜107が形成されている。

【0013】このようなアレイ基板で、画素部のTFT6のチャンネル長を4 μm とし、前記ショートリング9と各配線1, 2との間を電氣的に接続しているTFT15のチャンネル長を2 μm とする。これらのTFTの特性をnチャンネルを例にして図5に示す。この図から明らかなように、チャンネル長を変えることで、アレイ基板作製の工程を増加させることなく、TFT6はエンハンスメント型、TFT15はディプリーション型とすることができる。

【0014】また、図6に図4と同じ構成で作製したTFTのチャンネル長としきい値電圧の関係を示す。

【0015】この図から明らかなようにTFTのチャンネル長を2 μm 以下とすることで、TFTをディプリーション型化することができる。

【0016】

【発明の効果】以上詳述したように、本発明によれば、各配線と前記ショートリングとの間の導通状態を制御する薄膜トランジスタのチャンネル長を、表示領域の画素内に設けられたTFTのチャンネル長よりも短くする。これにより、MOS型トランジスタでよく知られている短チャンネル長効果により、画素内のTFTよりも、各配線と前記ショートリングとの間の導通状態を制御するTFTのしきい値電圧が負にシフト（nチャンネルの場合、pチャンネルの場合は正シフト）し、ディプリーション型の薄膜トランジスタとすることができる。このようにして、画素内に設けられたTFTを作製する工程と全く同じ工程で、静電気対策とアレイ検査を同時に実現するための*

*ディプリーション型の薄膜トランジスタを作製することができ、従来問題であった、工程の増加という課題を解決することができる。

【図面の簡単な説明】

【図1】本発明の実施形態の一例である液晶表示装置のアレイ基板の模式図

【図2】従来の液晶表示装置を示す図

【図3】従来の液晶表示装置を示す図

【図4】本発明のアレイ基板のTFTの断面図

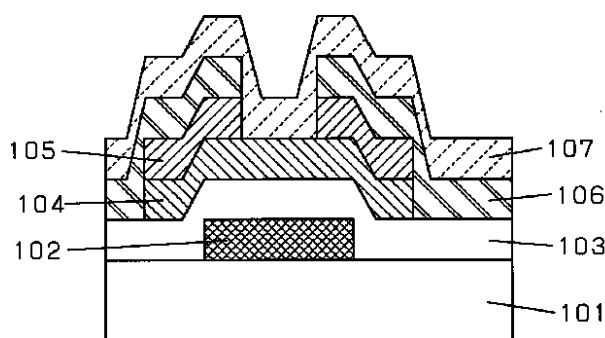
【図5】本発明のアレイ基板のTFTの特性図

【図6】本発明のアレイ基板のTFTのしきい値電圧とチャンネル長の関係を示す図

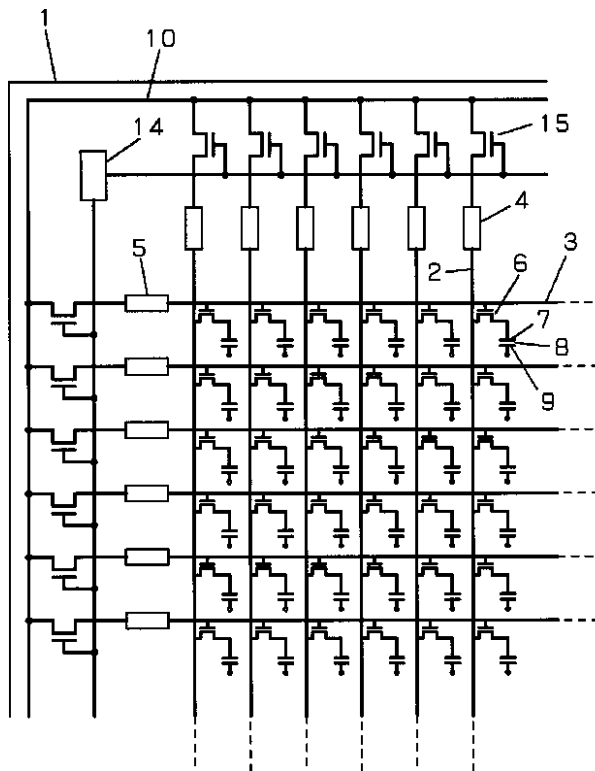
【符号の説明】

- 1 アレイ基板
- 2 ソース配線
- 3 ゲート配線
- 4 信号入力端子
- 5 信号入力端子
- 6 TFT
- 7 画素電極
- 8 液晶層
- 9 対向電極
- 10 ショートリング
- 11 分断ライン
- 12 ディプリーション型TFT
- 13 配線
- 14 ゲート電圧入力端子
- 15 TFT
- 101 ガラス基板
- 102 金属膜
- 103 SiN_x 膜
- 104 i層a-Si膜
- 105 n型a-Si膜
- 106 金属膜
- 107 保護膜

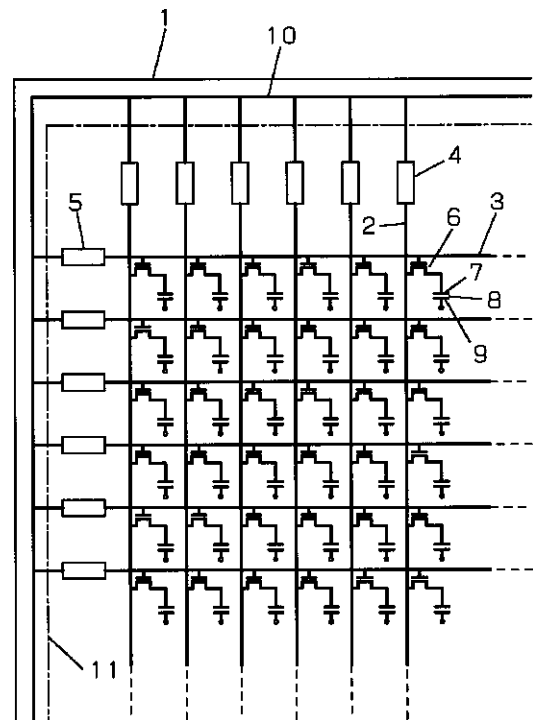
【図4】



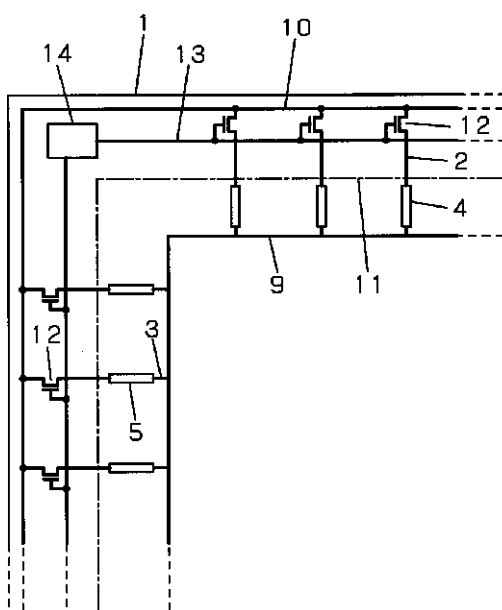
【図1】



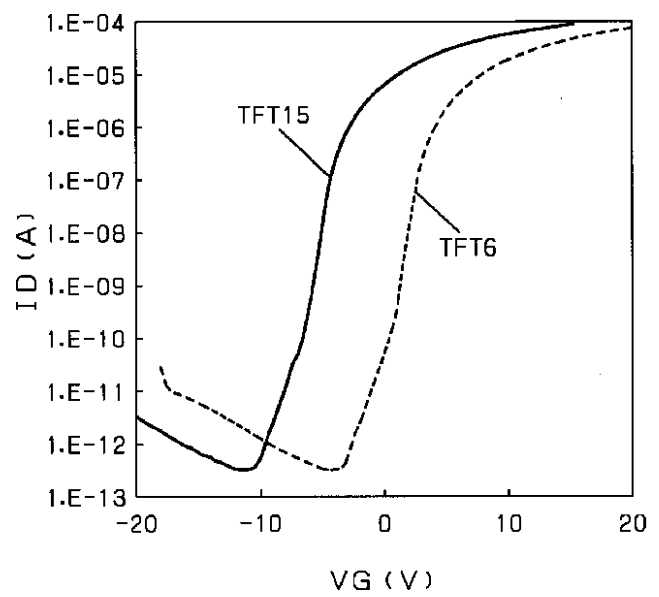
【図2】



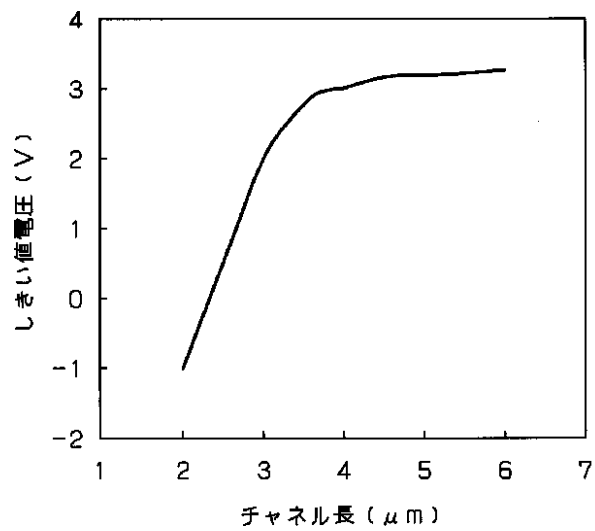
【図3】



【図5】



【図6】



フロントページの続き

Fターム(参考) 2H092 JA26 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB33 JB38
JB79 KA05 KA07 MA05 MA07
MA12 MA27 MA35 MA37 MA41
NA14 NA25 NA30 PA06
5C094 AA43 AA45 BA03 BA43 CA19
EA04 EA07 JA08
5F110 AA06 AA22 AA24 CC07 DD02
EE02 FF03 GG02 GG13 GG15
GG28 GG35 HK02 HK09 HK16
HK21 NN78

解决的问题：制造用于控制阵列基板的栅极和源极布线与短环之间的导通状态的耗尽型TFT，以便在工艺上与彼此兼容的静电对策。存在的问题在于必须将杂质引入半导体层中并且步骤数增加。将控制阵列基板的栅极和源极布线与短环之间的导通状态的TFT的沟道长度设置为比设置在显示区域中的像素中的TFT的沟道长度短。以这种方式，可以通过与制造像素中提供的TFT的过程完全相同的过程来制造用于同时实施防静电对策和阵列检查的耗尽型薄膜晶体管。

