

(19)日本国特許庁（ J P ）

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 281628

(P2001 - 281628A)

(43)公開日 平成13年10月10日(2001.10.10)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 2
	1/1368	G 0 9 F 9/30	338 2 H 0 9 3
G 0 9 F 9/30	338	G 0 9 G 3/20	624 B 5 C 0 0 6
G 0 9 G 3/20	624		641 G 5 C 0 8 0
	641		680 S 5 C 0 9 4

審査請求 未請求 請求項の数 13 O L (全 12数) 最終頁に続く

(21)出願番号 特願2000 - 98110(P2000 - 98110)

(22)出願日 平成12年3月31日(2000.3.31)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 時岡 秀忠

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 上里 将史

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外 4 名)

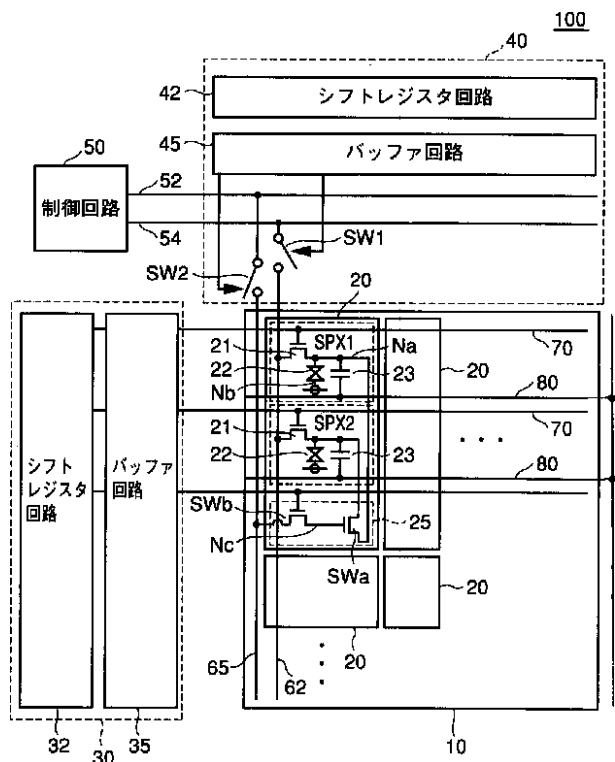
最終頁に続く

(54)【発明の名称】 液晶表示装置ならびにこれを備えた携帯電話機および携帯情報端末機器

(57)【要約】

【課題】 表示解像度などの表示品位を損なうことなく、デジタルデータによって高階調表示化が可能な液晶表示装置を提供する。

【解決手段】 行列状に配置される各画素 2 0 は、複数の副画素に分割される。副画素の各行および各列に対応して、水平走査線 6 0 および垂直走査線 7 0 が配置されるので、各副画素のオン / オフ制御は独立に実行できる。各画素 2 0 は、副画素間に副画素接続回路 2 5 を含む。副画素接続回路 2 5 は、垂直走査線 7 0 の活性化に同期してデータ線 6 5 から入力される副画素接続信号に応じて、それぞれの副画素の画素電極間を接続する。



【特許請求の範囲】

【請求項 1】 行列状に配置される複数の垂直走査線および複数の水平走査線と、

行列状に配置された複数の画素とを備え、

各前記画素は、M 個（M：2 以上の自然数）の副画素を含み、

各前記副画素は、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、

各前記副画素は、

液晶表示素子と、

前記液晶表示素子の両側に対向して配置される、共通電極および画素電極とを有し、

各前記画素は、

前記 M 個の副画素のうちの 2 個にそれぞれ属する前記画素電極間に設けられた副画素接続スイッチをさらに含み、

前記副画素接続スイッチは、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、前記対応する垂直走査線および水平走査線の電位レベルに応じてオン / オフする、液晶表示装置。

【請求項 2】 前記複数の水平走査線の各々は、前記画素電極に印加する電位レベルを伝達する第 1 の配線と、

前記副画素接続スイッチを制御するための信号を伝達する第 2 の配線とを含み、

各前記副画素は、

対応する前記垂直走査線の電位レベルに応じて、対応する前記第 2 の配線と接続制御ノードとを接続するスイッチ素子を含み、

前記副画素接続スイッチは、前記接続制御ノードの電位レベルに応じてオン / オフする、請求項 1 記載の液晶表示装置。

【請求項 3】 前記第 1 の配線は、前記共通電極に対応する電位および前記共通電極の電位レベルとの電位差が前記液晶表示素子の駆動電圧となる電位のいずれか一方を伝達する、請求項 2 記載の液晶表示装置。

【請求項 4】 前記 M 個の副画素のそれぞれは、互いに異なる表示面積を有する、請求項 1 記載の液晶表示装置。

【請求項 5】 各前記副画素は、

前記液晶表示素子と並列に接続される保持容量素子をさらに有し、

前記 M 個の副画素のそれぞれにおける、前記液晶表示素子および前記保持容量素子のキャパシタンスの和は互いに異なる、請求項 4 記載の液晶表示装置。

【請求項 6】 前記複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線をさらに備

え、

各前記副画素は、

前記複数の垂直走査線のうちの対応する 1 本の電位に応じて、前記複数の水平走査線のうちの 1 本と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、

前記第 1 の内部ノードの電位レベルを保持するための制御容量素子と、

前記第 1 の内部ノードの電位レベルに応じて、前記第 1 の基準電位配線および第 2 の基準電位配線のうちのいずれか一方を前記第 2 の内部ノードと接続する接続切換回路と、

前記複数の副垂直走査線のうちの対応する 1 本の電位に応じて、前記第 2 の内部ノードと前記画素電極とを接続する第 2 のスイッチ素子とをさらに有する、請求項 1 記載の液晶表示装置。

【請求項 7】 前記接続切換回路は、

前記第 1 の基準電位配線と前記第 2 の内部ノードとの間に電気的に結合され、前記第 1 の内部ノードと接続されるゲート電極を有する第 1 導電型の薄膜トランジスタと、

前記第 1 の基準電位配線と前記第 2 の内部ノードとの間に電気的に結合され、前記第 1 の内部ノードと接続されるゲート電極を有する第 2 導電型の薄膜トランジスタとを有する、請求項 6 記載の液晶表示装置。

【請求項 8】 前記第 1 の基準電位配線は、前記共通電極に対応する電位を伝達し、

前記第 2 の基準電位配線は、前記共通電極の電位レベルとの電位差が前記液晶表示素子の駆動電圧となる電位を伝達する、請求項 6 記載の液晶表示装置。

【請求項 9】 前記複数の水平走査線は、各副画素のオン / オフ選択を行なうためのデジタル信号を伝達する、請求項 6 記載の液晶表示装置。

【請求項 10】 デジタル信号に基づく情報を表示するための液晶表示部を備え、

前記液晶表示部は、

行列状に配置される複数の垂直走査線および複数の水平走査線と、

前記複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線と、

行列状に配置された複数の画素とを含み、

各前記画素は、M 個（M：2 以上の自然数）の副画素を有し、

各前記副画素は、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、

各前記副画素は、

液晶表示素子と、

前記液晶表示素子の両側に対向して配置される、共通電極および画素電極と、

対応する前記垂直走査線の電位に応じて、対応する前記水平走査線と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、
 前記第 1 の内部ノードの電位レベルを保持するための制御容量素子と、
 前記第 1 の内部ノードの電位レベルに応じて、前記第 1 および第 2 の基準電位配線のうちのいずれか一方を前記第 2 の内部ノードと接続する接続切換回路と、
 対応する前記副垂直走査線の電位に応じて、前記第 2 の内部ノードと前記画素電極とを接続する第 2 のスイッチ素子とをさらに有し、
 各前記画素は、
 前記 M 個の副画素のうちの 2 個にそれぞれ属する前記画素電極間に設けられた副画素接続スイッチをさらに有し、
 前記副画素接続スイッチは、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、前記対応する垂直走査線および水平走査線の電位レベルに応じてオン / オフする、携帯電話機。
 【請求項 11】 前記複数の水平走査線は、各副画素のオン / オフ選択を行なうための前記デジタル信号を伝達する、請求項 10 記載の携帯電話機。
 【請求項 12】 デジタル信号に基づく情報を表示するための液晶表示部を備え、
 前記液晶表示部は、
 行列状に配置される複数の垂直走査線および複数の水平走査線と、
 前記複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線と、
 行列状に配置された複数の画素とを含み、
 各前記画素は、M 個（M：2 以上の自然数）の副画素を有し、
 各前記副画素は、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、
 各前記副画素は、
 液晶表示素子と、
 前記液晶表示素子の両側に対向して配置される、共通電極および画素電極と、
 対応する前記垂直走査線の電位に応じて、対応する前記水平走査線と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、
 前記第 1 の内部ノードの電位レベルを保持するための制御容量素子と、
 前記第 1 の内部ノードの電位レベルに応じて、前記第 1 および第 2 の基準電位配線のうちのいずれか一方を前記第 2 の内部ノードと接続する接続切換回路と、
 対応する前記副垂直走査線の電位に応じて、前記第 2 の内部ノードと前記画素電極とを接続する第 2 のスイッチ

素子とをさらに有し、
 各前記画素は、
 前記 M 個の副画素のうちの 2 個にそれぞれ属する前記画素電極間に設けられた副画素接続スイッチをさらに有し、
 前記副画素接続スイッチは、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、前記対応する垂直走査線および水平走査線の電位レベルに応じてオン / オフする、携帯情報端末機器。

【請求項 13】 前記複数の水平走査線は、各副画素のオン / オフ選択を行なうための前記デジタル信号を伝達する、請求項 10 記載の携帯情報端末機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶を用いて画像を表示するための液晶表示装置に関し、より特定的には、デジタルデータの映像信号に応じて階調表示が可能な液晶表示装置に関する。

【0002】

【従来の技術】パーソナルコンピュータ、テレビジョン受像機や携帯電話機などのディスプレイパネルとして、液晶表示装置が用いられるようになってきている。液晶表示装置は、従来のディスプレイ装置と比較して、低消費電力化や省スペース化といった面でメリットが大きい。

【0003】図 8 は、従来技術の液晶表示装置 500 の全体構成を示すブロック図である。図 8 を参照して、液晶表示装置 500 は、行列状に配置される複数のピクセル 1001 を含む液晶表示部 1002 を備える。カラー液晶表示装置においては、1 個のピクセル 1001 は、R（Red）、G（Green）および B（Blue）の各 1 つの画素 1005 から構成される。

【0004】画素 1005 は液晶表示部 1002 において行列状に配置されている。液晶表示装置 500 は、さらに、各画素行ごとに配置される垂直走査線 1010 および共通配線 1012 と、各画素列ごとに水平走査線 1011 とを備える。

【0005】図 9 は、画素 1005 の構成を示す回路図である。図 9 を参照して、画素 1005 は、対向して設けられる画素電極と共通電極とを有する液晶表示素子 1102 を含む。以下においては、液晶表示素子の画素電極と接続されるノードを画素電極ノード Na と称し、共通電極と接続されるノードを共通電極ノード Nb と称する。

【0006】画素電極ノード Na と共通電極ノード Nb との間の電位差に応じて、液晶表示素子中の液晶の配向性が変化する。これに応じて、液晶表示素子の輝度が変化することによって、各画素の輝度をコントロールすることが可能となる。

【0007】画素1005は、さらに、画素電極ノードNaと共通配線1012との間に設けられる保持容量1103と、垂直走査線1010をゲートに受けて、信号線1011と画素電極ノードNaとの間に電氣的に結合されるTFT(Thin Film Transistor)素子1101とをさらに含む。

【0008】画素1105においては、垂直走査線1010に正電圧を印加(活性化)することにより、TFT素子1001をオンして、水平走査線1011の電位レベルを画素電極ノードNaに伝達することができる。10
液晶表示素子1102自体もキャパシタンスを有するので、この場合には液晶表示素子1102および保持容量1103がTFT素子1101のオンによって充電されることになる。

【0009】一方、垂直走査線1010が非活性化されてTFT素子1001がオフされた場合には、画素電極ノードNaの電位レベルは、保持容量1103によって保持される。

【0010】再び図8を参照して、液晶表示装置500は、各画素行を一定周期で順に選択するための垂直走査回路1003と、各画素列に対して、表示データに対応する電圧信号である表示信号を供給するための水平走査回路1006とをさらに備える。20

【0011】垂直走査回路1003は、シフトレジスタ回路1004と、バッファ回路1005とを含み、各画素行を一定周期で順に選択するために、垂直走査線1010を順に1本ずつ活性化して、正電圧を印加する。

【0012】水平走査回路1006は、各画素列を一定周期で順に選択するためのシフトレジスタ回路1007およびバッファ回路1008と、表示信号線1013と30
水平走査線1011との間に設けられるスイッチ1009とを含む。スイッチ1009は、各画素列に対応して設けられ、対応する表示信号線1013と信号線水平走査線との間をオン/オフする。スイッチ1009は、一定周期の信号に基づいて、順番に1個ずつオンされる。表示信号線1013は、液晶表示装置500がカラー表示装置であることから、R、GおよびBの3画素に対応して、それぞれ1本ずつ設けられる。

【0013】水平走査回路1006によって、1つの画素行に属するすべての画素に対して表示信号の書込が行なわれた後、すなわち1つの画素行に対する走査が完了すると、垂直走査回路1003は、次の画素行を選択するために、これまで選択されていた垂直走査線1010を非活性化して0もしくは負電圧を印加するとともに、次の垂直走査線1010を活性化して正電圧を印加する。

【0014】次の画素行に対しても同様の走査が順次実行され、垂直走査回路1003がすべての画素行を走査(これを1フレームとも称する)した後に、再び先頭の垂直走査線1012が活性化されて正電圧が印加され 50

る。このように、すべての画素が1フレームごとに順次表示信号を書込まれることによって、画像の表示が実行されることとなる。

【0015】

【発明が解決しようとする課題】このように、従来の技術の液晶表示装置500においては、画素電極ノードNaの電位レベルに応じた輝度が各画素において得られるので、各画素における表示を階調表示とするためには、階調に対応した電位レベルで構成されるアナログ信号を水平走査線から画素電極ノードNaに書込む必要があった。このため、液晶表示装置に外部から入力される表示データがデジタルデータである場合には、デジタル/アナログ信号変換を行なうことが必要である。

【0016】これに対して、デジタル信号である表示信号に対応して階調表示を実行するための構成として、各画素を複数に分割する面積階調方式が知られている。

【0017】図10は、面積階調方式の概念を説明する図である。図10を参照して、面積階調方式においては、画素1005を、複数の副画素SPX1~SPXn(n:自然数)に分割される。副画素SPX1~SPXnの各々は、デジタル信号に応じて、そのオン(最大輝度)およびオフ(最小輝度)が独立に制御される。したがって、各画素1005において、デジタルデータの表示信号に応じてオンする副画素を選択することにより、オン選択された副画素の面積に比例する階調的な輝度を得ることができる。

【0018】しかしながら、このような、面積階調方式においては、階調数を高めるためには、画素の分割を増加させる必要がある。分割数を増加すると、画素1個当たりの大きさが増大し、表示解像度の低下や表示品位の低下を招くという問題点があった。

【0019】この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、表示解像度などの表示品位を損なうことなく、デジタルデータによって高階調表示化が可能な液晶表示装置を提供することである。

【0020】

【課題を解決するための手段】請求項1記載の液晶表示装置は、行列状に配置される複数の垂直走査線および複数の水平走査線と、行列状に配置された複数の画素とを備え、各画素は、M個(M:2以上の自然数)の副画素を含み、各副画素は、複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、各副画素は、液晶表示素子と、液晶表示素子の両側に対向して配置される、共通電極および画素電極とを有し、各画素は、M個の副画素のうちの2個にそれぞれ属する画素電極間に設けられた副画素接続スイッチをさらに含み、副画素接続スイッチは、複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、対応する垂直走査線および水平走査線の

電位レベルに応じてオン／オフする。

【0021】請求項2記載の液晶表示装置は、請求項1記載の液晶表示装置であって、複数の水平走査線の各々は、画素電極に印加する電位レベルを伝達する第1の配線と、副画素接続スイッチを制御するための信号を伝達する第2の配線とを含み、各副画素は、複数の垂直走査線のうちの対応する1本の電位レベルに応じて、対応する第2の配線と接続制御ノードとを接続するスイッチ素子を含み、副画素接続スイッチは、接続制御ノードの電位レベルに応じてオン／オフする。

【0022】請求項3記載の液晶表示装置は、請求項2記載の液晶表示装置であって、第1の配線は、共通電極に対応する電位および共通電極の電位レベルとの電位差が液晶表示素子の駆動電圧となる電位のいずれか一方を伝達する。

【0023】請求項4記載の液晶表示装置は、請求項1記載の液晶表示装置であって、M個の副画素のそれぞれは、互いに異なる表示面積を有する。

【0024】請求項5記載の液晶表示装置は、請求項4記載の液晶表示装置であって、各副画素は、液晶表示素子と並列に接続される保持容量素子をさらに有し、M個の副画素のそれぞれにおける、液晶表示素子および保持容量素子のキャパシタンスの和は互いに異なる。

【0025】請求項6記載の液晶表示装置は、請求項1記載の液晶表示装置であって、複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第1の基準電位配線、および複数の第2の基準電位配線をさらに備え、各副画素は、複数の垂直走査線のうちの対応する1本の電位に応じて、複数の水平走査線のうちの1本と第1の内部ノードとを接続する第1のスイッチ素子と、第1の内部ノードの電位レベルを保持するための制御用容量素子と、第1の内部ノードの電位レベルに応じて、第1の基準電位配線および第2の基準電位配線のうちのいずれか一方を第2の内部ノードと接続する接続切換回路と、複数の副垂直走査線のうちの対応する1本の電位に応じて、第2の内部ノードと画素電極とを接続する第2のスイッチ素子とをさらに有する。

【0026】請求項7記載の液晶表示装置は、請求項6記載の液晶表示装置であって、接続切換回路は、第1の基準電位配線と第2の内部ノードとの間に電氣的に結合され、第1の内部ノードと接続されるゲート電極を有する第1導電型の薄膜トランジスタと、第1の基準電位配線と第2の内部ノードとの間に電氣的に結合され、第1の内部ノードと接続されるゲート電極を有する第2導電型の薄膜トランジスタとを有する。

【0027】請求項8記載の液晶表示装置は、請求項6記載の液晶表示装置であって、第1の基準電位配線は、共通電極に対応する電位を伝達し、第2の基準電位配線は、共通電極の電位レベルとの電位差が液晶表示素子の駆動電圧となる電位を伝達する。

【0028】請求項9記載の液晶表示装置は、請求項6記載の液晶表示装置であって、複数の水平走査線は、各副画素のオン／オフ選択を行なうためのデジタル信号を伝達する。

【0029】請求項10記載の携帯電話機は、デジタル信号に基づく情報を表示するための液晶表示部を備え、液晶表示部は、行列状に配置される複数の垂直走査線および複数の水平走査線と、複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第1の基準電位配線、および複数の第2の基準電位配線と、行列状に配置された複数の画素とを含み、各画素は、M個(M:2以上の自然数)の副画素を有し、各副画素は、複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、各副画素は、液晶表示素子と、液晶表示素子の両側に対向して配置される、共通電極および画素電極と、対応する垂直走査線の電位に応じて、対応する水平走査線と第1の内部ノードとを接続する第1のスイッチ素子と、第1の内部ノードの電位レベルを保持するための制御用容量素子と、第1の内部ノードの電位レベルに応じて、第1および第2の基準電位配線のうちのいずれか一方を第2の内部ノードと接続する接続切換回路と、対応する副垂直走査線の電位に応じて、第2の内部ノードと画素電極とを接続する第2のスイッチ素子とをさらに有し、各画素は、M個の副画素のうちの2個にそれぞれ属する画素電極間に設けられた副画素接続スイッチをさらに有し、副画素接続スイッチは、複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、対応する垂直走査線および水平走査線の電位レベルに応じてオン／オフする。

【0030】請求項11記載の携帯電話機は、請求項10記載の携帯電話機であって、複数の水平走査線は、各副画素のオン／オフ選択を行なうためのデジタル信号を伝達する。

【0031】請求項12記載の携帯情報端末機器は、デジタル信号に基づく情報を表示するための液晶表示部を備え、液晶表示部は、行列状に配置される複数の垂直走査線および複数の水平走査線と、複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第1の基準電位配線、および複数の第2の基準電位配線と、行列状に配置された複数の画素とを含み、各画素は、M個(M:2以上の自然数)の副画素を有し、各副画素は、複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、各副画素は、液晶表示素子と、液晶表示素子の両側に対向して配置される、共通電極および画素電極と、対応する垂直走査線の電位に応じて、対応する水平走査線と第1の内部ノードとを接続する第1のスイッチ素子と、第1の内部ノードの電位レベルを保持するための制御用容量素子と、第1の内部ノードの電位レベルに応じて、第1および

び第2の基準電位配線のうちのいずれか一方を第2の内部ノードと接続する接続切換回路と、対応する副垂直走査線の電位に応じて、第2の内部ノードと画素電極とを接続する第2のスイッチ素子とをさらに有し、各画素は、M個の副画素のうちの2個にそれぞれ属する画素電極間に設けられた副画素接続スイッチをさらに有し、副画素接続スイッチは、複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、対応する垂直走査線および水平走査線の電位レベルに応じてオン/オフする。

【0032】請求項13記載の携帯情報端末機器は、請求項10記載の携帯情報端末機器であって、複数の水平走査線は、各副画素のオン/オフ選択を行なうためのデジタル信号を伝達する。

【0033】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。

【0034】[実施の形態1]図1は、本発明の実施の形態1に従う液晶表示装置100の全体構成を示すブロック図である。

【0035】本発明の対象となる液晶表示装置は、カラー液晶表示装置およびモノクロ液晶表示装置のいずれにも適用可能な構成であるため、以下の説明においては、各画素に対応した構成について説明する。

【0036】すなわち、液晶表示装置100を、カラー画像表示に使用する場合は、同様の構成で配置される各画素について、R、GおよびBのいずれかのカラーフィルタを設けることとして、3個の画素で1つの表示単位を形成することとすればよい。

【0037】図1を参照して、液晶表示装置100は、30 行列状に配置された複数の画素20から構成される液晶表示部10を備える。各画素20は、副画素SPX1およびSPX2と、副画素接続回路25とを含む。図示しないが、行列状に配された他の画素20も副画素SPX1およびSPX2に分割されており、副画素接続スイッチ回路25をそれぞれが有している。

【0038】したがって、液晶表示部10全体として、副画素SPX1、SPX2および副画素接続回路25は 40 行列状に配置されることとなる。副画素および副画素接続回路の各行に対応して、独立の垂直走査線70が配置される。また、画素の各列に対応して水平走査線60が配置される。

【0039】図1の例においては、画素20は、水平方向に沿って分割されているので、副画素SPX1およびSPX2と副画素接続回路25との間で水平走査線60が共有されている。

【0040】水平走査線60は、表示信号に対応するデータを伝達する第1のデータ線62と、副画素間の接続を制御するための副画素接続信号を伝達する第2のデータ線65とを含む。また、副画素の各列に対応して、共 50

通配線80が配置される。共通配線80は、共通電極ノードNbに対応する電位を供給する。

【0041】副画素SPX1は、液晶表示素子22と、画素電極ノードNaと共通配線80との間に設けられる保持容量23と、垂直走査線70をゲートに受けて、第1のデータ線62と画素電極ノードNaとの間に電気的に結合されるスイッチ素子であるTFT素子21とをさらに含む。TFT素子21は、スイッチ素子の代表例として適用される。

10 【0042】TFT素子21、液晶表示素子22および保持容量23は、図9で説明したTFT素子1101、液晶表示素子1102および保持容量1103にそれぞれ対応する。同様に、垂直走査線70、共通配線80および第1のデータ線62は、図7における垂直走査線1010、共通配線1012および水平走査線1011にそれぞれ対応する。その他の副画素の各々も、副画素SPX1と同様の構成を有する。

20 【0043】垂直走査回路30は、図8で説明した垂直走査回路1003に対応し、垂直走査線70のうちの1本を、順番に一定期間ずつ活性化して正電圧を印加する。

【0044】制御回路50は、副画素接続信号を副画素接続選択信号線52に出力し、表示信号を表示信号線54に出力する。水平走査回路40は、シフトレジスタ回路42およびバッファ回路45と、表示信号線54と第1のデータ線62との間に設けられるスイッチSW1と、副画素接続選択信号線52と第2のデータ線65との間に設けられるスイッチSW2とを備える。

【0045】スイッチSW1およびSW2は、各画素列ごとに配置される。各画素列に対応して配置されるスイッチSW1およびSW2は、シフトレジスタ回路42およびバッファ回路45によって順にオンされ、水平走査回路40は、第1のデータ線62および第2のデータ線65を介して、各画素列に対して対応する表示信号および副画素接続信号を供給する。

【0046】いわゆる、点順次駆動の場合には、1つの行に属する各副画素は、水平走査回路40によってそれぞれ表示信号を供給されて充電されていく。1つの行に対するすべての副画素に対する表示信号の供給が終了すると、垂直走査回路30は、次の行を選択するために、活性化の対象となる垂直走査線70を切換える。これにより、これまで活性化されていた垂直走査線70は非活性化されて、その電位レベルは0または負電圧となるので、対応するTFT素子21がオフされて、画素電極ノードNaの電位レベルが保持される。

【0047】液晶表示装置100においては、各副画素に対応して、独立に表示信号を供給することが可能な回路構成としたので、それぞれの副画素のオン/オフ制御を独立に行なうことができ、表示信号がデジタルデータである場合においても、各画素20における階調表示を

実行することが可能となる。

【0048】液晶表示装置100においては、副画素SPX1とSPX2との間に副画素接続回路25を設けることにより、さらに多段階の階調表示が可能となる。

【0049】副画素接続回路25は、接続制御ノードNcの電位レベルに応じて、副画素SPX1およびSPX2のそれぞれの画素電極ノード間を接続する副画素接続スイッチSWaと、垂直走査線70の電位レベルに応じて、第2のデータ線65と接続制御ノードNcとを接続する接続制御スイッチSWbとを有する。

【0050】これにより、垂直走査線70の活性化によって指定されたタイミングにおいて副画素接続信号を第2のデータ線65を介して接続制御ノードNcに取込み、これに応じて副画素間の接続を制御することが可能となる。

【0051】図2は、液晶表示装置100における副画素間の接続を説明するための概念図である。

【0052】図2を参照して、副画素SPX1およびSPX2は、互いに異なる表示面積を有する。図2においては、副画素SPX1とSPX2との表示面積比をS:2Sとする。また、それぞれの副画素の容量値の比をC:4Cとする。ここで、副画素の容量値は、保持容量23および液晶表示素子22のキャパシタンスの和で与えられる。

【0053】まず、副画素SPX1をオンして画素電極ノードに電位Vを書込み、副画素SPX2をオフする場合を考えると、副画素SPX1の画素電極ノードの電位（以下、単に画素電極電位とも称する）はVとなり、副画素SPX2の画素電極電位は0となる。

【0054】各副画素における輝度が画素電極電位と表示面積との積に比例すると仮定すると、この場合における副画素間の接続前における画素輝度は、下記となる。

$$【0055】V \times S + 0 \times 2S = V \cdot S$$

続いて、接続制御スイッチSWbに対応する垂直走査線に正電圧が印加されている期間中に、第2のデータ線に正電圧を印加することによって、副画素接続スイッチSWaをオンさせ、両副画素の画素電極を接続することができる。これに応じて、副画素SPX1およびSPX2間で電荷の再配分が生じ、両副画素の画素電極電位は変化することになる。

【0056】すなわち、接続後の両副画素における画素電極電位をV'とすると、下記(1)式が成立する。

【0057】

$$V' \times (C + 4C) = V \times C + 0 \times 4C \quad \dots (1)$$

(1)式より、V' = V/5が得られる。したがって、副画素SPX1の画素電極の電位レベルはVからV/5に変化し、副画素SPX2の画素電極の電位レベルは0からV/5に変化する。

【0058】副画素間の接続後における輝度は、下記となることから、副画素間を接続することによって、新た

な階調を得ることができる。

【0059】

$$V/5 \times S + V/5 \times 2S = 3/5 \cdot V \cdot S$$

次に、副画素SPX1と副画素SPX2とのオンおよびオフを入換えた場合、すなわち、副画素SPX2をオンして画素電極ノードに電位Vを書込み、副画素SPX1をオフした後に、両副画素の画素電極を接続する場合を考える。

【0060】同様に、各副画素における輝度が画素電極電位と表示面積との積に比例すると仮定すると、副画素間の接続前における画素輝度は、下記となる。

$$【0061】0 \times S + V \times 2S = 2 \cdot V \cdot S$$

同様に、接続後における画素電極電位をV'とすると、上記(1)式に代わって、下記(2)式が成立する。

【0062】

V' \times (C + 4C) = 0 \times C + V \times 4C \quad \dots (2)

が成立する。(2)式より、V' = 4/5 \cdot Vが得られる。これにより、副画素SPX1の画素電極の電位レベルは0から4/5 \cdot Vに変化し、副画素SPX2の画素電極の電位レベルはVから4/5 \cdot Vに変化する。

【0063】一方、副画素間の接続後における輝度は、下記で示される。

$$4/5 \cdot V \times S + 4/5 \cdot V \times 2S = 12/5 \cdot V \cdot S$$

このように、副画素間を接続することによって、新たな階調を得ることができる。

【0064】以上より、副画素SPX1（面積S，容量C）およびSPX2（面積2S，容量4C）に分割された画素においては、(1)SPX1およびSPX2の両方がオフである場合(0)、(2)SPX1のみがオンである場合(S \cdot V)、(3)SPX2のみがオンする場合(2 \cdot S \cdot V)、および(4)SPX1およびSPX2の両方がオンする場合(3 \cdot S \cdot V)の4階調表示に加えて、上記の2通りの副画素間接続によって、

(5)副画素SPX1のみをオンした後に両副画素間を接続する場合(3/5 \cdot V \cdot S)、および(6)副画素SPX2のみをオンした後に、両副画素間を接続する場合(12/5 \cdot V \cdot S)の2個の中間階調を得ることができる、これにより、各画素における副画素の分割数を増加させることなくさらに多くの階調表示を行なうことができる。

【0065】上記のように、各副画素の表示面積および容量値は同一とせず、異なる値とする方が、中間階調数を多くできる。副画素間の接続によって得られる中間階調のレベルは、副画素間の面積比および容量比によって調整することができる。

【0066】液晶表示装置100においては各画素を2つの副画素に分割する場合について説明したが、各画素を3以上の複数個の副画素に分割してもよい。

【0067】図3は、各画素を3個の副画素に分割した場合における副画素間の接続を説明する概念図である。

【0068】図3を参照して、各画素を3個の副画素SPX1～SPX3に分割した場合には、互いに独立にオン/オフ制御可能なスイッチSW12、SW23およびSW13を、それぞれの副画素間に設けることにより、さらに多くの階調表示が可能となる。

【0069】この場合においても、各副画素および副画素制御スイッチSW12、SW23、SW13を行列表に配置して、それぞれを垂直走査線および水平走査線に同期したタイミングで制御する構成とすることができ

る。

【0070】[実施の形態2]図4は、本発明の実施の形態2に従う液晶表示装置110の構成を示す概略ブロック図である。

【0071】図4を参照して、液晶表示装置110は、実施の形態1に従う液晶表示装置100と比較して、副画素の構成が異なる。これに対応して、副画素の各行に対応して、垂直走査線70に加えて、副垂直走査線71、画像信号線75およびスイッチSW3が配置される。

【0072】副垂直走査線71は、垂直走査回路30によって、1本ずつ順番に一定周期で活性化される。活性化時において、副垂直走査線71は、垂直走査線70と同様に、正電圧を印加される。

【0073】スイッチSW3は、副垂直走査線71の活性化に応じてオンし、制御回路50が生成する基準電位を画像信号線75に伝達する。ただし、SW3を配置せずに、各画像信号線75に対して常に基準電位を供給する構成とすることも可能である。

【0074】その他の構成については、図1で説明したのと同様であるので説明は繰返さない。

【0075】図5は、実施の形態2に従う副画素の構成を説明する回路図である。図5を参照して、実施の形態2に従う副画素SPX1'は、実施の形態1に従う副画素SPX1の構成と比較して、制御用容量素子26と、TFT素子27および28で構成される接続切換回路30と、スイッチ素子として用いられるTFT素子29とをさらに含む点で異なる。

【0076】制御用容量素子26は、垂直走査線70の活性化に応じてTFT素子21を介して第1のデータ線62と接続される内部ノードNdと共通配線80との間に接続される。

【0077】TFT素子27はn型であり、内部ノードNdと接続されるゲートを有し、画像信号線75と内部ノードNeとの間に電氣的に結合される。TFT素子28は、TFT素子27と異なる導電型であり、内部ノードNdの電位レベルに応じてTFT素子27と相補的にオンする。TFT素子28は、内部ノードNdと接続されるゲートを有し、共通配線80と内部ノードNeとの間に電氣的に結合される。

【0078】TFT素子27および28は、内部ノード

Ndの電位レベルに応じて、相補的にオン/オフするので、接続切換回路29は、内部ノードNdの電位レベルに応じて、画素信号線75および共通配線80のうちのいずれか一方を内部ノードNeと接続する。

【0079】TFT素子29は、副垂直走査線71と接続されるゲートを有し、内部ノードNeと画素電極ノードNaとの間に電氣的に結合される。

【0080】これにより、副垂直走査線71の活性化期間中において、内部ノードNdの電位レベルに応じて、画素信号線75および共通配線80のうちのいずれか一方が画素電極ノードNaと接続される。

【0081】既に説明した副画素SPX1の場合と同様に、画素電極ノードNaの電位レベルは、保持容量23によって保持される。

【0082】副画素SPX1'においては、副画素のオン/オフを示す表示信号は、第1のデータ線62によって伝達され、TFT素子21のオンに応じて、内部ノードNdに伝達されて、制御用容量素子26で保持される。したがって、次の行が走査され、対応する垂直走査線70が非活性化された場合においても、内部ノードNdには、一旦与えられた電位レベルが保持される。

【0083】内部ノードNdに保持される電位レベルがHレベルであり、副画素SPX1'のオンが指示されている場合には、TFT素子27のオン状態が維持されるため、副垂直走査線71の活性化に応じて、画素電極ノードNaと画素信号線75とが接続される。反対に、内部ノードNdに0または負電圧が保持されて、副画素SPX1'のオフが指示されている場合には、TFT素子28がTFT素子27と相補的にオンされて、副垂直走査線71の活性化に応じて、画素電極ノードNaと共通配線80とが接続される。

【0084】このように、画素電極ノードNaは、副画素へのオン/オフ指示を制御用容量素子26で保持し、副垂直走査線71の活性化に応じて、画素信号線75および共通配線80のいずれか一方と画素電極ノードNaとを周期的に接続することができる。この結果、同一画像を連続して表示する場合においては、一旦当該同一画像に対応する各副画素のオン/オフ指示を制御用容量素子26に保持させた後は、垂直走査線および水平走査線を駆動した高動作周波数の書込動作を実行することなく、副垂直走査線71を低い動作周波数で周期的に活性化することによって、所望の画像を連続表示することができる。

【0085】したがって、同一画像の連続表示時における、水平走査回路および垂直走査回路の消費電力を削減することができる。

【0086】さらに、画素信号線75および共通配線80と画素電極ノードNaとの接続が維持されるので、画素電極ノードNaの電位レベル変動は発生せず、反射率(輝度)の変化が生じない。

【0087】ここで、画素信号線 75 によって伝達される基準電位を、画素電極に書込まれた電位が対向基板（共通電極）の電位レベルに液晶駆動電圧を加えた第 1 の電位レベル、または対向基板（共通電極）の電位レベルに液晶駆動電圧を減じた第 2 の電位レベルとなるように設定することにより、オンが指示された副画素における液晶の反射率は最大値（ノーマリホワイトモードでは最小値）となる。極性の異なる第 1 の電位レベルおよび第 2 の電位レベルを周期的に切換えて、基準電位とすることにより、液晶に常に同方向の電位が印可されること 10 による焼き付きの発生を防止できる。

【0088】さらに、共通配線 80 によって伝達される電位レベルを、画素電極に書込まれる電位レベルが対向基板（共通電極）の電位レベルと等しくなるように設定すれば、オフが指定された副画素における液晶の反射率を最小値（ノーマリホワイトモードでは最大値）とすることができる。これにより、オンおよびオフがそれぞれ指示される副画素間におけるコントラストを最大に得ることができる。

【0089】したがって、実施の形態 2 に従う液晶表示装置においては、副画素間の画素電極の接続を実現できる構成とともに、副画素に対するオン/オフ指示を副画素内部で保持することにより、同一画像を連続表示する場合における低消費電力化を図ることができる。

【0090】さらに、最大輝度および最小輝度を安定的に出力できる副画素の構成とすることによって、コントラストに優れた多階調表示動作を可能とすることができる。

【0091】[実施の形態 2 の変形例] 図 6 は、実施の形態 2 の変形例に従う携帯電話機 200 を示す図であ 30 る。

【0092】図 6 を参照して、携帯電話機 200 は、実施の形態 2 に従う液晶表示装置 110 を備える。携帯電話機の表示部は、液晶表示装置 110 の液晶表示部 10 によって形成される。したがって、表示部を構成する各副画素は、図 5 で説明した構成を有しているので、同一画像を連続して表示する場合において、低消費電力化を図ることができる。

【0093】この特性は、いわゆる待ち受け時における低消費電力化要求が高い携帯電話機に適しており、実施の形態 2 に従う液晶表示装置 110 を備える携帯電話機 200 は、表示解像度などの表示品位を損なうことなくデジタルデータに基づく高階調表示を行なうとともに、低消費電力化によるバッテリー駆動時間の長期化を実現する。

【0094】図 7 は、実施の形態 2 の変形例に従う携帯情報端末機器 210 を示す図である。

【0095】図 7 を参照して、携帯情報端末機器 210 も、携帯電話機 200 と同様に、実施の形態 2 に従う液晶表示装置 110 を備えるので、同一画像を連続して表 50

示する場合における低消費電力化を図ることができる。

【0096】したがって、携帯情報端末機器 210 は、表示解像度などの表示品位を損なうことなくデジタルデータに基づく高階調表示を行なうとともに、低消費電力化によるバッテリー駆動時間の長期化を実現することができる。

【0097】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0098】

【発明の効果】請求項 1、2 および 3 に記載の液晶表示装置は、各副画素を 2 値的にオン/オフ制御することによって各画素における階調表示を行なう場合において、副画素の画素電極間を接続するスイッチを設けているので、表示可能な階調数を多くすることができる。

【0099】請求項 4 に記載の液晶表示装置は、各副画素の表示面積が異なるので、請求項 1 に記載の液晶表示装置が奏する効果に加えて、さらに表示可能な階調数を多くすることができる。

【0100】請求項 5 に記載の液晶表示装置は、各副画素の容量値が異なるので、副画素の画素電極間を接続した場合に生じる電位レベルのバリエーションを増やすことができる。したがって、請求項 1 に記載の液晶表示装置が奏する効果に加えて、さらに表示可能な階調数を多くすることができる。

【0101】請求項 6 および 7 に記載の液晶表示装置は、各副画素において、制御用容量素子によって内部ノードに保持される電位レベルに応じて、第 1 および第 2 の基準電位配線の一方と各副画素中の画素電極とを周期的に接続できる。したがって、同一画像を連続して表示する場合において、垂直走査線および水平走査線を駆動した高周波数の書込動作を実行する必要がなく、低消費電力化を図ることができる。

【0102】請求項 8 に記載の液晶表示装置は、共通電極との電位差がゼロおよび液晶駆動電位である 2 つの電位を、第 1 および第 2 の基準電位配線によってそれぞれ伝達するので、請求項 6 に記載の液晶表示装置が奏する効果に加えて、副画素間の表示コントラストを強調することができる。

【0103】請求項 9 に記載の液晶表示装置は、請求項 6 に記載の液晶表示装置が奏する効果に加えて、デジタル信号によって各画素の階調表示を行なうことができる。

【0104】請求項 10 および 11 に記載の携帯電話機は、デジタル信号に基づいて各副画素を 2 値的にオン/オフ制御することによって各画素における階調表示を行なう場合において、副画素の画素電極間を接続するスイッチを設けているので、表示可能な階調数を多くするこ

とができる。さらに、各副画素においては、制御用容量素子によって内部ノードに保持される電位レベルに応じて、第1および第2の基準電位配線の一方と各副画素中の画素電極とを周期的に接続できる。したがって、同一画像を連続して表示する、いわゆる待ち受け時において、垂直走査線および水平走査線を駆動した高周波数の書込動作を実行する必要がなく、低消費電力化を図ることができる。

【 0 1 0 5 】 請求項 1 2 および 1 3 に記載の携帯情報端末機器は、デジタル信号に基づいて各副画素を 2 値的にオン/オフ制御することによって各画素における階調表示を行なう場合において、副画素の画素電極間を接続するスイッチを設けているので、表示可能な階調数を多くすることができる。さらに、各副画素においては、制御容量素子によって内部ノードに保持される電位レベルに応じて、第 1 および第 2 の基準電位配線の一方と各副画素中の画素電極とを周期的に接続できる。したがって、同一画像を連続して表示する場合において、垂直走査線および水平走査線を駆動した高周波数の書込動作を実行する必要がなく、低消費電力化を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に従う液晶表示装置 100 の全体構成を示すブロック図である。

【図 2】 液晶表示装置 100 における副画素間の接続*

*を説明するための概念図である。

【図 3】 各画素を 3 個の副画素に分割した場合における副画素間の接続を説明する概念図である。

【図 4】 本発明の実施の形態 2 に従う液晶表示装置 110 の構成を示す概略ブロック図である。

【図 5】 実施の形態 2 に従う副画素の構成を説明する回路図である。

【図 6】 実施の形態 2 の変形例に従う携帯電話機 200 を示す図である。

【図 7】 実施の形態 2 の変形例に従う携帯情報端末装置 210 を示す図である。

【図 8】 従来技術の液晶表示装置 500 の全体構成を示すブロック図である。

【図 9】 画素 1005 の構成を示す回路図である。

【図 10】 面積階調方式の概念を説明する図である。

【符号の説明】

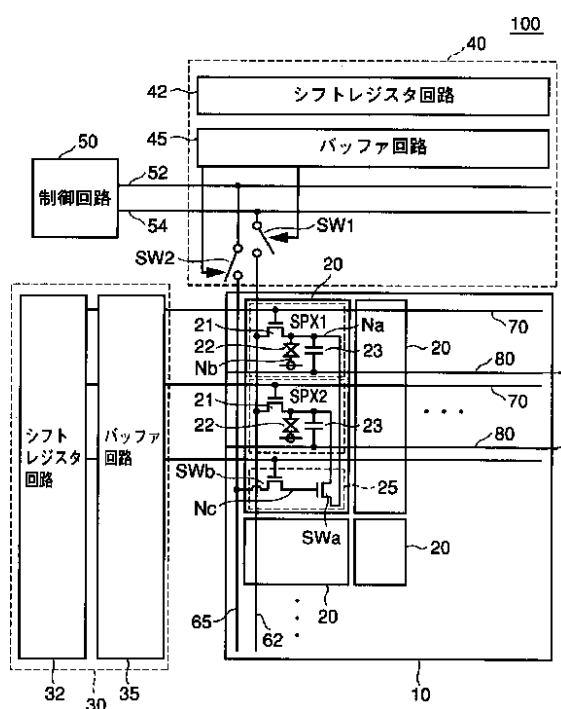
10 液晶表示部、20 画素、25 副画素接続回路、26 制御用容量素子、30 垂直走査回路、40

水平走査回路、52 副画素接続選択信号線、54
表示信号線、60 水平走査線、62 第1のデータ

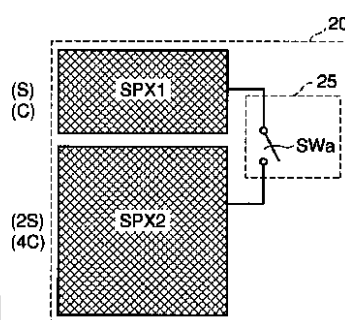
線、65 第2のデータ線、70 垂直走査線、75
画像信号線、80 共通配線、Na 画素電極ノード

Nb 共通電極ノード、SPX1, SPX2, SPX3
副画素、SWa 副画素接続スイッチ、SWb 接続
制御スイッチ。

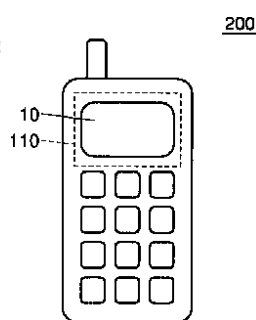
【图 1】



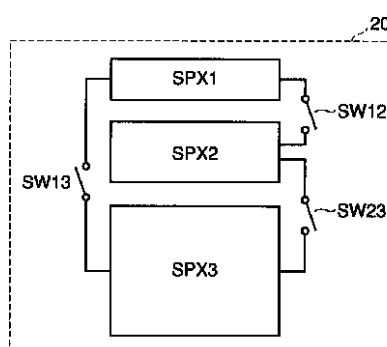
【图2】



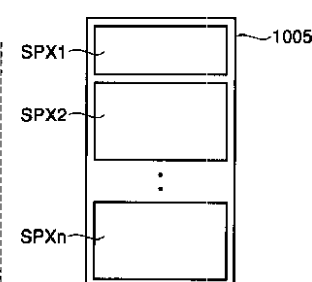
【圖 6】



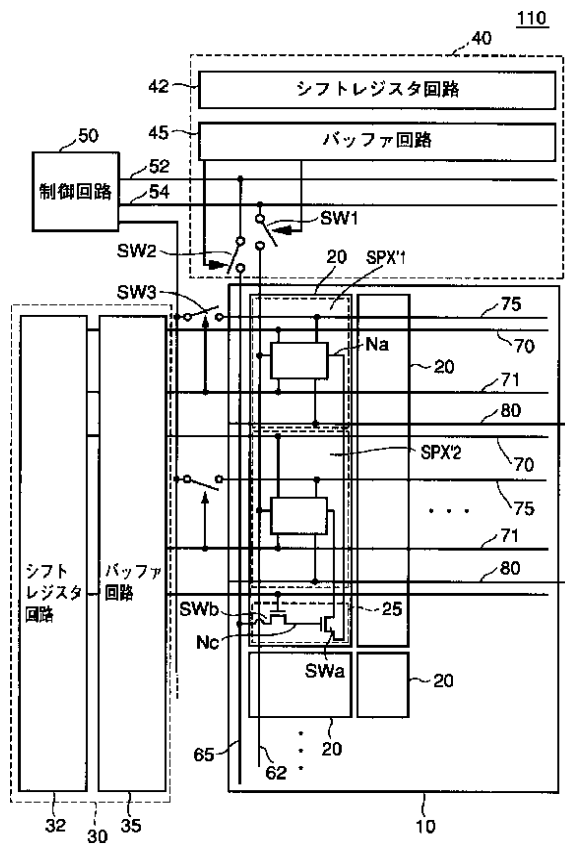
【図 3】



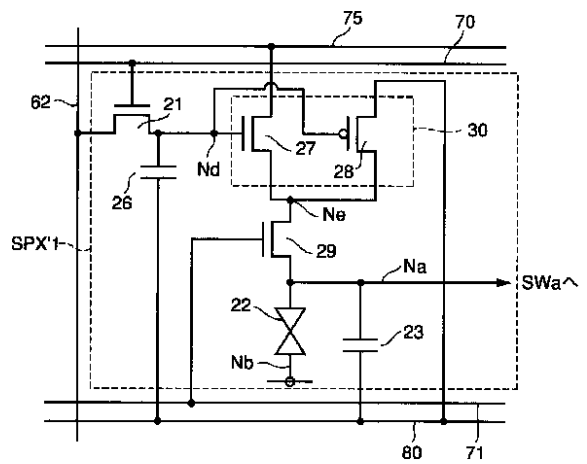
【图 10】



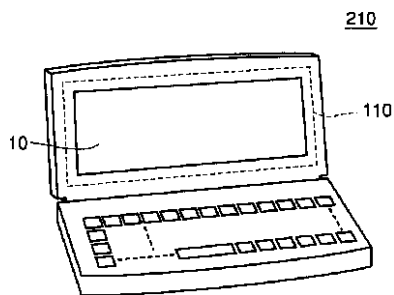
【圖 4】



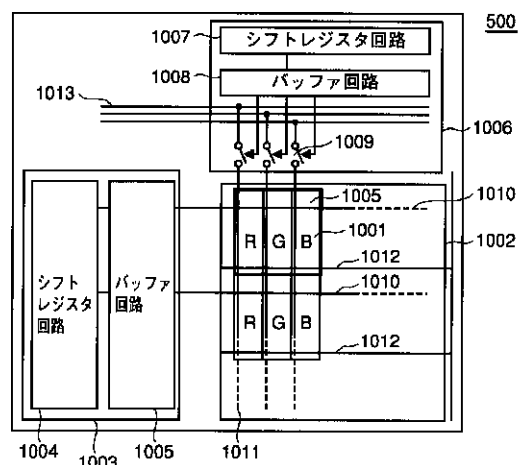
【図 5】



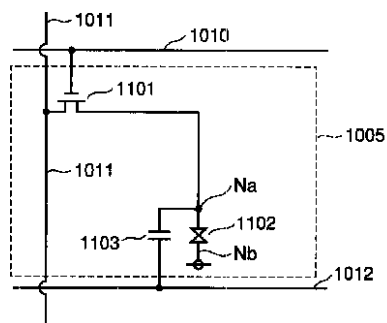
【圖 7】



【圖 8】



【図 9】



フロントページの続き

(51)Int.Cl. ⁷		識別記号	F I	テ-マコ-ト [*] (参考)	
G 0 9 G	3/20	6 8 0	G 0 9 G	3/20	6 8 0 T
				3/36	
	3/36		G 0 2 F	1/136	5 0 0
(72)発明者 村井 博之			F タ-ム(参考)		
東京都千代田区丸の内二丁目 2 番 3 号 三			2H092	HA02 JA24 JB22 JB31 JB69	
菱電機株式会社内				NA26 PA06 PA08 RA10	
(72)発明者 井上 満夫			2H093	NA31 NA45 NA51 NC07 NC22	
東京都千代田区丸の内二丁目 2 番 3 号 三				NC41 NC58 ND12 ND39 ND41	
菱電機株式会社内			5C006	AA01 AA12 AA22 BB06 BC03	
				BC06 BC12 BC20 BF03 BF04	
				BF45 EC08 FA41 FA47 FA56	
			5C080	AA10 BB05 CC03 DD22 DD26	
				EE29 EE30 FF11 JJ02 JJ03	
				JJ06	
			5C094	AA01 AA22 BA03 BA43 CA19	
				CA25 EA04 EA07 HA08 HA10	

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2001281628A5	公开(公告)日	2006-12-07
申请号	JP2000098110	申请日	2000-03-31
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	時岡秀忠 上里将史 村井博之 井上満夫		
发明人	時岡 秀忠 上里 将史 村井 博之 井上 満夫		
IPC分类号	G02F1/133 G09F9/30 G09G3/20 G09G3/36 G02F1/1368		
CPC分类号	G09G3/3659 G09G2330/021 G09G2300/0828 G09G2300/0842 G09G3/2074		
FI分类号	G02F1/133.550 G09F9/30.338 G09G3/20.624.B G09G3/20.641.G G09G3/20.680.S G09G3/20.680.T G09G3/36 G02F1/1368		
F-TERM分类号	2H092/HA02 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB69 2H092/NA26 2H092/PA06 2H092/PA08 2H092/RA10 2H093/NA31 2H093/NA45 2H093/NA51 2H093/NC07 2H093/NC22 2H093/NC41 2H093/NC58 2H093/ND12 2H093/ND39 2H093/ND41 5C006/AA01 5C006/AA12 5C006/AA22 5C006/BB06 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF45 5C006/EC08 5C006/FA41 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA01 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA25 5C094/EA04 5C094/EA07 5C094/HA08 5C094/HA10 2H092/JB42 2H092/PA10 2H093/NA54 2H093/NC34 2H093/NC40 2H192/AA24 2H192/BC24 2H192/CB12 2H192/CB22 2H192/CB24 2H192/CC64 2H192/DA12 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZC26 2H193/ZD13 2H193/ZD21 2H193/ZD24 2H193/ZF09 2H193/ZH21		
其他公开文献	JP4471444B2 JP2001281628A		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够通过数字数据进行高灰度显示而不损害显示分辨率等显示质量。排列成矩阵的每个像素被分成多个子像素。由于水平扫描线60和垂直扫描线70对应于子像素的每一行和每一列布置，所以可以独立地执行每个子像素的开/关控制。每个像素20包括在子像素之间的子像素连接电路25。子像素连接电路25响应于从数据线65输入的子像素连接信号，与垂直扫描线70的激活同步地连接各个子像素的像素电极。