

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001 - 272654

(P2001 - 272654A)

(43)公開日 平成13年10月5日(2001.10.5)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コ-ド* (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 2
	1/1368	G 0 9 G 3/20	2 H 0 9 3
G 0 9 G 3/20	622		5 C 0 0 6
	642		5 C 0 8 0
	3/36		5 F 1 1 0
3/36		G 0 2 F 1/136	500

審査請求 未請求 請求項の数 9 O L (全 7 数) 最終頁に続く

(21)出願番号 特願2000 - 87770(P2000 - 87770)

(22)出願日 平成12年3月28日(2000.3.28)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 宮島 康志

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 古河 雅行

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

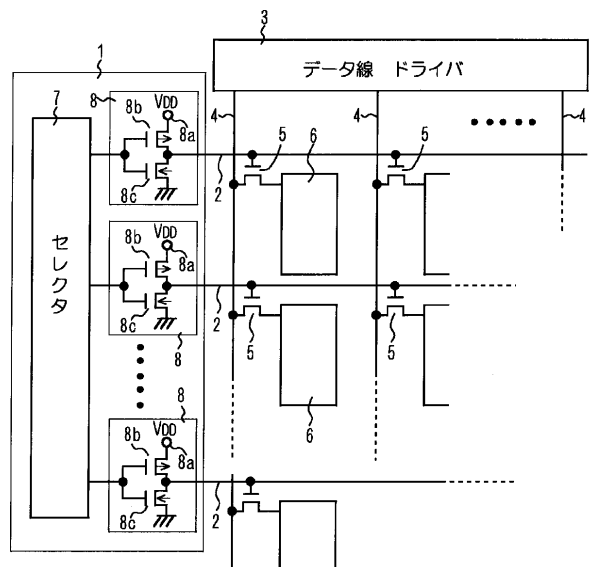
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 ゲート電圧を矩形波のパルスで入力すると、ゲート線と画素電極との寄生容量によって、ゲート電圧のたち下がりに引かれて画素電極の電圧が変動するいわゆるドロップ電圧が生じる。本願は、寄生容量が大きくてもドロップ電圧が小さい液晶表示装置を提供することを目的とする。

【解決手段】 ドロップ電圧はゲート電圧変化の時間定数によるので、ゲート電圧のたち下がりをなまらせ、図3 (b) の波形とすることによってドロップ電圧を小さくする。図3 (b) の波形は、例えばゲートドライバ8のnチャンネルトランジスタのチャンネル幅を小さくして最大電流値が小さくなるように設定することによって実現できる。



【特許請求の範囲】

【請求項1】 複数のゲート線と、前記複数のゲート線に交差する複数のデータ線と、前記複数のゲート線と前記複数のデータ線の各交点に対応して配置され、ゲート電極及びソース領域及びドレイン領域を備え、前記ゲート線の一本に前記ゲート電極が接続され、前記データ線の一本に前記ドレイン領域が接続された複数の薄膜トランジスタと、前記薄膜トランジスタのソース領域にそれぞれ接続された複数の画素電極と、前記複数のゲート電極の少なくとも一端に接続され、前記ゲート線のうちの一本を順次選択し、該選択したゲート線にパルス状のゲート電圧を順次印加するゲート線ドライバと、前記複数の画素電極に、液晶層を挟んで対向する対向電極と、を有するアクティブマトリクス型液晶表示装置において、前記ゲート線ドライバは、前記ゲート電圧は立ち上がりに比較して立ち下がりがなまらせて印加することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 複数のゲート線と、前記複数のゲート線に交差する複数のデータ線と、前記複数のゲート線と前記複数のデータ線の各交点に対応して配置され、ゲート電極及びソース領域及びドレイン領域を備え、前記ゲート線の一本に前記ゲート電極が接続され、前記データ線の一本に前記ドレイン領域が接続された複数の薄膜トランジスタと、前記薄膜トランジスタのソース領域にそれぞれ接続された複数の画素電極と、前記複数のゲート電極の少なくとも一端に接続され、前記ゲート線のうちの一本を順次選択し、該選択したゲート線にパルス状のゲート電圧を順次印加するゲート線ドライバと、前記複数の画素電極に、液晶層を挟んで対向する対向電極と、を有するアクティブマトリクス型液晶表示装置において、前記ゲート線ドライバは、前記ゲート電圧の立ち下がりに要する時間と立ち上がりに要する時間とを比較すると、立ち下がりに要する時間の方が長くなるように、前記ゲート電圧を印加することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】 前記ゲート電圧は、画素電極への電圧印加が終了してから、次の行の画素電極への電圧印加が開始されるまでの時間 t の、少なくとも半分の時間 $t/2$ をかけて立ち下がることを特徴とする請求項1もしくは請求項2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記ゲート電圧は、立ち上がりに要する時間の少なくとも10倍の時間をかけて立ち下がることを特徴とする請求項1もしくは請求項2に記載のアクティブマトリクス型液晶表示装置。

【請求項5】 前記ゲート線ドライバは、前記ゲート線と接続される最終段にゲートバッファを更に有し、前記ゲートバッファは、ドレイン領域が前記ゲート線に接続され、かつソース領域が接地された薄膜トランジスタを少なくとも有し、前記ゲート線及びこれに接続された薄膜トランジスタのゲート電極とを合わせた抵抗値を R

*1、前記ゲート線と前記データ線とのなす容量と前記ゲート線と前記対向電極のなす容量と、画素電極に接続された薄膜トランジスタの活性層とゲート電極のなす容量の合計を $C1$ 、前記ゲートバッファの薄膜トランジスタのチャンネル抵抗値を $R2$ 、前記ゲートバッファの薄膜トランジスタの活性層と前記ゲート電極のなす容量を $C2$ 、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間を t とすると、 $2.5(R1 + R2) \cdot (C1 + C2) < t < 5(R1 + R2) \cdot (C1 + C2)$

を満たすことを特徴とする請求項1もしくは請求項2に記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前記ゲート線ドライバは、前記ゲート線と接続される最終段にゲートバッファを更に有し、前記ゲートバッファは薄膜トランジスタを有し、前記薄膜トランジスタの電流が流れる方向の長さ L と、前記長さに直行する方向の幅 W は、

$$W/L < 1$$

を満たすことを特徴とする請求項1乃至請求項5のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項7】 前記ゲート線ドライバは、前記ゲート線と接続される最終段にゲートバッファを更に有し、前記ゲートバッファは、ソース領域が電源に接続されたpチャンネル型の薄膜トランジスタと、ソース領域が接地されたnチャンネル型の薄膜トランジスタとを有し、薄膜トランジスタの電流が流れる方向の長さを L 、 L と直交する方向の幅を W とすると、前記pチャンネル型のトランジスタの W/L の値と前記nチャンネル型のトランジスタの W/L の値が異なることを特徴とする請求項1乃至請求項6のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項8】 (前記pチャンネル型のトランジスタの W/L) / (前記nチャンネル型のトランジスタの W/L) > 1

を満たすことを特徴とする請求項7に記載のアクティブマトリクス型液晶表示装置。

【請求項9】 (前記pチャンネル型のトランジスタの W/L) / (前記nチャンネル型のトランジスタの W/L) > 5

を満たすことを特徴とする請求項7に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の画素電極がマトリクス状に配置されており、各画素電極にスイッチング素子として薄膜トランジスタ(Thin Film Transistor; 以下TF Tと記す)が接続されたアクティブマトリクス型液晶表示装置(Liquid Crystal Display; LCD)に関し、特に、ゲート線ドライバの改良されたLCDに関する。

【0002】

【従来の技術】図1にアクティブマトリクス型LCDの平面図を示す。ゲート線ドライバ1には、行方向に延びる複数のゲート線2が接続されており、データ線ドライバ3には、列方向に延びる複数のデータ線4が接続されている。ゲート線2とデータ線4との交点には、画素TFT5を介して画素電極6が接続されている。

【0003】ゲート線ドライバ1は、ゲート線2にゲート電圧を印加する複数のゲートバッファ8のうちから1つを選択するセクタ7を有する。セクタ7は、複数のゲートバッファ8のうちの一つを選択し、これの出力をハイ、残りをローにする。

【0004】ゲートバッファ8は、電源8aと接地との間に直列に接続されるpチャネル型の薄膜トランジスタ（以下p-chトランジスタ）8b及び、nチャネル型の薄膜トランジスタ（以下n-chトランジスタ）8cをそれぞれ有している。セクタ7の出力がトランジスタ8b、8cのゲート電極に入力され、両トランジスタ8b、8c間の接続点にゲート線2が接続されている。セクタ7の出力の一つがローになると、その出力を受けるゲートバッファ8は、p-chトランジスタ8bがオンし、n-chトランジスタ8cがオフして、ゲート線2に電源からp-chトランジスタ8bを介して電源電圧が供給される。これによってゲート線2に接続された画素TFT5全てがオンして、画素電極6への書き込みを可能にする。

【0005】データ線ドライバ3は複数のデータ線4に接続され、表示映像に対応したデータ電圧を各データ線4に印加する。選択されたゲート線2に接続された画素TFT5は、ゲートが開いているので、データ線4に印加されるデータ電圧が画素TFT5を介して画素電極6に書き込まれる。これにより、画素電極6に対応する液晶の配向を変化させて表示を行う。

【0006】所定期間（詳しくは水平走査期間）表示を行った後、セクタ7は次のゲート線2を選択する。これによって、それまで選択されていたゲートバッファ8に対するセクタ7の出力はハイになり、p-chトランジスタがオフし、代わってn-chトランジスタがオンして、そのゲート線2が接地電位に引き下げられると、各画素TFT5のゲートがオフする。

【0007】図2は、LCDの1画素の等価回路である。ゲート線2及びデータ線4に接続された画素TFT5が画素電極6に接続されている。画素電極6は、液晶11を介して対向電極Vcomとの間に容量 C_{LC} を形成している。画素電極6の印加電圧を保持するために、液晶容量 C_{LC} と並列に補助容量 C_{SC} が設けられている。以上が意図的に形成した回路であるが、画素電極6とゲート線2は、隣接配置されるため、ここに寄生容量 C_{GS} が生じる。寄生容量 C_{GS} が大きくなると、ゲート線2に印加されるゲート電圧の影響を受けて画素電極6の電位が変動するなどの問題が生じる。従来は寄生容量 C_{GS} の影響を

低減するため、補助容量 C_{SC} の大きさを寄生容量 C_{GS} に比較して十分に大きく設定していた。

【0008】さて、近年、デジタルスチルカメラやデジタルビデオカメラのファインダなどのように、携帯電子機器の表示装置としてLCDが採用されているが、携帯機器に搭載するために、画素数を維持したまま画面サイズを縮小して微細化する要求がある。

【0009】

【発明が解決しようとする課題】上述したように、画面サイズを縮小して、微細化すると、画素電極の面積が縮小される。また、補助容量 C_{SC} を形成するための電極も同様に縮小される。従って、液晶容量 C_{LC} 及び補助容量 C_{SC} の大きさは微細化によって小さくなる。一方、加工可能な最小線幅は一定であるため、寄生容量 C_{GS} は、一定値以上小さくすることは困難である。従って、LCDを微細化すると、液晶容量 C_{LC} 、補助容量 C_{SC} に比較して、相対的に寄生容量 C_{GS} の値が大きくなる。

【0010】寄生容量 C_{GS} が大きくなると、ゲート電圧の落ち下がりによって引張られる形で画素電極の電位が変動するいわゆるドロップ電圧 V が大きくなる問題が生じる。ドロップ電圧 V が大きくなると、例えば、交流駆動した際に列毎に輝度差が生じたり、また、画素電極に印加する電圧の中心値 V_c が対向電極の電位 V_{com} とずれたりするなどの問題が生じる。

【0011】そこで本発明は、液晶容量 C_{LC} 、補助容量 C_{SC} に比較して、相対的に寄生容量 C_{GS} が大きくなったとしても、ドロップ電圧 V が大きくならないようにし、微細化しても表示品質が低下しないLCDを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記課題を解決するためになされたものであり、複数のゲート線と、複数のゲート線に交差する複数のデータ線と、ゲート電極及びソース領域及びドレイン領域を備え、ゲート線の一本にゲート電極が接続され、データ線の一本にドレイン領域が接続された薄膜トランジスタと、薄膜トランジスタのソース領域に接続された画素電極と、複数のゲート電極の少なくとも一端側に接続され、ゲート電極にパルス状のゲート電圧を印加するゲート線ドライバと、を有するアクティブマトリクス型液晶表示装置において、ゲート電圧の落ち下がりなまらせる、もしくは立ち上がりに比較して立ち下がり時間を長くする手段を有するアクティブマトリクス型液晶表示装置である。

【0013】また、ゲート電圧は、ある行の画素電極への電圧印加が終了してから、次の行の画素電極への電圧印加が開始されるまでの時間 t の、少なくとも半分の間時間 $t/2$ をかけて立ち下がる。

【0014】また、ゲート線ドライバは、ゲート線と接続される最終段にゲートバッファを更に有し、ゲートバッファは、ソース領域がゲート線に接続され、かつドレ

イン領域が接地された薄膜トランジスタを少なくとも有し、ゲート線及びこれに接続された薄膜トランジスタのゲート電極とを合わせた抵抗値を R_1 、ゲート線とデータ線とのなす容量とゲート線と対向電極のなす容量と、画素電極に接続された薄膜トランジスタの活性層とゲート電極のなす容量の合計を C_1 、ゲートバッファの薄膜トランジスタのチャンネル抵抗値を R_2 、ゲートバッファの薄膜トランジスタの活性層とゲート電極のなす容量を C_2 、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間を t とすると、

$$2.5(R_1 + R_2) \cdot (C_1 + C_2) < t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

を満たす。

【0015】また、ゲート線ドライバは、ゲート線と接続される最終段にゲートバッファを更に有し、ゲートバッファは薄膜トランジスタを有し、薄膜トランジスタの電流が流れる方向の長さ L と、長さに直行する方向の幅 W は、

$$W / L < 1$$

を満たす。

【0016】また、ゲート線ドライバは、ゲート線と接続される最終段にゲートバッファを更に有し、ゲートバッファは、ソース領域が電源に接続されたpチャンネル型の薄膜トランジスタと、ドレイン領域が接地されたnチャンネル型の薄膜トランジスタとを有し、薄膜トランジスタの電流が流れる方向の長さを L 、 L と直交する方向の幅を W とすると、

$$(p\text{チャンネル型のトランジスタの}W/L) / (n\text{チャンネル型のトランジスタの}W/L) > 5$$

を満たす。

【0017】

【発明の実施の形態】本願の構成は図1に示した平面図と基本的に同様である。即ちゲート線ドライバ1に、列方向に延びる複数のゲート線2が接続され、データ線ドライバ3に、行方向に延びる複数のデータ線4が接続され、ゲート線2とデータ線4との交点には、画素TFT5を介して画素電極6が接続されている。

【0018】本実施形態のポイントは、ゲート電圧のパルス波形にある。図3(a)は、従来理想的とされていたゲート電圧のパルス波形である。第1のタイミングT1で波形が垂直に立ち上がり、第2のタイミングT2で垂直に立ち下がる矩形波である。これに対し、本実施形態は、図3(b)に示すように、ゲート電圧のパルス波形をなまらせることに特徴を有する。即ち、図3(b)に示すように、第1のタイミングT1で立ち上がり、第2のタイミングT2で立ち下がり始め、第3のタイミングT3で完全に立ち下がるような波形を理想とする。

【0019】このような波形のパルスでゲート電圧を入力すると、ドロップ電圧 V を小さくすることができる。ドロップ電圧 V は電圧変化の時定数の関数である

ため、ゲート電圧が徐々に変化する図3(b)や図3(c)の波形であれば、ドロップ電圧 V が小さくなるのである。

【0020】次にゲート電圧の立ち下がり波形のなまらせ方について説明する。図4(a)は、LCDを交流駆動する際のあるデータ線に印加されるデータ電圧、図4(b)は、あるゲート線に印加されるゲート電圧、図4(c)は図4(b)の次の行のゲート線に印加されるゲート電圧をそれぞれ示すタイミングチャートである。ゲート電圧がオンしている期間 T は、データ電圧が画素電極6に印加されて昇圧される、いわゆる書き込み期間である。そして、帰線期間 t を隔てて、次の行の画素電極6に書き込みを行う。ゲート電圧は、帰線期間 t の間に立ち下がり、次の書き込み期間 T に同期して次の行のゲート電圧が立ち上がる。従来、図3(a)のパルス波形(実際には若干なまっている)で駆動する場合、ゲート電圧の立ち下がり要する時間は、帰線期間 t に対して $t/100$ 程度であった。これに対し、本願のゲート電圧は、 $t/2$ 程度かけて徐々に立ち下がる。

【0021】ゲート電圧が立ち上がるのに要する時間は $t/100$ 程度であるので、立ち下がり要する時間は立ち上がり要する時間の50倍である。

【0022】もちろん $t/2$ 以上の時間をかけて立ち下がるようにすれば、より V を小さくすることができる。しかし、立ち下がり要する時間が t を越えると、次の行の画素TFT5のデータ電圧が印加されはじめてしまい、画像表示動作に支障が出る。従って、立ち下がり要する時間は、 t 未満である必要がある。そして、画素TFT5の製造誤差による各画素TFT5の立ち下がり時間のばらつきを考慮すると、 $t/2$ で立ち下がるように設定するのが良い。

【0023】ところで、一般的にある電気回路が電荷放出する時の電圧の低下は $e^{-(t/RC)}$ に比例する。ここで、 R は、回路の抵抗、 C は回路の容量である。ゲート線2の電圧低下に関しては、

$$R = (\text{選択されたゲート線2の抵抗値}) + (\text{そのゲート線2に接続された全ての画素TFT5のゲート電極部の抵抗値}) + (\text{ゲートバッファ8のn-chトランジスタ8cのチャンネル抵抗})$$

$$C = (\text{選択されたゲート線2がほかの電極などと形成する容量}) + (\text{そのゲート線2に接続された全ての画素TFT5のゲート電極が形成する容量}) + (\text{ゲートバッファ8のn-chトランジスタ8cのゲート-ソース、ゲート-ドレイン容量})$$

である。例えばゲート電圧が印加する値の10%以下となったとき画素TFT5のゲートが閉じるとすると、帰線期間内にゲートが閉じるための条件は、

$$t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

である。ただし、

$R_1 =$ ゲート線の抵抗値とこれに接続された画素TFT

のゲート電極の抵抗値とを合わせた抵抗値

$C1$ = ゲート線とデータ線のなす容量とゲート線と対向電極のなす容量と、画素電極に接続された薄膜トランジスタの活性層とゲート電極のなす容量の合計

$R2$ = ゲートバッファのn-chトランジスタ8cのチャネル抵抗値

$C2$ = ゲートバッファの薄膜トランジスタの活性層とゲート電極のなす容量

t = 画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間

とする。帰線期間 t はLCDの駆動周波数や画素数によって決定され、 $R1$ 、 $C1$ は、LCDの画素数やサイズによって決定される。ゲートバッファ8のn-chトランジスタ8cを適切に設計することで、 $R2$ と $C2$ を調整し、上記式を満たすようにすることができる。さらに、 $2.5(R1 + R2) \cdot (C1 + C2) < t < 5(R1 + R2) \cdot (C1 + C2)$

を満たすようにn-chトランジスタ8cを設計することによって、ゲート電圧の立ち下がりなまらせた上で、所定の期間内に立ち下げを終了することができる。

【0024】なお、上記説明ではゲート電圧の立ち下がりには要する時間を帰線期間 t として説明した。しかし、例えばデータ電圧を印加する前にデータ線4を所定の電圧にプリチャージするなどする場合、ゲート電圧の立ち下がりには要する時間として許容される時間は帰線期間よりも短縮される。その場合、上記説明の帰線期間 t をデータ電圧の印加が終了してからプリチャージを開始するまでの期間と読み替える。即ち、プリチャージが開始される前までに画素TF T5の立ち下がり完了している必要があり、この期間内において徐々に立ち下げるよう

にゲートバッファを設計する。
【0025】次に、なまった波形のゲート電圧を印加する具体的方法について述べる。図1において、ゲート電圧は、セクタ7の出力がLになるとトランジスタ8bのゲートがオンして、電源8aよりトランジスタ8bを介してゲート線2にゲート電圧を印加する。そして、ゲート電圧を立ち下げるときは、セクタ7の出力がHになってトランジスタ8cがオンし、トランジスタ8cを介してゲート線2に蓄積された電荷を放出する。この時、トランジスタ8cの最大電流を小さく設定する。そ

うすると、電荷を放出するまでに一定の時間が必要になり、ゲート電圧の立ち下がり波形的なまらせることができる。そして、トランジスタ8cの最大電流を調整することでゲート電圧のなまり方を調整することができる。
【0026】トランジスタの最大電流量は一般的に、ゲート長Lが長く、ゲート幅Wが狭い方が小さくなる。従って、ゲート長とゲート幅の比W/Lが小さくなるほどトランジスタの最大電流量は小さくなる。図5は、pchトランジスタのW/Lを一定として、n-chトランジスタ

のW/Lを変化させたとき、n-chトランジスタのW/Lの変化に対するVの変化を示す図である。Vの値はLCDのサイズや、各膜の膜厚など様々な要因によって変化するが、図5は、それらのパラメータは全て固定している。n-chトランジスタのW/Lが小さい、即ち長さに比較して幅が狭いほどドロップ電圧Vが小さくなることが分かる。

【0027】ゲートバッファは、図1に示したように、p-chトランジスタとn-chトランジスタを組み合わせた構成である。本願の主旨は、ゲート電圧の立ち上がり波形をなまらせることに特徴がある。ゲート電圧の立ち上がりに関しては、できるだけ早く立ち上がった方が、よりゲート電極にデータ電圧を印加する時間が確保できるので、図3(b)に示したパルス波形が最も理想的であると言える。ゲート電圧を立ち上げるときは、p-chトランジスタ8bを介して電圧を印加し、立ち下げる時はn-chトランジスタ8cを介して放電するので、p-chトランジスタ8bの最大電流値を大きく、n-chトランジスタ8cの最大電流を小さく設定しておけば図3(b)のパルス波形が得られる。この場合、ゲートバッファのp-chトランジスタのW/Lとn-chトランジスタのW/Lは大きく異なり、例えば

p-chトランジスタのW/L : n-chトランジスタのW/L = 10 : 1

となる。ただし、画素電極に書き込む時間が十分に確保されていれば、図3(c)に示すように、ゲート電圧の立ち上がりはなまってもよい。

【0028】上記の実施例以外にゲート電圧波形をなまらせる手段としては、ゲートバッファ8とゲート線4との間に抵抗やコンデンサを配置することも考えられる。もちろんゲート電圧の立ち上がりの波形もなまり、図3(c)に示した波形となる。この波形でも、書き込み期間が十分に設けられていれば問題ないが、抵抗やコンデンサによってなまらせると、パルス全体が遅延する問題が生じる。

【0029】本発明は、もちろんLCDのサイズに関わらず実施可能であるが、小型のLCDに適用すればより好適である。以下にその理由を述べる。ゲート線2は、所定の抵抗値を有しているため、ゲートドライバ8に近い側の画素TF T5とゲートドライバ8から遠い側の画素TF T5とではゲート電圧のなまり方が異なる。これは、大型のLCDであるほどゲート線2が長いので顕著である。これに対し、小型のLCD、例えば2インチ型以下、さらには、ビューファインダなどに用いられる0.55インチ型以下のLCDであれば、ゲート線2の長さが短いため、ゲート線2の抵抗による遅延は問題とならない。また、寄生容量が相対的に大きくなる問題は、特に小型LCDで顕著である。従って、本発明は、小型LCDに適用して最も効果的であるといえる。

【0030】

【発明の効果】以上に述べたように、本発明によれば、たち下がりをなませた波形のゲート電圧を印加するので、ゲート電圧の変動によって生じるドロップ電圧 V を小さく抑えることができ、表示品質の高いアクティブマトリクス型液晶表示装置を提供することができる。

【0031】また、ゲート電圧は、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間 t の、少なくとも半分の時間 $t/2$ をかけてたち下がるので、十分に V を抑制することができる。

【0032】また、ゲート線及びこれに接続された薄膜トランジスタのゲート電極とを合わせた抵抗値を $R1$ 、そのカップリング容量を $C1$ 、ゲートバッファの薄膜トランジスタのチャネル抵抗値を $R2$ 、そのカップリング容量を $C2$ 、画素電極への電圧印加が終了してから、次の電圧印加が開始されるまでの時間を t とすると、

$$2.5(R1 + R2) \cdot (C1 + C2) < t < 5(R1 + R2) \cdot (C1 + C2)$$

を満たすので、所定の期間内に十分ゲート電圧がたち下ると共に、 V を抑制することができる。

【0033】また、ゲートバッファの薄膜トランジスタは、 $W/L < 1$

*を満たすので、最大電流量が小さく、もって、ゲート電圧のたち下がりをなませることができる。

【0034】また、ゲートバッファのp-chトランジスタとn-chトランジスタでは、

$$(p\text{-chトランジスタの}W/L) / (n\text{-chトランジスタの}W/L) > 5$$

を満たすので、ゲート電圧の立ち上がりは早く、かつゲート電圧のたち下がりをなませることができる。

【図面の簡単な説明】

【図1】液晶表示装置を示す平面図である。

【図2】液晶表示装置の1画素を示す等価回路である。

【図3】ゲート線に入力するパルス波形を示す図である。

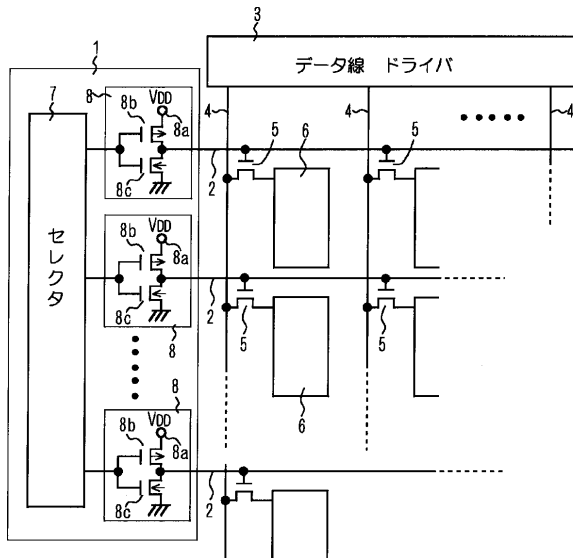
【図4】データ線及びゲート線に入力される電圧を示すタイミングチャートである。

【図5】ゲートバッファトランジスタの縦横比による V の変化を示す図である。

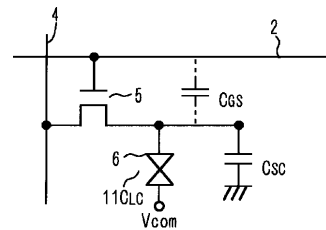
【符号の説明】

- 1 : ゲート線ドライバ
- 2 : ゲート線
- 3 : データ線ドライバ
- 4 : データ線
- 5 : 薄膜トランジスタ
- 6 : 画素電極
- 7 : セレクタ
- 8 : ゲートバッファ

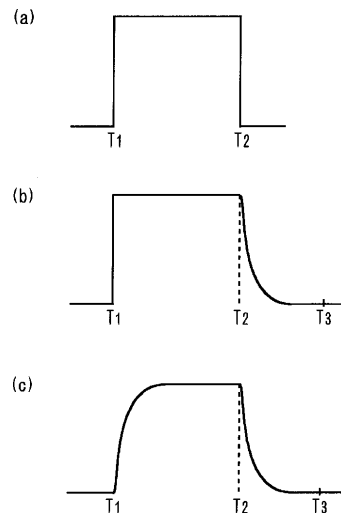
【図1】



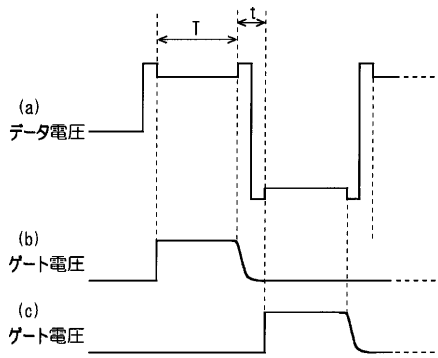
【図2】



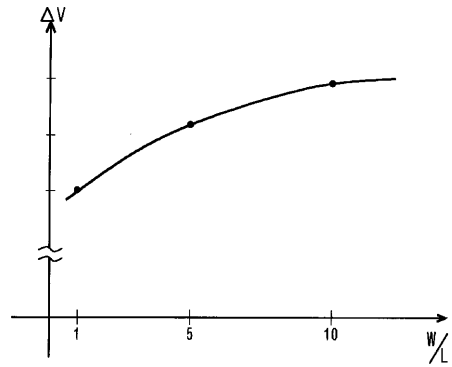
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 29/786

識別記号

F I

H 0 1 L 29/78

テ-マコード(参考)

6 1 2 B

6 1 3 A

6 2 2

F タ-ム(参考) 2H092 JA24 JA31 JA32 JA37 NA01
 NA25
 2H093 NA16 NC02 NC16 NC34 ND01
 ND33 ND34
 5C006 AA16 AC11 AC22 AF42 AF50
 BB16 BC03 FA22 FA37
 5C080 AA10 BB05 DD05 EE29 FF11
 JJ02 JJ03 JJ04 JJ05
 5F110 AA30 BB01 BB02 BB04 NN72
 NN78

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP2001272654A	公开(公告)日	2001-10-05
申请号	JP2000087770	申请日	2000-03-28
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	宮島康志 古河雅行		
发明人	宮島 康志 古河 雅行		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09G3/20 G09G3/36 H01L29/786		
CPC分类号	G09G3/3677 G09G2310/066 G09G2320/0219		
FI分类号	G02F1/133.550 G09G3/20.622.C G09G3/20.642.A G09G3/36 G02F1/136.500 H01L29/78.612.B H01L29/78.613.A H01L29/78.622 G02F1/1368		
F-TERM分类号	2H092/JA24 2H092/JA31 2H092/JA32 2H092/JA37 2H092/NA01 2H092/NA25 2H093/NA16 2H093/NC02 2H093/NC16 2H093/NC34 2H093/ND01 2H093/ND33 2H093/ND34 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AF42 5C006/AF50 5C006/BB16 5C006/BC03 5C006/FA22 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5F110/AA30 5F110/BB01 5F110/BB02 5F110/BB04 5F110/NN72 5F110/NN78 2H192/AA24 2H192/DA12 2H192/FB03 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZC36 2H193/ZF02 2H193/ZF23 2H193/ZH46		
代理人(译)	柴野Seimiyabi		
外部链接	Espacenet		

摘要(译)

种类代码：A1当用矩形波脉冲输入栅极电压时，会产生所谓的压降，其中由于栅极线和像素电极之间的寄生电容，像素电极的电压会发生波动，从而导致栅极电压下降。本申请的目的是提供一种即使寄生电容大也具有小压降的液晶显示装置。由于下降电压取决于栅极电压变化的时间常数，因此通过钝化栅极电压的下降并形成图3 (b) 的波形来减小下降电压。例如，可以通过将栅极驱动器8的n沟道晶体管的沟道宽度设置为较小以使最大电流值较小来实现图3 (b) 的波形。

