

(19)日本国特許庁 ( J P )

# (12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開2001 - 235764

(P2001 - 235764A)

(43)公開日 平成13年8月31日(2001.8.31)

| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I                 | テ-マ-コード <sup>*</sup> ( 参考 ) |
|---------------------------|------|---------------------|-----------------------------|
| G 0 2 F 1/1368            |      | G 0 9 F 9/30 338    | 2 H 0 9 2                   |
| G 0 9 F 9/30              | 338  | G 0 2 F 1/136 500   | 5 C 0 9 4                   |
| H 0 1 L 29/786            |      | H 0 1 L 29/78 612 B | 5 F 1 1 0                   |
|                           |      | 614                 |                             |

審査請求 未請求 請求項の数 2 O L ( 全 8 数 )

(21)出願番号 特願2000 - 45461(P2000 - 45461)

(22)出願日 平成12年2月23日(2000.2.23)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 長廣 紀雄

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(74)代理人 100101214

弁理士 森岡 正樹

F タ-ム ( 参考 ) 2H092 GA59 JA24 NA22 NA25 PA06

5C094 AA15 BA03 BA43 EA04 EA07

EB02

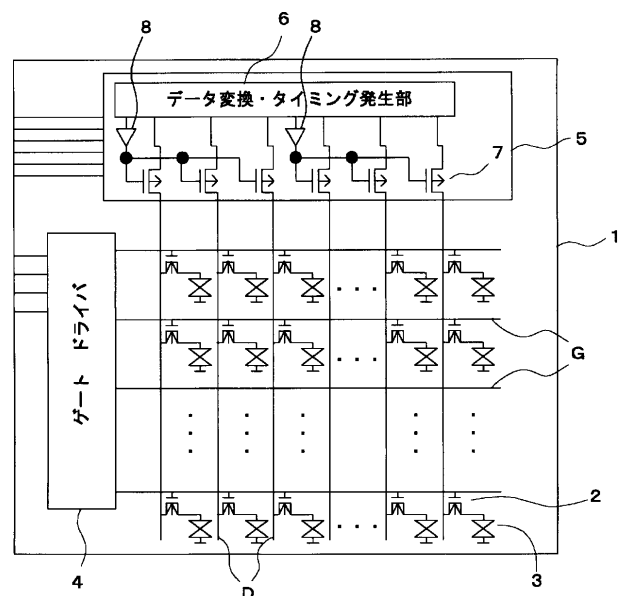
5F110 AA04 BB02 BB04 GG02 GG13

(54)【発明の名称】 薄膜トランジスタ基板及びそれを用いた液晶表示パネル

## (57)【要約】

【課題】本発明は、薄膜トランジスタを集積した薄膜トランジスタ基板及びこれを用いた液晶表示パネルに関し、簡易な構成で駆動回路のレイアウト面積を小さくでき、表示エリア以外のいわゆる額縁の面積を小さくできるようにする。

【解決手段】複数のゲート線Gと複数のデータ線Dとがそれぞれ交差する画素位置に配置される複数の画素トランジスタ2と、複数のゲート線Gと複数のデータ線Dとを介して複数の画素トランジスタを駆動する駆動回路のうち少なくとも複数のデータ線Dへの信号供給を制御する複数のアナログスイッチ7を含む一部の回路とが形成される薄膜トランジスタ基板において、複数の画素トランジスタ2と複数のアナログスイッチ7とは、互いに異なる導電型の薄膜トランジスタで構成される。



## 【特許請求の範囲】

【請求項 1】データ線とゲート線とで画定される画素毎に形成されて前記データ線及び前記ゲート線に接続される画素用薄膜トランジスタと、前記画素用薄膜トランジスタを駆動する駆動回路の少なくとも一部の回路と、前記一部の回路内に形成されて前記データ線への信号供給を制御するアナログスイッチ用薄膜トランジスタとを有する薄膜トランジスタ基板において、前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタとは、互いに異なる導電型であること 10 を特徴とする薄膜トランジスタ基板。

【請求項 2】画素毎に薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板と対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板との間に封止された液晶層とを有する液晶表示パネルにおいて、前記薄膜トランジスタ基板は、請求項 1 記載の薄膜トランジスタ基板であることを特徴とする液晶表示パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ (Thin Film Transistor: 以下、TFT という) を集積した薄膜トランジスタ基板 (以下、TFT 基板という) 及びそれを用いた液晶表示パネルに関する。

【0002】TFT 基板は、パッシブ型に比べて高画質なアクティブマトリクス型の液晶表示パネルの表示制御用として用いられている。液晶表示パネルは、ノートパソコンや液晶モニタを初めとして種々の表示装置に応用されているが、これら応用製品側からは装置の小型化、 30 コンパクト化の要求があり、表示エリア外周囲のいわゆる額縁の面積をできるだけ小さくする必要が生じている。

## 【0003】

【従来の技術】図 4 を用いて従来の TFT 基板及び液晶表示パネルの概略構成について説明する。図 4 は、TFT 基板及び液晶表示パネルを基板面方向から見た模式図である。図 4 において、透明ガラス基板である TFT 基板 1 上の図中横方向に複数のゲート走査線 G が形成され、ゲート走査線 G に直交して複数のデータ線 D が形成 40 されている。複数のゲート走査線 G 及びデータ線 D の交差領域に画素が形成される。画素には透明電極材を用いた画素電極が形成されている。ゲート走査線 G とデータ線 D との交差近傍には画素のスイッチング素子として機能する画素 TFT 10 が形成されている。

【0004】画素 TFT 10 のゲート電極はゲート走査線 G に接続され、ドレイン電極はデータ線 D に接続され、ソース電極は液晶容量 3 を形成する一方の電極である画素電極に接続されている。液晶容量 3 を形成する他方の電極には図示しない対向基板に設けられた共通電極 50

が用いられる。TFT 基板 1 及びこれと対向配置される対向基板、及びこれらの基板間に封止された液晶層とで液晶表示パネルが構成される。

【0005】また、TFT 基板 1 周囲の額縁領域には、ゲート走査線 G を駆動するゲートドライバ 4 及びデータ線 D にデータ信号を書き込むデータドライバ 5 の少なくとも一部の回路が周辺回路一体化技術により実装されている。TFT 基板 1 上に構成されたゲートドライバ 4 及びデータドライバ 5 の構成回路にも複数の TFT が形成されている。なお、画素 TFT 10 と、ゲートドライバ 4 及びデータドライバ 5 の一部の回路で用いられる TFT とをガラス基板上に一体的に形成するには、非晶質シリコン (アモルファスシリコン) よりもオン電流の大きい、たとえば多結晶シリコン等の材料を TFT の動作半導体層に用いることが望ましい。

【0006】ゲートドライバ 4 は、ゲート走査線 G を 1 本ずつ順次選択するシフトレジスタを有し、選択したゲート走査線 G に接続された 1 行分の画素 TFT 10 を一斉にオン状態にさせるゲート選択信号を出力するようになっている。

【0007】データドライバ 5 は、シフトレジスタやデコード等により外部から供給される映像データ信号を加工し、タイミング信号を発生するデータ変換・タイミング発生部 6 と、データ変換・タイミング発生部 6 の制御下にデータ線 D へのデータ信号供給をオン・オフするアナログスイッチ 11 とを備えている。アナログスイッチ 11 は、通常、データ変換・タイミング発生部 6 やゲートドライバ 4 と同様に、いわゆる相補型 (C-MOS) TFT で構成される。

【0008】したがって、1 つの画素 TFT 10 とアナログスイッチ 11 の部分は、具体的には、例えば図 5 に示すような等価回路で示される。図 5 において、アナログスイッチ 11 は、N 型 TFT と P 型 TFT とを並列接続した C-MOS 型 TFT で構成される。

【0009】この C-MOS 型 TFT には、共通接続されるドレイン電極にデータ変換・タイミング発生部 6 からデータ信号が印加され、共通接続されるソース電極はデータ線 D と接続され、入力端である 2 つのゲート電極にはデータ変換・タイミング発生部 6 のタイミング信号発生回路 5b からタイミング信号 12、13 がそれぞれ印加される。

【0010】タイミング信号発生回路 5b は、出力回路として、正極性のタイミング信号 12 を出力するバッファ 14 と、負極性のタイミング信号 13 を出力するインバータ 15 及びバッファ 16 とを備えている。

【0011】画素 TFT 10 は、1 画素の面積の制約やゲート走査線 D が通常 1 本であること等により、N 型または P 型のいずれか一方の導電型の TFT で構成されることが多い。図 5 では、画素 TFT 10 の導電型が N 型である場合を例示している。

【0012】画素TFT10のゲート電極には、ゲートドライバ4がゲート走査線Gに送り出す正極性のゲート選択信号17が印加され、ドレイン電極にはデータドライバ5からデータ信号が印加され、ソース電極には液晶容量( $C_{LC}$ )3が主な負荷として接続される。

【0013】以上の構成において、TFT基板1では、複数のアナログスイッチ11のうち、データ変換・タイミング発生部6からのタイミング信号(12、13)により指定されたアナログスイッチ11がある一定時間だけ閉じて、データ変換・タイミング発生部6からのデータ信号を対応するデータ線Dに書き込む。そして、その対応するデータ線Dとデータドライバ4により選択されたゲート走査線Gとの交差位置近傍の画素TFT10がデータを液晶容量( $C_{LC}$ )3に書き込む。こうすることにより、TFT基板1を用いた液晶表示パネルで所定の画像表示が行われる。

【0014】次に、図6及び図7を用いて異なる導電型のTFTでの画素データの書き込み動作について説明す\*

$$I_{ds} = (W/L) \times \mu \times C \times ((V_{gs} - V_t) \times V_{ds} - V_{ds}^2 / 2)$$

【0017】但し、式(1)において、Wはチャネル幅、Lはチャネル長、 $\mu$ は移動度、Cはゲート絶縁膜容量、 $V_t$ はしきい値である。

【0018】一方、図7に示すように、アナログスイッチ11や画素TFT10がP型TFTの場合には、正フレームのときにゲートソース間電圧 $V_{gs}$ が大きくなり、オン電流も大きくなる。このため、正フレームの場合に液晶容量3の負荷に対するデータ書き込み時間を短くすることができる。

【0019】つまり、従来のTFT基板1における画素TFT10の導電型は、図6または図7に示すN型又はP型であるから、画素へのデータ書き込み時間は正フレームと負フレームとで異なることになる。しかしながら、アナログスイッチ11はC-MOS型TFTであるから、データ線Dへの書き込みは正フレームのときも負フレームのときも同等の時間で行える。したがって、画素TFTが例えばN型の場合、全体のデータ書き込み時間は正フレームに比べて負フレームがやや短くなるが、ほぼ同等の時間とみなすことができる。

【0020】

【発明が解決しようとする課題】ところが、従来のTFT基板のようにアナログスイッチ11にC-MOS型のTFTを使用すると次のような問題が生じる。すなわち、アナログスイッチ11をN型とP型の両方で構成すると、図5に示すように、N型とP型とで別々のタイミング信号12、13が必要となり、その配線スペースが、アナログスイッチ11の数だけ必要となる。例えば、SVGAのカラー表示では、 $800 \times 3(R, G, B) = 2400$ 個のアナログスイッチ11が必要であるので、額縁領域にかなり広いスペースが必要となる。

\*。図6は、N型TFTの動作を説明するタイムチャートである。図7は、P型TFTの動作を説明するタイムチャートである。液晶画素に書き込む電圧(データ信号の電圧)は、TFT基板1と対向して液晶を挟持する対向基板の共通電極電位に対して、図6及び図7に示すように、1表示フレーム毎にデータ極性を反転させるようにしている。これにより、液晶に長時間に亘って片極性の電圧が印加されないようにして、液晶分子の分極によるいわゆる焼き付き現象を防止している。

【0015】図6に示すように、アナログスイッチ11や画素TFT10がN型である場合には、対向電位に対してデータ信号が負となる負フレームのとき、TFTにかかるゲートソース間電圧 $V_{gs}$ が正フレームのときよりも大きくなるため、一般的なMOS型トランジスタの式(1)によりオン電流を大きくすることができる。このため、負フレームの場合に液晶容量3の負荷に対するデータ書き込み時間を短くすることができる。

【0016】

・【0021】また、アナログスイッチ11は、大きな負荷であるデータ線Dに速やかにデータ書き込みを行わなければならないため、大きなオン電流が得られるTFT、つまり、 $W/L$ が大きいTFTであることが必要である。ところが、チャネル長Lを小さくするには限界があるので、結局TFTサイズが大きくなる。そのため、アナログスイッチ11用のTFTは、データドライバ5中で最もサイズの大きい方に属する。

【0022】アナログスイッチ11にタイミング信号を供給するタイミング信号発生回路5bは、通常、1~数100個のアナログスイッチ11を同じタイミングでオン状態にさせる能力が要求される。つまり、タイミング信号発生回路5bは、同じタイミングでオン状態にさせる個数分のアナログスイッチ11が持つ大きなゲート容量に速やかにタイミング信号を書き込まなければならない。そのため、タイミング信号発生回路5bの出力バッファ14、16には、 $W/L$ の大きなTFTが使われる。この出力バッファ14、16もN型用とP型用とで別々に必要である。

【0023】このように、N型とP型の両方の導電型を用いるアナログスイッチ11は、タイミング信号の供給線や出力バッファが2系統必要なため、データドライバ5のレイアウト面積を大きくしてしまい、表示エリア以外の額縁の面積を小さくするという要求に反する結果となっている。

【0024】これを解決する方法として例えば図8に示すように、アナログスイッチ11に1個のTFTを用いて画素TFT10と同じ導電型で構成することが考えられる。図8では、アナログスイッチ11も画素TFT10も共にN型の導電型である場合を例示している。

【0025】この場合には、アナログスイッチ 11 は 1 個の TFT で構成しているので、タイミング発生回路は 1 系統のタイミング信号 18 を発生すればよく、データドライバ 5 のレイアウト面積の縮小が可能である。

【0026】ところが、図 6 を用いて説明したように N 型 TFT の場合は、負フレームではデータ書き込み時間を十分短くできるが、正フレームでは逆にデータ書き込み時間が長くなってしまふ。したがってこの場合には、正フレームでのデータ書き込み時間が十分短くなるようにアナログスイッチ 11 や画素 TFT 10 のサイズ等を 10 設計しなければならないという面倒な問題が生じる。

【0027】本発明の目的は、アナログスイッチや画素薄膜トランジスタのサイズ等の再設計を必要とせず簡易な構成で駆動回路のレイアウト面積を小さくできる薄膜トランジスタ基板、及び、それを用いることにより表示エリア以外のいわゆる額縁の面積を小さくできる液晶表示パネルを提供することを目的とする。

【0028】

【課題を解決するための手段】上記目的は、データ線とゲート線とで画定される画素毎に形成されて前記データ 20 線及び前記ゲート線に接続される画素用薄膜トランジスタと、前記画素用薄膜トランジスタを駆動する駆動回路の少なくとも一部の回路と、前記一部の回路内に形成されて前記データ線への信号供給を制御するアナログスイッチ用薄膜トランジスタとを有する薄膜トランジスタ基板において、前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタとは、互いに異なる導電型であることを特徴とする薄膜トランジスタ基板によって達成される。上記本発明の構成によれば、データ書き 30 込み時間を短くしつつ導電型のアナログスイッチを用いることができるので、駆動回路のレイアウト面積を小さくすることができる。

【0029】また上記目的は、画素毎に薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板と対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板との間に封止された液晶層とを有する液晶表示パネルにおいて、前記薄膜トランジスタ基板は、上記本発明の薄膜トランジスタ基板であることを特徴とする液晶表示パネルによって達成される。この構成によれば、表示領域外周囲の額縁領域の面積を減らすことができる。 40

【0030】

【発明の実施の形態】本発明の一実施の形態による薄膜トランジスタ基板及びそれを用いた液晶表示パネルを図 1 乃至図 3 を用いて説明する。なお、本実施の形態による薄膜トランジスタ基板及びそれを用いた液晶表示パネルにおいて、図 4 乃至図 8 を用いて説明した従来の薄膜トランジスタ基板及びそれを用いた液晶表示パネルと同一の機能作用を奏する構成要素については同一の符号を付してその説明は省略する。

【0031】まず、図 1 を用いて本実施の形態による TFT 基板及び液晶表示パネルの概略構成について説明する。図 1 は、TFT 基板及び液晶表示パネルを基板面方向から見た模式図である。本実施の形態による薄膜トランジスタ基板は、画素 TFT 2 及びアナログスイッチ 7 の導電型が互いに異なっている点に特徴を有している。図 1 に示す例では、画素 TFT 2 は N 型の導電型であり、アナログスイッチ 7 は P 型の導電型である。

【0032】詳細な説明及び図示は省略するが、データドライバ 5 は複数のブロックに分割されており、各ブロックに複数のデータ線 D を振り分けて、各ブロック毎に設けた出力バッファ 8 から 1 ブロック内の複数のアナログスイッチ 7 を同時にオン/オフさせるブロック線順次駆動をするようになっている。

【0033】図 2 は、本実施の形態におけるアナログスイッチ 7 の領域の等価回路を示している。図 3 は、本実施の形態における画素 TFT 2 及びその近傍等価回路を示している。図 2 において、タイミング信号発生回路 5 a の出力バッファ 8 は、アナログスイッチ 7 が P 型 TFT で構成されているので、負極性のタイミング信号 9 をアナログスイッチ 7 のゲート電極に出力するようになっている。アナログスイッチ 7 のドレイン電極にはデータ信号が印加され、ソース電極にはデータ線 D が接続されている。なお、図 2 においてデータ線 D は容量 C d と抵抗 R d からなる負荷として示している。

【0034】また、図 3 において、画素 TFT 2 は、従来例と同様に N 型 TFT であり、画素 TFT 2 のゲート電極にはゲート選択信号 17 が印加され、ドレイン電極にはデータ信号が印加される。また、画素 TFT 2 のソース電極には液晶容量 (C<sub>LC</sub>) 3 が主な負荷として接続されている。

【0035】次に、本実施の形態におけるアナログスイッチ 7 と画素 TFT 2 とによるデータ書き込み動作を、C-MOS 型のアナログスイッチ 11 を用いる従来例 (図 5 参照) と対比しつつ説明する。なお、比較を簡単にするため、本実施の形態と従来例の双方とも画素 TFT の導電型は N 型とする。また、アナログスイッチ 11 が C-MOS 型である従来例では、同一のゲートソース間電圧 V<sub>gs</sub> であれば N 型と P 型の TFT のオン電流はほぼ等しく、アナログスイッチが P 型のみの本発明の半分であるものとする。

【0036】まず、本実施の形態においてアナログスイッチ 7 は P 型であるから、アナログスイッチ 7 によるデータ書き込み時間は図 7 で説明したように負フレーム時に比べて正フレーム時の方が短くなる。一方、画素 TFT 2 は N 型であるから、画素 TFT 2 によるデータ書き込み時間は図 6 で説明したように正フレーム時に比べて負フレーム時の方が短くなる。

【0037】つまり、本実施の形態ではアナログスイッチ 7 と画素 TFT 2 とは、互いに異なる導電型であるの 50

で、アナログスイッチ 7 と画素 T F T 2 とによるデータ書き込みにおいて、負フレーム時はアナログスイッチ 7 のデータ書き込みの遅さを画素 T F T 2 が補うように動作する。逆に正フレーム時は画素 T F T 2 のデータ書き込みの遅さをアナログスイッチ 7 が補うように動作する。その結果、正フレーム時と負フレーム時とでほぼ同じような書き込み時間となる。

【0038】これに対して従来例のようにアナログスイッチが C - M O S 型の場合には、アナログスイッチ 11 によるデータ書き込みは、正・負フレームとも同じ書き込み時間であり、本実施例の場合の正・負フレームのほぼ中間の値となる。また、画素 T F T 10 は N 型であるから、アナログスイッチ 11 と画素 T F T 10 とによるデータ書き込み時間は、正フレーム時に比べて負フレーム時がやや短くなるが、これもほぼ同じ時間とみなせる。

【0039】このように本実施の形態では、アナログスイッチ 7 と画素 T F T 2 とによるデータ書き込み時間を、正フレーム時と負フレーム時とでほぼ同じ時間となるようにできる。そして、上記比較から理解できるように、少なくともアナログスイッチが C - M O S 型の場合と同等のデータ書き込み特性が得られる。なお、ここで得られるデータ書き込み時間は、アナログスイッチが N 型のみでかつ画素 T F T も N 型の場合の正フレーム時のデータ書き込み時間よりも短くなることは言うまでもない。

【0040】このように本実施の形態によれば、単一の導電型のアナログスイッチを用いることができるので、タイミング信号 9 及びタイミング信号の出力バッファ 8 は 1 系統となり、データドライバ 5 のレイアウト面積を小さくすることができる。また、タイミング信号線と他の配線との交差が減り、データドライバ 5 内の部品点数も減らせるため、信頼性の向上及び歩留まりの向上を図ることができる。これにより、本実施の形態の T F T 基板 1 と図示しない対向基板との間に液晶層を介在させた液晶表示パネルでは、表示領域外周囲の額縁領域の面積を小さくすることができる。

【0041】本発明は、上記実施の形態に限らず種々の変形が可能である。例えば、上記実施の形態で用いる画素 T F T には十分低いオフリーク電流が要求されるので、相対的にオフリーク電流を低くできる N 型を用いている。しかしながら、P 型 T F T でもオフリークに対する要求を満たせる場合は、P 型 T F T を画素 T F T に用い、N 型 T F T をアナログスイッチに用いるようにすることももちろん可能である。なお、データドライバ 5 のアナログスイッチ 7 以外の部分とゲートドライバ 4 は、通常の C - M O S で構成するので製造上の工程増加等は生じない。

【0042】さらに、本実施の形態では、ガラス基板である T F T 基板 1 上にゲートドライバ 4 とデータドライ

バ 5 の少なくとも一部回路を一体化構成する場合で説明したが、本発明はこれに限定されるものではない。少なくともデータドライバ 5 のアナログスイッチ 7 が画素 T F T 2 と同一工程で製造されていればよく、他の回路例えばタイミング発生回路等は T A B 実装によるドライバ回路に形成されていてもよい。あるいは、T F T 基板上に全ての周辺回路を一体的に形成するものであってもよい。また上記実施の形態は、T F T の動作半導体層として多結晶シリコンを用いているが、これに限らず例えば非晶質シリコンを動作半導体層に用いてももちろんよい。

【0043】以上説明した実施形態に基づき、本発明は以下のようにまとめられる。第 1 の発明として、データ線とゲート線とで画定される画素毎に形成されて前記データ線及び前記ゲート線に接続される画素用薄膜トランジスタと、前記画素用薄膜トランジスタを駆動する駆動回路の少なくとも一部の回路と、前記一部の回路内に形成されて前記データ線への信号供給を制御するアナログスイッチ用薄膜トランジスタとを有する薄膜トランジスタ基板において、前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタとは、互いに異なる導電型であることを特徴とする薄膜トランジスタ基板。

【0044】第 2 の発明として、上記第 1 の発明の薄膜トランジスタ基板において、前記一部の回路における前記アナログスイッチ以外の回路要素は、相補型トランジスタにより構成されることを特徴とする薄膜トランジスタ基板。この構成にすることにより、本発明に関連しない領域の回路は従来と同様の C - M O S 型 T F T を用いるため、これらの製造に関し従来と同様の製造工程を用いることができ工程増加を抑えることができる。

【0045】第 3 の発明として、上記第 1 または第 2 に記載の薄膜トランジスタ基板において、前記画素用薄膜トランジスタは、N 型の導電型を有していることを特徴とする薄膜トランジスタ基板。本発明の構成によれば、オフリーク電流の少ない画素トランジスタを得ることができる。

【0046】第 4 の発明として、上記第 1 乃至第 3 のいずれかの薄膜トランジスタ基板において、前記画素用薄膜トランジスタと前記アナログスイッチ用薄膜トランジスタの動作半導体層は、多結晶シリコンで形成されていることを特徴とする薄膜トランジスタ基板。こうすることにより、低温ポリシリコン成膜技術を用いて、オン電流の大きな T F T を備えた周辺回路一体型 T F T 基板を製造することができる。

【0047】第 5 の発明として、画素毎に薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板と対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板との間に封止された液晶層とを有する液晶表示パネルにおいて、前記薄膜トランジスタ基板は、上記第 1 乃至第 4 のいずれかの薄膜ト

ランジスタ基板であることを特徴とする液晶表示パネル。

【0048】

【発明の効果】以上の通り、本発明によれば、アナログスイッチと画素TFTを互いに異なる導電型で構成するので、一体化構成する駆動回路のレイアウト面積を減少させることができる。したがって、本発明の薄膜トランジスタ基板を用いて構成される液晶表示パネルでは、表示エリア以外の額縁部分の面積を減少させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による薄膜トランジスタ基板及び液晶表示パネルの概略構成を示す図である。

【図2】図1中に示されたアナログスイッチの等価回路を示す図である。

【図3】図1中に示された画素TFTの等価回路を示す図である。

【図4】従来の薄膜トランジスタ基板の概略構成図である。

10

\*【図5】図4中に示された画素TFTとアナログスイッチの等価回路を示す図である。

【図6】N型TFTの動作を説明するタイムチャートである。

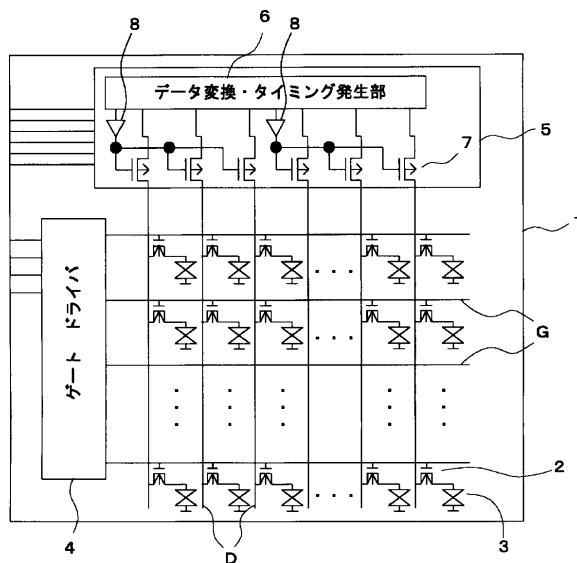
【図7】P型TFTの動作を説明するタイムチャートである。

【図8】画素TFTとアナログスイッチが共にN型TFTである場合の等価回路を示す図である。

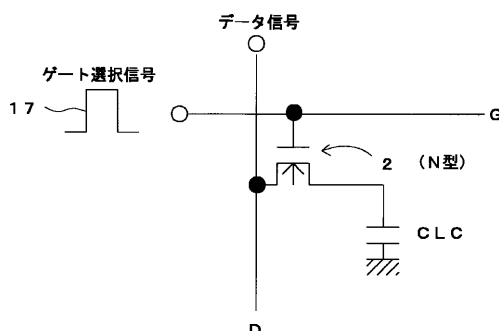
【符号の説明】

- 1 ガラス基板
- 2、10 画素薄膜トランジスタ（画素TFT）
- 3 液晶容量
- 4 ゲートドライバ
- 5 データドライバ
- 5a、5b タイミング信号発生回路
- 6 データ変換・タイミング発生部
- 7、11 アナログスイッチ
- 8、14、16 出力バッファ
- 9、12、13、18 タイミング信号

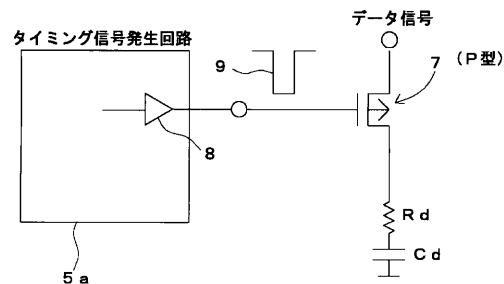
【図1】



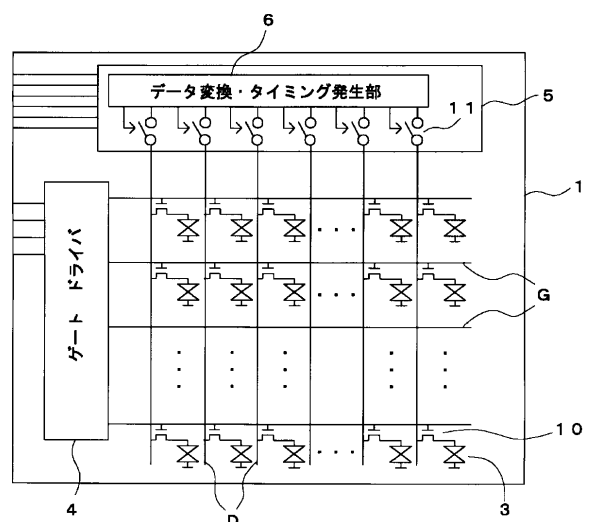
【図3】



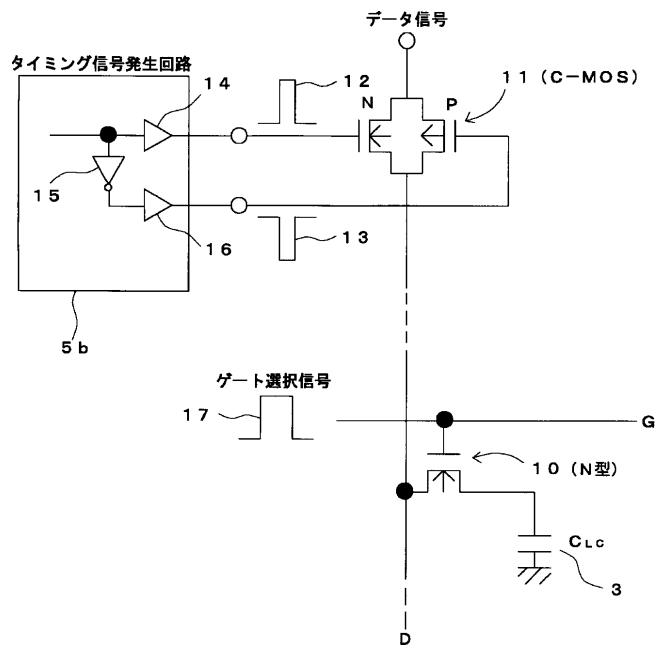
【図2】



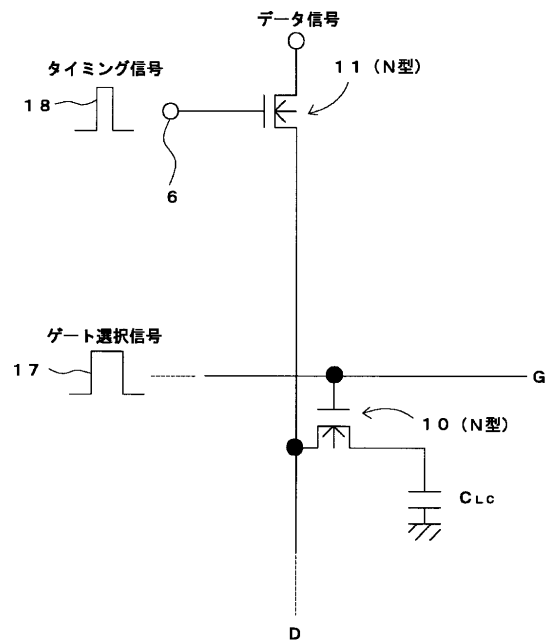
【図4】



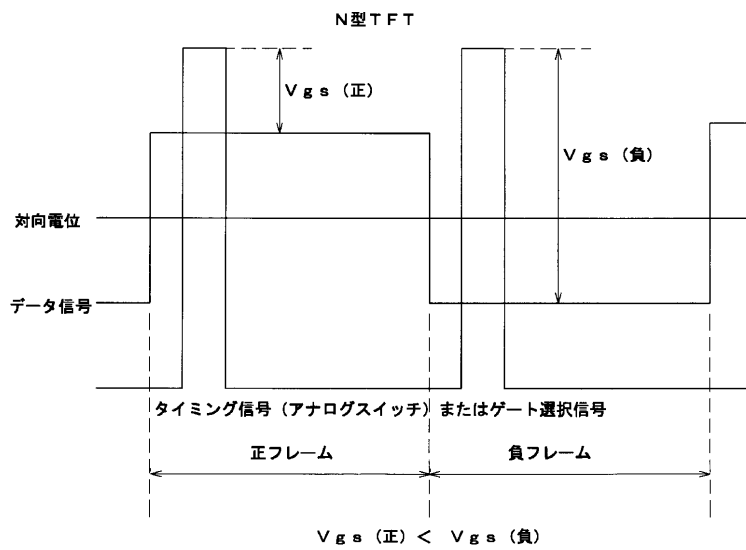
【図 5】



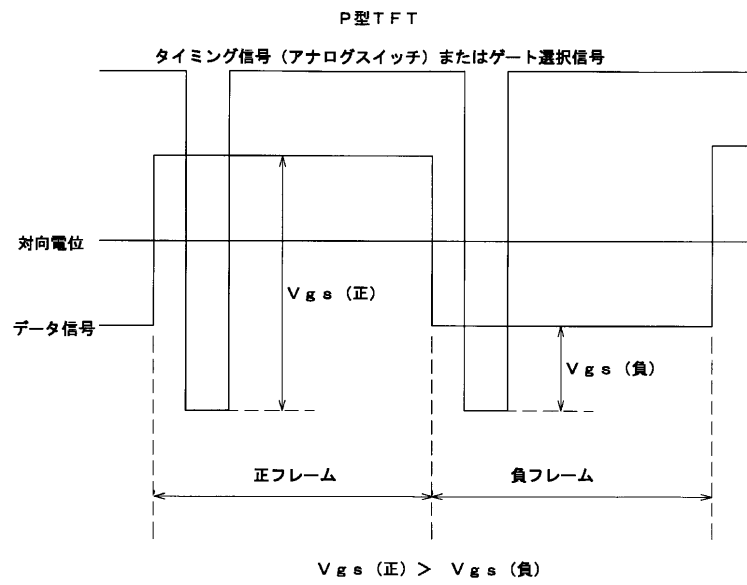
【図 8】



【図 6】



【図7】



|                |                                                                                                                                                                                                                  |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 薄膜晶体管基板和使用其的液晶显示板                                                                                                                                                                                                |         |            |
| 公开(公告)号        | <a href="#">JP2001235764A</a>                                                                                                                                                                                    | 公开(公告)日 | 2001-08-31 |
| 申请号            | JP2000045461                                                                                                                                                                                                     | 申请日     | 2000-02-23 |
| [标]申请(专利权)人(译) | 富士通株式会社                                                                                                                                                                                                          |         |            |
| 申请(专利权)人(译)    | 富士通株式会社                                                                                                                                                                                                          |         |            |
| [标]发明人         | 長廣紀雄                                                                                                                                                                                                             |         |            |
| 发明人            | 長廣 紀雄                                                                                                                                                                                                            |         |            |
| IPC分类号         | G02F1/136 G02F1/1368 G09F9/30 H01L29/786                                                                                                                                                                         |         |            |
| FI分类号          | G09F9/30.338 G02F1/136.500 H01L29/78.612.B H01L29/78.614 G02F1/1368                                                                                                                                              |         |            |
| F-TERM分类号      | 2H092/GA59 2H092/JA24 2H092/NA22 2H092/NA25 2H092/PA06 5C094/AA15 5C094/BA03 5C094/BA43 5C094/EA04 5C094/EA07 5C094/EB02 5F110/AA04 5F110/BB02 5F110/BB04 5F110/GG02 5F110/GG13 2H192/AA24 2H192/FA73 2H192/FB05 |         |            |
| 代理人(译)         | 盛岡正樹                                                                                                                                                                                                             |         |            |
| 其他公开文献         | JP4455714B2                                                                                                                                                                                                      |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                        |         |            |

#### 摘要(译)

要解决的问题：为了能够以简单的配置减小驱动电路的布局面积，并且减小除了显示区域之外的区域，所谓的框架区域，涉及集成薄的薄膜晶体管基板其上的薄膜晶体管和使用它的液晶面板。解决方案：在薄膜晶体管基板上，其中多个像素晶体管2布置在多个栅极线G和多个数据线D彼此交叉的每个像素位置处，并且电路的一部分包括用于控制信号供应的多个模拟开关7通过多条栅极线G和多条数据线D形成用于驱动多个像素晶体管的驱动电路中的至少多条数据线D，多个像素晶体管2和多个模拟开关7由导电薄膜晶体管构成不同类型的彼此。

