

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5666083号
(P5666083)

(45) 発行日 平成27年2月12日(2015. 2. 12)

(24) 登録日 平成26年12月19日(2014. 12. 19)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2008-175205 (P2008-175205)	(73) 特許権者	512187343
(22) 出願日	平成20年7月4日(2008. 7. 4)		三星ディスプレイ株式会社
(65) 公開番号	特開2009-69811 (P2009-69811A)		S a m s u n g D i s p l a y C o .
(43) 公開日	平成21年4月2日(2009. 4. 2)		, L t d .
審査請求日	平成23年5月10日(2011. 5. 10)		大韓民国京畿道龍仁市器興区三星二路95
(31) 優先権主張番号	10-2007-0093122		95, S a m s u n g 2 R o, G i h
(32) 優先日	平成19年9月13日(2007. 9. 13)		e u n g - G u, Y o n g i n - C i t y
(33) 優先権主張国	韓国 (KR)		, G y e o n g g i - D o, K o r e a
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	禹 和 成
			大韓民国京畿道水原市靈通区梅灘1洞 住
			公4 団地アパートメント419棟107号
最終頁に続く			

(54) 【発明の名称】 アレイ基板及びこれを具備する表示パネル

(57) 【特許請求の範囲】

【請求項 1】

互いに交差するゲート配線とデータ配線とに接続された第1スイッチング素子を含む薄膜トランジスタ層と、

前記薄膜トランジスタ層上の画素領域に形成された制御電極と、

前記制御電極上に形成された絶縁層と、

マイクロスリットパターンを含み、前記絶縁層上に前記制御電極とオーバーラップするように形成される画素電極とを含み、

前記画素電極は、前記制御電極よりも小さいサイズを有し、

前記制御電極は、前記第1スイッチング素子のドレイン電極と電氣的に接続され、

前記制御電極は、前記画素電極と電氣的に接続され、

前記絶縁層の厚さは、前記制御電極と前記画素電極との有効電圧差が生じる厚さであることを特徴とするアレイ基板。

【請求項 2】

前記マイクロスリットパターンは、電極部と互いに隣接する電極部同士の間形成された離隔部とを含み、前記電極部と前記離隔部との幅は、それぞれ2 μm～10 μmであることを特徴とする請求項1に記載のアレイ基板。

【請求項 3】

前記マイクロスリットパターンの前記電極部の幅と前記離隔部の幅とは、実質的に同一であることを特徴とする請求項2に記載のアレイ基板。

10

20

【請求項 4】

前記絶縁層には、前記制御電極を露出させるホールが形成され、前記制御電極は、前記ホールを通じて画素電極と電極的に接続されることを特徴とする請求項 1 に記載のアレイ基板。

【請求項 5】

互いに交差するゲート配線とデータ配線とに接続された第 1 スイッチング素子を含む薄膜トランジスタ層と、前記薄膜トランジスタ層上に形成された制御電極と、前記制御電極上に形成された絶縁層と、マイクロスリットパターンを含み、前記絶縁層上に前記制御電極とオーバーラップするように形成された画素電極と、を含むアレイ基板と、

前記アレイ基板と結合し、前記アレイ基板との間に液晶層を収容し、前記画素電極と向い合う共通電極を含む対向基板とを含み、

前記画素電極は、前記制御電極よりも小さいサイズを有し、

前記制御電極は、前記第 1 スイッチング素子のドレイン電極と電氣的に接続され、

前記制御電極は、前記画素電極と電氣的に接続され、

前記絶縁層の厚さは、前記制御電極と前記画素電極との有効電圧差が生じる厚さであることを特徴とする表示パネル。

【請求項 6】

前記共通電極は、前記対向基板上に均一の厚さに平坦に形成されることを特徴とする請求項 5 に記載の表示パネル。

【請求項 7】

前記マイクロスリットパターンは、電極部と互いに隣接する電極部同士の間形成された離隔部とを含み、前記電極部と前記離隔部との幅はそれぞれ $2\ \mu\text{m}$ ～ $10\ \mu\text{m}$ であることを特徴とする請求項 5 に記載の表示パネル。

【請求項 8】

前記マイクロスリットパターンの前記電極部の幅と前記離隔部の幅とは、実質的に同一であることを特徴とする請求項 7 に記載の表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アレイ基板及びこれを具備する表示パネルに係り、より詳細には向上した透過率を有するアレイ基板及びこれを具備する表示パネルに関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、画面を眺める位置、即ち、視野角によっては表示された画像が歪曲されて見えるという短所を有する。PVA (Patterned-ITO Vertical Alignment) は、視野角の限界点を改善するために開発された技術の一つである。

【0003】

PVA は、下板の画素電極と上板の共通電極とに一定様態のパターンを形成して、液晶セルに電圧が印加されるときにパターンニングされた画素電極及び共通電極のエッジで発生するフリンジ電界 (fringe electric field) を用いて液晶分子を多様な方向に配列させる技術である。

【0004】

最近、PVA モードの一種として、下板の画素電極にマイクロスリットを形成し、上板の共通電極にはパターンを形成しないマイクロスリット構造が開発されている。前記マイクロスリット構造におけるマイクロスリットは、液晶表示パネルの透過率を上昇させるために微細に形成される。しかし、マイクロスリットを微細に形成することは工程技術上の限界を有する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の技術的な課題は、このような従来の問題点を解決するためのものであって、本発明の目的は、向上した透過率を有するアレイ基板を提供することにある。また、本発明の他の目的は、アレイ基板を具備する表示パネルを提供することにある。

【課題を解決するための手段】

【0006】

前記本発明の目的を実現するための実施形態によるアレイ基板は、互いに交差するゲート配線とデータ配線とに接続された第1スイッチング素子を含む薄膜トランジスタ層と、前記薄膜トランジスタ層上の画素領域に形成された制御電極と、前記制御電極上に形成された絶縁層と、マイクロスリットパターンを含み、前記絶縁層上に前記制御電極とオーバーラップするように形成される画素電極とを含み、前記画素電極は、前記制御電極よりも小さいサイズを有し、前記制御電極は、前記第1スイッチング素子のドレイン電極と電氣的に接続され、前記制御電極は、前記画素電極と電氣的に接続され、前記絶縁層の厚さは、前記制御電極と前記画素電極との有効電圧差が生じる厚さであることを特徴とする。

10

【0007】

前記本発明の他の目的を実現するための実施形態による表示パネルは、アレイ基板及び対向基板を含み、アレイ基板は、互いに交差するゲート配線とデータ配線とに接続された第1スイッチング素子を含む薄膜トランジスタ層と、前記薄膜トランジスタ層上に形成された制御電極と、前記制御電極上に形成された絶縁層と、マイクロスリットパターンを含み、前記絶縁層上に前記制御電極とオーバーラップするように形成された画素電極と、を含むアレイ基板と、前記アレイ基板と結合し、前記アレイ基板との間に液晶層を収容し、前記画素電極と向い合う共通電極を含む対向基板とを含み、前記画素電極は、前記制御電極よりも小さいサイズを有し、前記制御電極は、前記第1スイッチング素子のドレイン電極と電氣的に接続され、前記制御電極は、前記画素電極と電氣的に接続され、前記絶縁層の厚さは、前記制御電極と前記画素電極との有効電圧差が生じる厚さであることを特徴とする。

20

【発明の効果】

【0008】

このようなアレイ基板及びこれを具備する表示パネルによると、マイクロスリットパターンが形成された画素電極と、有効電圧差を有する制御電極とを形成することで、液晶の方向性を制御して透過率を向上させることができる。

30

【発明を実施するための最良の形態】

【0009】

以下、図面を参照して、本発明をより詳細に説明する。図1は、参考発明の参考形態による表示パネルの概略平面図である。図2は、図1のI-I'に沿って見た断面図である。図1及び図2を参照すると、表示パネルはアレイ基板100、対向基板200、及び液晶層300を含む。

【0010】

アレイ基板100は、第1ベース基板101、第1ベース基板110上に形成された薄膜トランジスタ層150、制御電極170、絶縁層180、及び画素電極190を含む。薄膜トランジスタ層150は、ゲート配線(GL)、データ配線(DL)、制御配線(CL)、ストレージ配線(SCL)、第1スイッチング素子(TR1)、及び第2スイッチング素子(TR2)を含む。

40

【0011】

例えば、第1ベース基板101上にはゲート金属パターンが形成される。ゲート金属パターンは、第1方向に延長されたゲート配線(GL)及びストレージ配線(SCL)、ゲート配線(GL)と接続された第1スイッチング素子(TR1)の第1ゲート電極(GE1)、及びゲート配線(GL)と接続された第2スイッチング素子(TR2)の第2ゲート電極(GE2)を含む。

【0012】

50

ゲート金属パターンが形成された第1ベース基板101上にはゲート絶縁層110が形成される。ゲート絶縁層110上に半導体層121及びオーミックコンタクト層122を含むチャンネル層が形成される。チャンネル層は、第1スイッチング素子(TR1)の第1チャンネル部(CH1)と第2スイッチング素子(TR2)の第2チャンネル部(CH2)とを含む。

【0013】

チャンネル層上には、ソース金属パターンが形成される。ソース金属パターンは、第1方向と交差する第2方向に延長されたデータ配線(DL)及び制御配線(CL)、データ配線(DL)と接続された第1スイッチング素子(TR1)の第1ソース電極(SE1)、及び制御配線(CL)と接続された第2スイッチング素子(TR2)の第2ソース電極(SE2)を含む。また、ソース金属パターンは、第1スイッチング素子(TR1)の第1ドレイン電極(DE1)と第2スイッチング素子(TR2)の第2ドレイン電極(DE2)とを更に含む。

10

【0014】

ソース金属パターンの形成された第1ベース基板101上にはパッシベーション層120が形成される。パッシベーション120には、第1スイッチング素子(TR1)の第1ドレイン電極(DE1)を露出させる第1ホール(H1)と、第2スイッチング素子(TR2)の第2ドレイン電極(DE2)を露出させる第2ホール(H2)とが形成される。

【0015】

パッシベーション層120上には、透明導電性物質で形成された制御電極170が形成される。制御電極170は、単位画素に対応する画素領域に形成される。画素電極は図示したように四角形状に形成してもよく、折り曲げられたV字形状などのように多様に形成してもよい。

20

【0016】

制御電極170は、第2ホール(H2)を通じて第2スイッチング素子(TR2)の第2ドレイン電極(DE2)と電氣的に接続される。制御電極170には、ストレージ配線(SCL)が形成された領域に対応して透明導電性物質が除去された開口部171が形成される。第2スイッチング素子(TR2)がオンすると、制御電極170には制御配線(CL)から伝達された制御電圧(Vc)が印加される。制御電圧(Vc)は、データ電圧(Vd)よりは小さく、対向基板200の共通電極230に印加される共通電圧(Vcom)よりは大きい。

30

【0017】

制御電極170上には絶縁層180が形成され、絶縁層180には第1ホール(H1)に対応してパターンニングされたホールが形成される。絶縁層180上には、透明導電性物質で形成された画素電極190が形成される。画素電極190は、第1ホール(H1)を通じて第1スイッチング素子(TR1)の第1ドレイン電極(DE1)と電氣的に接続される。画素電極190は、制御電極170と同一のサイズを有するか、制御電極170より小さいサイズを有する。

【0018】

具体的に、画素電極190は、画素領域に形成される。画素電極190は、画素領域において制御電極170と同一のサイズに形成されるか、画素領域において制御電極170より小さいサイズに形成される。例えば、図示したように、画素領域が四角形状である場合、画素電極190及び制御電極170の横および縦の長さが互いに同一に形成されるか、画素電極190の横および縦の長さが制御電極170の横および縦の長さより小さく形成される。

40

【0019】

画素電極190は、マイクロスリットパターン(MS)を含み、マイクロスリットパターン(MS)は、透明導電性物質で形成された電極部191と互いに隣接する電極部191同士の間絶縁層180を露出させる離隔部193とを含む。電極部191及び離隔部193の幅は約2 μ m~10 μ mにそれぞれ形成される。望ましくは、電極部191及び離

50

隔部 193 の幅は互いに同一に形成される。

【0020】

第1スイッチング素子 (TR1) がオンすると、画素電極 190 にはデータ配線 (DL) から伝達されたデータ電圧 (Vd) が印加される。画素電極 190 に印加されたデータ電圧 (Vd) と制御電極 170 に印加された制御電圧 (Vc) との有効電圧差 (ΔV) は 0 V より大きく設定されてもよい。

【0021】

これによって、マイクロスリットパターン (MS) の電極部 191 と離隔部 193 との間に有効電圧差 (ΔV) が発生して、液晶分子の方向を制御する。マイクロスリットパターンのフリンジ部分で透過率が向上され、全体的な透過率を向上させることができる。

10

【0022】

画素電極 190 上には第1配向膜 (PI1) が形成される。対向基板 200 は、第2ベース基板 201、第2ベース基板 201 上に形成されたカラーフィルタ層 210、及び共通電極 230 を含む。

【0023】

カラーフィルタ層 210 は、画素電極 190 の形成された領域に対応して形成される。共通電極 230 は、カラーフィルタ層 210 上に透明導電性物質で形成される。共通電極 230 はパターンニングされず、第2ベース基板 201 上に均一の厚さに平坦に形成される。共通電極 230 上には第2配向膜 (PI2) が形成される。

20

【0024】

図3及び図4は、図2に示したアレイ基板の製造方法を説明するための断面図である。図1及び図3を参照すると、第1ベース基板 101 上にゲート金属層が形成され、ゲート金属層をパターンニングしてゲート金属パターンが形成される。

【0025】

ゲート金属パターンは、第1方向に延長されたゲート配線 (GL) 及びストレージ配線 (SCL) と、ゲート配線 (GL) と接続された第1スイッチング素子 (TR1) の第1ゲート電極 (GE1) と、ゲート配線 (GL) に接続された第2スイッチング素子 (TR2) の第2ゲート電極 (GE2) とを含む。

【0026】

ゲート金属パターンの形成された第1ベース基板 101 上にシリコン窒化膜 (SiNx) またはシリコン酸化膜 (SiOx) からなるゲート絶縁層 110 が形成される。ゲート絶縁層 110 は約 0.4 μm の厚さに形成する。

30

【0027】

ゲート絶縁層 110 の形成された第1ベース基板 101 上にアモルファスシリコン (a-Si) を含む半導体層 121 及び n+イオンが高濃度でドーピングされたオーミックコンタクト層 (n+a-Si) 122 を含むチャネル層が形成される。チャネル層をパターンニングして、第1及び第2ゲート電極 (GE1、GE2) が形成された領域のゲート絶縁層 110 上に第1チャネル部 (CH1) 及び第2チャネル部 (CH2) がそれぞれ形成される。

【0028】

第1及び第2チャネル部 (CH1、CH2) が形成された第1ベース基板 101 上にソース金属層が形成され、ソース金属層がパターンニングされてソース金属パターンが形成される。ソース金属パターンは、第1方向と交差する第2方向に延長されたデータ配線 (DL) 及び制御配線 (CL) と、データ配線 (DL) と接続された第1スイッチング素子 (TR1) の第1ソース電極 (SE1) と、制御配線 (CL) と接続された第2スイッチング素子 (TR2) の第2ソース電極 (SE2) とを含む。また、ソース金属パターンは、第1スイッチング素子 (TR1) の第1ドレイン電極 (DE1) と第2スイッチング素子 (TR2) の第2ドレイン電極 (DE2) とを更に含む。

40

【0029】

ソース金属パターンが形成された第1ベース基板 101 上にパッシベーション層 120 が形成される。パッシベーション層 120 は、シリコン窒化膜 (SiNx) を含み、約 20

50

0 nmの厚さを有する。パッシベーション層120はエッチングされて、第2ドレイン電極(DE2)を露出させる第2ホール(H2)が形成される。

【0030】

前記のような工程を通じて第1ベース基板101上には薄膜トランジスタ層150が形成される。

【0031】

薄膜トランジスタ層150が形成された第1ベース基板101上に透明導電性物質が形成され、透明導電性物質がパターンニングされて制御電極170が形成される。制御電極170は、ストレージ配線(SCL)が形成された領域に対応してパターンニングされた開口部171と第1ドレイン電極(DE1)が形成された領域に対応してパターンニングされたホールパターン173とを含む。

10

【0032】

制御電極170は、第2ホール(H2)を通じて第2ドレイン電極(DE2)と接触して、第2スイッチング素子(TR2)と電気的に接続される。制御電極170は、ストレージ配線(SCL)の一部分とオーバーラップし、これによって第2ストレージキャパシタ(CSTc)が定義される。第2ストレージキャパシタ(CSTc)は、制御電極170に印加される制御電圧(Vc)とストレージ配線(SCL)に印加される共通電圧(Vcom)とに応じて一定の電荷を充電する。

【0033】

図1及び図4を参照すると、制御電極170が形成された第1ベース基板101上に絶縁層が形成される。絶縁層180は、有機絶縁物質からなり、約200 nmの厚さを有してもよい。制御電極170のホールパターン173に対応する絶縁層180及びパッシベーション層120はエッチングされ、第1ドレイン電極(DE1)を露出させる第1ホール(H1)が形成される。

20

【0034】

第1ホール(H1)が形成された第1ベース基板101上に透明導電性物質が形成され、透明導電性物質がパターンニングされて画素電極190が形成される。ここで、画素電極190は、マイクロスリットパターン(MS)を含む。マイクロスリットパターン(MS)は、電極部191と、互いに隣接する電極部191の間の離隔された領域である離隔部193とを含む。電極部191と離隔部193との幅は互いに同一であり、約2 μm~6 μmである。

30

【0035】

画素電極190は、第1ホール(H1)を通じて第1ドレイン電極(DE1)と接触して、第1スイッチング素子(TR1)と電気的に接続される。画素電極190は、制御電極170の開口部171を通じてパッシベーション層120と接触する。これによって、ストレージ配線(SCL)と画素電極190との間に第1ストレージキャパシタ(CSTp)が定義される。第1ストレージキャパシタ(CSTp)は、画素電極190に印加されるデータ電圧(Vd)とストレージ配線(SCL)に印加される共通電圧(Vcom)とに応じて一定の電荷を充電する。

【0036】

40

画素電極190が形成された第1ベース基板101上に第1配向膜(PI1)が形成される。本参考形態において、薄膜トランジスタ層150を形成するために、4枚のマスクを用いてゲート金属層、チャネル層、ソース金属層、及びパッシベーション層をそれぞれパターンニングする工程を例に説明した。しかし、薄膜トランジスタ層150は、3枚のマスクを用いて形成してもよい。即ち、3枚のマスクが使用される場合、チャネル層とソース金属層とは、一枚のマスクでパターンニングしてもよい。

【0037】

図5は、本発明の実施形態による表示パネルの平面図である。図6は、図5のII-II'線に沿って見た断面図である。

【0038】

50

図5及び図6を参照すると、表示パネルは、アレイ基板400、対向基板200、及び液晶層300を含む。実施形態による表示パネルは、図1及び図2で説明した参考形態の表示パネルと比較すると、対向基板200及び液晶層300はいずれも同一であり、アレイ基板400が異なる。以下では、重複する説明は省略し、アレイ基板400について説明する。

【0039】

アレイ基板400は、第1ベース基板401と、第1ベース基板401上に形成された薄膜トランジスタ層450、制御電極470、絶縁層480、及び画素電極490を含む。薄膜トランジスタ層450は、ゲート配線（GL）、データ配線（DL）、ストレージ配線（SCL）、及びスイッチング素子（TR）を含む。

10

【0040】

第1ベース基板401上にはゲート金属パターンが形成される。ゲート金属パターンは第1方向に延長されたゲート配線（GL）及びストレージ配線（SCL）と、ゲート配線（GL）と接続されたスイッチング素子（T1）のゲート電極（GE）とを含む。

【0041】

ゲート金属パターンが形成された第1ベース基板401上には、ゲート絶縁層410が形成される。ゲート絶縁層410上に半導体層421及びオーミックコンタクト層422を含むチャンネル層が形成される。チャンネル層は、スイッチング素子（TR）のチャンネル部（CH）を含む。

【0042】

チャンネル層上にはソース金属パターンが形成される。ソース金属パターンは、第1方向と交差する第2方向に延長されたデータ配線（DL）と、データ配線（DL）と接続されたスイッチング素子（TR）のソース電極（SE）と、ソース電極（SE）と離隔されたドレイン電極（DE）とを含む。

20

【0043】

ソース金属パターンが形成された第1ベース基板401上には、パッシベーション層420が形成される。パッシベーション層420には、スイッチング素子（TR）のドレイン電極（DE）を露出させる第1ホール（H1）が形成される。

【0044】

パッシベーション層420上には、透明導電性物質で形成された制御電極470が形成される。制御電極470は、第1ホール（H1）を通じてスイッチング素子（TR）のドレイン電極（DE）と電氣的に接続される。スイッチング素子（TR）がオンすると、制御電極470にはデータ配線（DL）から伝達されたデータ電圧（Vd）が印加される。

30

【0045】

制御電極470上には、絶縁層480が形成され、絶縁層480には制御電極470を露出させる第2ホール（H2）が形成される。

【0046】

絶縁層480上には透明導電性物質で形成された画素電極490が形成される。画素電極490は、第2ホール（H2）を通じて制御電極470と電氣的に接続され、制御電極470と同一の電圧が印加される。絶縁層480は、有機絶縁物質からなり、約4μmの厚さを有してもよい。

40

【0047】

画素電極490は、制御電極470と同一のサイズを有してもよく、図示したように、制御電極470より小さいサイズを有してもよい。例えば、画素電極490は、画素領域に形成される。画素電極490は、制御電極470が形成された画素領域に制御電極470と同一のサイズで形成されてもよく、制御電極470より小さいサイズで形成されてもよい。

【0048】

図示したように、画素電極490が制御電極470より小さく形成される場合、画素電極490は、画素電極490のエッジで制御電極470との有効電圧差を発生させて、画素

50

電極 490 のエッジでの透過率を向上させることができる。

【0049】

画素電極 490 は、マイクロスリットパターン (MS) を含み、マイクロスリットパターン (MS) は、透明導電性物質で形成された電極部 491 と互いに隣接する電極部 491 同士の間絶縁層 480 を露出させる離隔部 493 とを含む。電極部 491 と離隔部 493 との幅は互いに同一であり、約 $2\ \mu\text{m}$ ~ $6\ \mu\text{m}$ である。

【0050】

画素電極 490 上には第 1 配向膜 (PI1) が形成される。スイッチング素子 (TR) がオンすると、画素電極 490 にはデータ配線 (DL) から伝達された画素電圧 (Vd) が印加される。

10

【0051】

スイッチング素子 (TR) がオンすると、制御電極 470 と画素電極 490 とにはデータ配線 (DL) から伝達されたデータ電圧 (Vd) がそれぞれに印加される。この場合、制御電極 470 に印加された電圧には、画素電極 490 に印加される電圧に対して絶縁層 480 の厚さに応じて電圧降下が発生する。即ち、制御電極 470 に印加される制御電圧 (Vc0) は、データ電圧 (Vd) よりも小さく、共通電極 230 に印加される共通電圧 (Vcom) より大きい。

【0052】

例えば、画素電極 490 及び制御電極 470 に入力電圧 (Vinput) が印加される場合、液晶層 300 に印加される画素電極 490 の第 1 有効電圧 (Vdomain1) は、入力電圧 (Vinput) であることに対し、液晶 300 に印加される制御電極 470 の第 2 有効電圧 (Vdomain2) は、下記の式 1 のように定義される。

20

【0053】

【数 1】

$$V_{\text{domain1}} = V_{\text{input}}$$

$$V_{\text{domain2}} = V_{\text{input}} \times \left(\frac{\epsilon_{\text{OL}} d_{\text{LC}}}{\epsilon_{\text{OL}} d_{\text{LC}} + \epsilon_{\text{LC}} d_{\text{OL}}} \right) \quad (1)$$

【0054】

ここで、 ϵ_{OL} は有機膜の誘電率であり、 d_{OL} は、有機膜の厚さであり、 ϵ_{LC} は液晶の誘電率であり、 d_{LC} は液晶層のセルギャップである。

30

【0055】

このように、制御電極 470 及び画素電極 490 に同一のデータ電圧が印加されても、絶縁層 480 の厚さによって有効電圧差 (ΔV) が発生する。望ましくは、有効電圧差 (ΔV) が 0 V より大きく設定されるよう絶縁層 480 の厚さを調節する。マイクロスリットパターン (MS) の電極部 491 と離隔部 493 との間に前記有効電圧差 (ΔV) が発生して、液晶分子の方向が制御される。したがって、マイクロスリットパターンと画素電極 490 の外郭部分とのフリンジ部分で透過率が向上するため、液晶パネル全体の透過率を向上させることができる。

40

【0056】

以下では、多様な比較例及び参考例並びに本発明による実施例を例にして本発明によって透過率が向上する過程を説明する。

【0057】

比較例 1 は、本発明の参考形態 (図 2 に図示) による表示パネルにおいて、制御電極 170 及び絶縁層 180 が形成されない場合を示す。即ち、画素電極 190 上のみに $4\ \mu\text{m}$ のマイクロスリットパターン (MS) が形成される。比較例 2 は、比較例 1 と比較すると、マイクロスリットパターン (MS) のサイズを $5\ \mu\text{m}$ に形成し、その他の条件は比較例 1 と同一である。

【0058】

50

一方、参考例 1は、参考形態（図 2 に図示）の表示パネルに対応し、制御電極 170 と画素電極 190 とのサイズは同一であり、絶縁層 180 の厚さは、200 nm（0.2 μ m）にし、マイクロスリットパターン（MS）のサイズは5 μ mに形成した。参考例 2は、参考例 1と比較すると、制御電極 470 と画素電極 490 のサイズを同一に形成し、マイクロスリットパターン（MS）のサイズを4 μ mに形成した。

【0059】

実施例は、参考例 1と比較すると、マイクロスリットパターン（MS）のサイズを4 μ mに形成し、制御電極 470を画素電極 490よりも大きなサイズに形成した。

【0060】

参考例 3は、本発明の実施形態（図 6 に図示）の表示パネルに対応し、制御電極 470 と画素電極 490 との間に形成された絶縁層 480 の厚さを4 μ mに形成した。ただし、実施形態（図 6 に図示）とは異なり、参考例 3では、制御電極 470 と画素電極 490 とのサイズは、同一に形成した。マイクロスリットパターン（MS）のサイズは4 μ mにした。

【0061】

次の（表 1）は、比較例、参考例及び実施例の透過率を比較したデータである。

【0062】

【表 1】

	比較例 1	比較例 2	参考例1	参考例2	実施例	参考例3
電極部 by 隔離部	4 μ m by 4 μ m	5 μ m by 5 μ m	5 μ m by 5 μ m	4 μ m by 4 μ m	4 μ m by 4 μ m	4 μ m by 4 μ m
制御電極と 画素電極の サイズ	—	—	制御電極 = 画素電極	制御電極 = 画素電極	制御電極 > 画素電極	制御電極 = 画素電極
絶縁層の 厚さ	—	—	0.2 μ m	0.2 μ m	0.2 μ m	4 μ m
透過率	16.5 1%	14.9 9%	17.7 6%	18.7 5%	22.1 3%	21.1 1%

【0063】

（表 1）を参照すると、比較例 1 と比較例 2 とを比較すると、マイクロスリットパターンが4 μ mである場合、透過率は16.51%であり、マイクロスリットパターンが5 μ mである場合、透過率は14.99%であって、マイクロスリットパターンが小さいほど透過率は増加した。

【0064】

一方、参考例 1は、マイクロスリットパターンは5 μ mであり、制御電極と画素電極とのサイズは同一であり、絶縁層は厚さ0.2 μ mの場合である。この場合の透過率は、17.76%でありマイクロスリットパターンが4 μ mである比較例 1 の透過率より増加した。

【0065】

一方、参考例 2と実施例とを比較すると、それぞれマイクロスリットパターン4 μ m、絶縁層の厚さ0.2 μ mの状態であり、参考例 2は、制御電極と画素電極のサイズを同一に形成した場合であって、この場合の透過率は18.75%であった。実施例は、制御電極のサイズを画素電極のサイズより大きく形成した場合であって、この場合の透過率は22.13%であった。即ち、制御電極のサイズを画素電極のサイズより大きく形成する場合

、透過率が増加した。

【0066】

参考例3は、マイクロスリットパターンを4 μm にし、制御電極と画素電極とのサイズを同一にし、絶縁層の厚さを4 μm に形成した場合である。この場合の透過率は21.11%であって、比較例1、2に比べて透過率が増加した。

【0067】

結果的に、既存の構造においては、マイクロスリットパターンのサイズを小さくするほど透過率は向上した。しかし、既存の構造は、制御電極を形成する場合よりは透過率が低いことが前記実施例によってわかる。

【0068】

よって、制御電極を形成することでマイクロスリットパターンのサイズを微細にする技術工程の限界を克服し、透過率を著しく向上させることができる。

【産業上の利用可能性】

【0069】

以上説明したように、本発明によるとマイクロスリットパターンが形成された画素電極の下に画素電極よりも小さい有効電圧を有する制御電極を形成することによって、液晶の方向性を制御して透過率を向上させることができる。

【0070】

以上、本発明の実施形態について詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離脱することなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0071】

【図1】本発明の参考形態による表示パネルの平面図である。

【図2】図1のI-I'に沿って見た断面図である。

【図3】図2のアレイ基板の製造方法を説明するための断面図である。

【図4】図2のアレイ基板の製造方法を説明するための断面図である。

【図5】本発明の実施形態による表示パネルの平面図である。

【図6】図5のII-II'に沿って見た断面図である。

【符号の説明】

【0072】

100、400 アレイ基板

170 制御電極

190 画素電極

191 電極部

193 離隔部

200 対向基板

300 液晶層

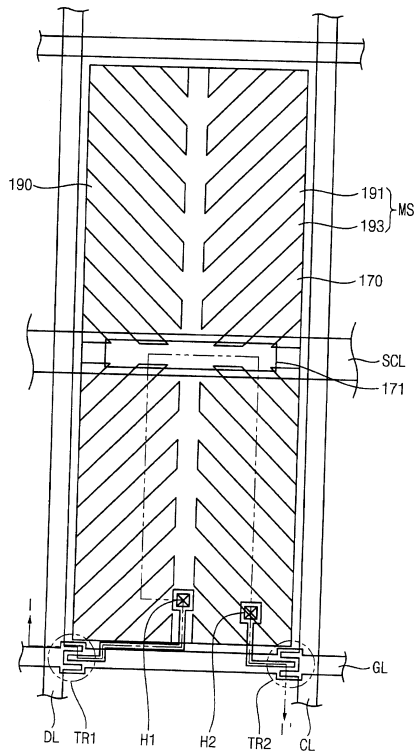
10

20

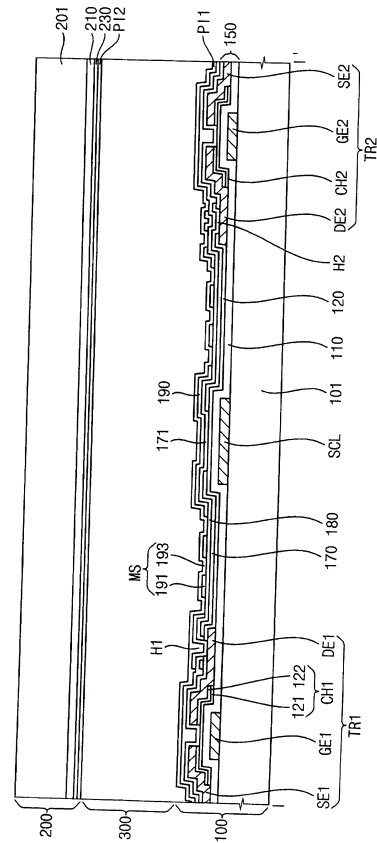
30

40

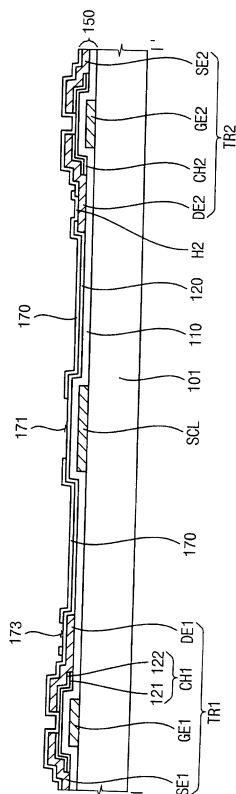
【図 1】



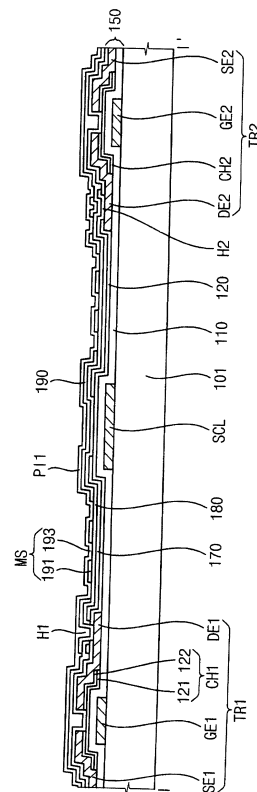
【図 2】



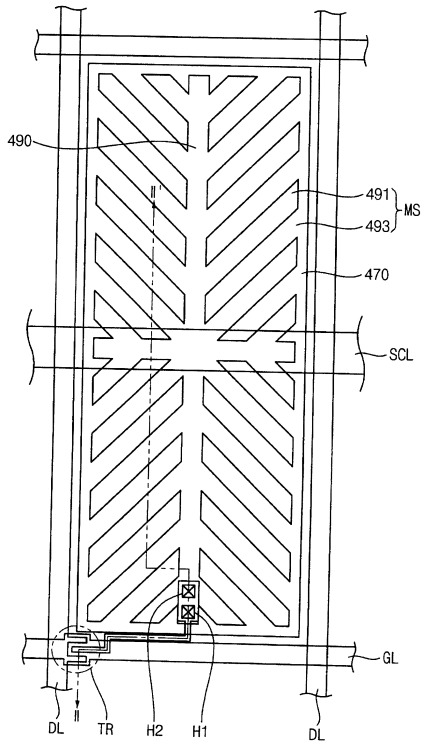
【図 3】



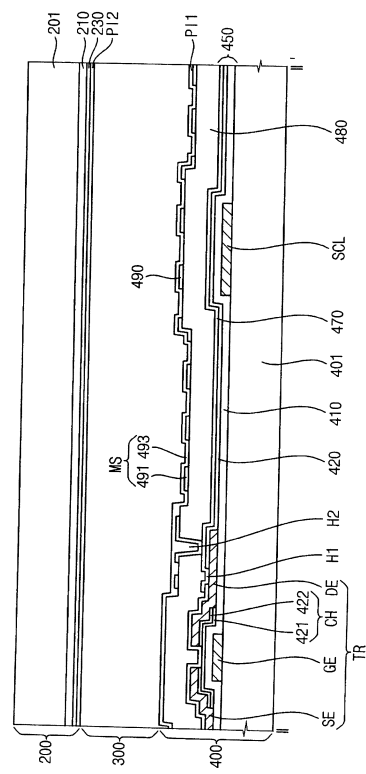
【图 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 金 熙 燮

大韓民国京畿道華城市台安邑半月里 8 6 5-1 新靈通現代アパートメント 1 1 0 棟 3 0 4 号

審査官 山口 裕之

(56)参考文献 特開 2 0 0 2-0 5 5 3 4 3 (J P, A)

特開平 1 0-1 3 3 2 0 9 (J P, A)

特表 2 0 0 5-5 1 9 3 2 7 (J P, A)

特開 2 0 0 3-1 4 9 6 4 7 (J P, A)

特開平 1 0-1 4 2 5 7 7 (J P, A)

特開 2 0 0 1-2 4 9 3 5 0 (J P, A)

特開 2 0 0 4-1 0 2 2 0 9 (J P, A)

特開 2 0 0 4-2 5 8 5 9 8 (J P, A)

特開 2 0 0 4-2 7 2 2 5 9 (J P, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 6 8

专利名称(译)	阵列基板和具有该阵列基板的显示板		
公开(公告)号	JP5666083B2	公开(公告)日	2015-02-12
申请号	JP2008175205	申请日	2008-07-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	禹和成 金熙燮		
发明人	禹 和 成 金 熙 燮		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/133707 G02F1/136227		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/HA04 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB42 2H092/JB56 2H092/JB57 2H092/JB58 2H092/JB69 2H092/KA05 2H092/KB24 2H092/NA01 2H192/AA24 2H192/BA25 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA42 2H192/DA65 2H192/EA43 2H192/JA13		
审查员(译)	山口博之		
优先权	1020070093122 2007-09-13 KR		
其他公开文献	JP2009069811A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供阵列基板和具有改善透射率的阵列基板的显示面板。解决方案：阵列基板包括薄膜晶体管层，控制电极，绝缘层和像素电极。薄膜晶体管层包括连接到栅极布线的第一开关元件和彼此交叉的数据布线。控制电极形成在薄膜晶体管层上。绝缘层形成在控制电极上。像素电极包括微缝图案，并且形成与绝缘层上的控制电极重叠并且电连接到第一开关元件。因此，形成有微缝图案的像素电极和控制电极具有有效的电压差。由此控制液晶的方向性质以改善透射率。Ž

$$V_{domain1} = V_{input}$$

$$V_{domain2} = V_{input} \times \left(\frac{\epsilon_{OL} d_{LC}}{\epsilon_{OL} d_{LC} + \epsilon_{LC} d_{OL}} \right)$$