

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5525705号
(P5525705)

(45) 発行日 平成26年6月18日 (2014. 6. 18)

(24) 登録日 平成26年4月18日 (2014. 4. 18)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

GO 2 F 1/1333 (2006. 01)

GO 2 F 1/1333 5 O 5

請求項の数 4 (全 12 頁)

(21) 出願番号 特願2008-186265 (P2008-186265)
 (22) 出願日 平成20年7月17日 (2008. 7. 17)
 (65) 公開番号 特開2010-26170 (P2010-26170A)
 (43) 公開日 平成22年2月4日 (2010. 2. 4)
 審査請求日 平成23年3月10日 (2011. 3. 10)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に延出した複数の信号線と、前記第1方向に直交した第2方向に延出した複数の走査線と、前記複数の信号線及び複数の走査線が交差した表示領域内に設けられた複数の画素と、を有したアレイ基板と、

前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持された液晶層と、を備え、

前記複数の画素は、前記信号線及び走査線の交差部近傍に設けられたスイッチング素子と、前記スイッチング素子に電氣的に接続され前記走査線に重なった画素電極と、をそれぞれ有し、

前記複数の走査線は、前記複数の画素の画素電極に重ねられた複数の走査電極を有し、

前記アレイ基板は、前記複数の画素の画素電極に重ねられ、前記複数の走査電極から外れて位置した複数のダミー電極を有し、

前記複数の走査電極は、前記表示領域内に設けられた位置に応じて異なる面積を有し、

各走査電極の面積は、前記走査線に走査線駆動信号が入力される側で最も小さく、前記走査線駆動信号が伝送される方向に沿って次第に大きくなり、

前記ダミー電極は、前記走査線駆動信号が入力される側で最も大きく、前記走査線駆動信号が伝送される方向に沿って次第に小さくなり、

各画素の画素電極に重なった前記走査電極の面積及びダミー電極の面積の和は、一定である液晶表示装置。

10

20

【請求項 2】

第 1 方向に延出した複数の信号線と、前記第 1 方向に直交した第 2 方向に延出した複数の走査線と、前記複数の信号線及び複数の走査線が交差した表示領域内に設けられた複数の画素と、を有したアレイ基板と、

前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持され、誘電率異方性が負の液晶材料で形成され、液晶分子の初期配向が垂直配向となる垂直配向型である液晶層と、

配向制御部と、を備え、

前記複数の画素は、前記信号線及び走査線の交差部近傍に設けられたスイッチング素子と、前記スイッチング素子に電氣的に接続され前記走査線に重なった画素電極と、をそれぞれ有し、

前記配向制御部は、前記アレイ基板及び対向基板の少なくとも何れか一方に設けられ、前記複数の画素の前記画素電極に重ねられ、前記液晶層の複数の液晶分子の配向状態を制御し、

前記複数の走査線は、前記複数の画素の画素電極に重ねられた複数の走査電極を有し、

前記複数の走査電極は、前記表示領域内に設けられた位置に応じて異なる面積を有し前記配向制御部に重ねられた複数の重畳部を有し、

各重畳部の面積は、前記走査線に走査線駆動信号が入力される側で最も小さく、前記走査線駆動信号が伝送される方向に沿って次第に大きくなる液晶表示装置。

【請求項 3】

前記重畳部を除く前記走査電極の面積は、一定である請求項 2 に記載の液晶表示装置。

【請求項 4】

前記アレイ基板は、前記第 2 方向に延出した複数の補助容量線をさらに有し、

前記複数の画素は、前記補助容量線に絶縁膜を介して対向配置され、前記画素電極に電氣的に接続された補助容量電極を含んだ補助容量素子をそれぞれさらに有している請求項 1 又は 2 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に関する。

【背景技術】

【0002】

近年、表示装置として、軽量、小型および高精細な液晶表示装置が開発されている。一般に、液晶表示装置では、駆動の際、一方向の直流電界が継続して印加されることにより生じる液晶の劣化を防ぐため、交流電界を印加している。画素の薄膜トランジスタがスイッチング動作をする度、画素電極と、画素電極に接続される補助容量素子との間での電荷の再分配が行われるため、画素電位に変動（突き抜け電圧）が発生する。これにより、交流電界の正負の大きさにずれが生じて液晶層の透過率が周期的に変動し、表示画面にちらつき（以下、フリッカと称する）が生じる。

【0003】

通常、液晶表示装置では、交流電界の正負いずれの場合も液晶層に印加される電圧が等しくなるように対向基板の共通電極の電位を調整し、フリッカを抑えている。しかし、突き抜け電圧は、走査線の電気抵抗や、走査線及び画素電極間の浮遊容量の影響により表示画面内で異なる。このため、フリッカを抑えるための共通電極の電位も表示画面内で異なることになる。これにより、表示画面内で局所的にはフリッカを抑えることはできても、共通電極の電位調整だけでは表示画面全体でフリッカを抑えることはできない。すなわち、走査線に沿った方向において、表示画面内にフリッカが生じてしまう。上記フリッカは、特に、表示画面が横長の場合（走査線が長い場合）に顕著である。

【0004】

そこで、フリッカを抑制するため、画素電極と走査線との間隔を調整する技術（例えば

10

20

30

40

50

、特許文献 1 参照) や、アレイ基板にダミー配線を設け、ダミー配線に電気信号を与える技術(例えば、特許文献 2 参照) が提案されている。

【特許文献 1】特開 2 0 0 4 - 9 3 8 2 1 号公報

【特許文献 1】特開 2 0 0 6 - 1 7 8 9 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

しかしながら、画素電極が走査線に重なっている場合、画素電極と走査線との間隔を調整する技術を液晶表示装置に適用することはできない。また、ダミー配線を設ける場合、画素間の間隔が大きくなるため、開口率が小さくなり、輝度レベルの低下を招いてしまう。そして、ダミー配線に電気信号を与えなければならず、煩雑である。

10

この発明は以上の点に鑑みなされたもので、その目的は、フリッカの発生を抑制することができ、表示品位に優れた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0 0 0 6】

上記課題を解決するため、本発明の態様に係る液晶表示装置は、

第 1 方向に延出した複数の信号線と、前記第 1 方向に直交した第 2 方向に延出した複数の走査線と、前記複数の信号線及び複数の走査線が交差した表示領域内に設けられた複数の画素と、を有したアレイ基板と、

前記アレイ基板に隙間を置いて対向配置された対向基板と、

20

前記アレイ基板及び対向基板間に挟持された液晶層と、を備え、

前記複数の画素は、前記信号線及び走査線の交差部近傍に設けられたスイッチング素子と、前記スイッチング素子に電気的に接続され前記走査線に重なった画素電極と、をそれぞれ有し、

前記複数の走査線は、前記複数の画素の画素電極に重ねられた複数の走査電極を有し、

前記アレイ基板は、前記複数の画素の画素電極に重ねられ、前記複数の走査電極から外れて位置した複数のダミー電極を有し、

前記複数の走査電極は、前記表示領域内に設けられた位置に応じて異なる面積を有し、各走査電極の面積は、前記走査線に走査線駆動信号が入力される側で最も小さく、前記走査線駆動信号が伝送される方向に沿って次第に大きくなり、

30

前記ダミー電極は、前記走査線駆動信号が入力される側で最も大きく、前記走査線駆動信号が伝送される方向に沿って次第に小さくなり、

各画素の画素電極に重なった前記走査電極の面積及びダミー電極の面積の和は、一定である。

【発明の効果】

【0 0 0 7】

この発明によれば、フリッカの発生を抑制することができ、表示品位に優れた液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0 0 0 8】

40

以下、図面を参照しながらこの発明の実施の形態に係る液晶表示装置について詳細に説明する。

図 1 乃至図 6 に示すように、液晶表示装置は、液晶表示パネル P 及びバックライトユニット 7 を備えている。液晶表示パネル P は、アレイ基板 1 と、アレイ基板に対向配置された対向基板 2 と、これら両基板間に挟持された液晶層 3 とを備えている。液晶表示パネル P は、アレイ基板 1 及び対向基板 2 が重なった表示領域 R 1 を有している。アレイ基板 1 は、表示領域 R 1 にマトリクス状に配置された複数の画素 1 3 を有している。なお、画素 1 3 については後述する。

【0 0 0 9】

表示領域 R 1 の外側において、ガラス基板 1 0 上には、走査線駆動回路 4、信号線駆動

50

回路 5 及び補助容量線駆動回路 6 が形成されている。走査線駆動回路 4 は、表示領域 R 1 の外側に延出した複数の走査線 1 9 と接続されている。走査線駆動回路 4 は、走査線 1 9 に走査線駆動信号を出力する。

【 0 0 1 0 】

信号線駆動回路 5 は、表示領域 R 1 の外側に延出した複数の信号線 2 7 と接続されている。信号線駆動回路 5 は、信号線 2 7 に信号線駆動信号を出力する。補助容量線駆動回路 6 は、表示領域 R 1 の外側に延出した複数の補助容量線 2 1 と接続されている。

【 0 0 1 1 】

アレイ基板 1 は、透明な絶縁基板として、例えばガラス基板 1 0 を備えている。ガラス基板 1 0 上にはアンダーコーティング層 1 2 が成膜されている。

10

【 0 0 1 2 】

表示領域 R 1 において、ガラス基板 1 0 上には、第 1 方向 d 1 に沿って延出した複数の走査線 1 9 及び第 1 方向に直交した第 2 方向 d 2 に沿って延出した複数の信号線 2 7 が配置されている。ガラス基板 1 0 上には、走査線 1 9 に平行な複数の補助容量線 2 1 が形成されている。この実施の形態において、補助容量線 2 1 は遮光部として機能している。隣合う 2 本の信号線 2 7 及び隣合う 2 本の補助容量線 2 1 で囲まれた各領域には画素 1 3 が形成されている。

【 0 0 1 3 】

次に、画素 1 3 を 1 つ取り出して説明する。

画素 1 3 は、信号線 2 7 及び走査線 1 9 の交差部近傍に設けられたスイッチング素子としての T F T (薄膜トランジスタ) 1 4 と、 T F T 1 4 に電氣的に接続され走査線 1 9 に重なった画素電極 3 4 と、画素電極 3 4 に電氣的に接続された補助容量素子 1 6 とを有している。

20

【 0 0 1 4 】

詳述すると、アンダーコーティング層 1 2 上に、チャンネル層 1 5 及び補助容量電極 1 7 が形成されている。チャンネル層 1 5 及び補助容量電極 1 7 は、アンダーコーティング層 1 2 上に形成された半導体膜をパターンニングすることにより、同一材料で同時に形成されている。この実施の形態において、チャンネル層 1 5 及び補助容量電極 1 7 は、ポリシリコンで形成されている。また、チャンネル層 1 5 及び補助容量電極 1 7 は、一体に形成されている。

30

【 0 0 1 5 】

アンダーコーティング層 1 2 、チャンネル層 1 5 及び補助容量電極 1 7 上に、ゲート絶縁膜 1 8 が成膜されている。ゲート絶縁膜 1 8 上に、複数の走査線 1 9 と、これら走査線の一部を延出した複数のゲート電極 2 0 と、複数の補助容量線 2 1 とが形成されている。補助容量電極 1 7 と重なった領域において、補助容量線 2 1 にそれぞれ開口部 2 1 a が形成されている。また、チャンネル層 1 5 に重なった走査線 1 9 の一部は、ゲート電極 2 0 として機能している。

【 0 0 1 6 】

走査線 1 9 、ゲート電極 2 0 及び補助容量線 2 1 は、アルミニウムやモリブデン - タングステン等の遮光性を有する低抵抗材料により同時に形成されている。この実施の形態において、走査線 1 9 、ゲート電極 2 0 及び補助容量線 2 1 は、モリブデン - タングステンで形成されている。

40

【 0 0 1 7 】

各ゲート電極 2 0 は、各チャンネル層 1 5 に重なって形成されている。各補助容量線 2 1 は、複数の補助容量電極 1 7 に重なって形成されている。ゲート絶縁膜 1 8 を介して対向配置された補助容量電極 1 7 及び補助容量線 2 1 は、補助容量素子 1 6 を形成している。

【 0 0 1 8 】

ゲート絶縁膜 1 8 、走査線 1 9 、ゲート電極 2 0 及び補助容量線 2 1 上に、層間絶縁膜 2 2 が形成されている。層間絶縁膜 2 2 上には、複数の信号線 2 7 及び複数のコンタクト電極 3 0 が形成されている。

50

【 0 0 1 9 】

信号線 2 7 は、複数のチャネル層 1 5 に重なっている。信号線 2 7 は、ゲート絶縁膜 1 8 及び層間絶縁膜 2 2 の一部を貫通したコンタクトホールを介してチャネル層 1 5 のソース領域 R S に電氣的に接続されている。

【 0 0 2 0 】

コンタクト電極 3 0 は、ゲート絶縁膜 1 8 及び層間絶縁膜 2 2 の一部を貫通したコンタクトホール 2 5 を介して補助容量電極 1 7 に電氣的に接続されている。コンタクトホール 2 5 は、補助容量線 2 1 の開口部 2 1 a を通っている。このため、コンタクト電極 3 0 及び補助容量線 2 1 間の絶縁状態は維持されている。コンタクト電極 3 0 は、補助容量電極 1 7 を介してチャネル層 1 5 のドレイン領域 R D に電氣的に接続されている。

10

【 0 0 2 1 】

信号線 2 7 及びコンタクト電極 3 0 は、アルミニウムやモリブデン - タングステン等の遮光性を有する低抵抗材料により同時に形成されている。この実施の形態において、信号線 2 7 及びコンタクト電極 3 0 は、アルミニウムで形成されている。

【 0 0 2 2 】

層間絶縁膜 2 2、信号線 2 7 及びコンタクト電極 3 0 上に、絶縁膜として、透明な樹脂により平坦化膜 3 1 が成膜されている。この実施の形態において、平坦化膜 3 1 は有機絶縁膜である。平坦化膜 3 1 は、補助容量線 2 1 及びコンタクト電極 3 0 にそれぞれ重なって形成された複数のコンタクトホール 3 2 を有している。

【 0 0 2 3 】

20

平坦化膜 3 1 上には、ITO (インジウム・ティン・オキサイド) 等の透明な導電材料により複数の画素電極 3 4 が形成されている。画素電極 3 4 は、マトリクス状に配置されている。画素電極 3 4 は、コンタクトホール 3 2 を介してコンタクト電極 3 0 に電氣的に接続されている。画素電極 3 4 は、隣合う 2 本の信号線 2 7 及び隣合う 2 本の補助容量線 2 1 に周縁を重ねて形成されている。画素電極 3 4 は、信号線 2 7 に沿った方向に長軸を有している。ここで、画素電極 3 4 の幅 W 1 は $4.2 \sim 5 \mu\text{m}$ であり、画素電極 3 4 の長さ L 1 は $12.7 \sim 5 \mu\text{m}$ である。

【 0 0 2 4 】

上記のように、平坦化膜 3 1 及び画素電極 3 4 等が形成されたガラス基板 1 0 上に、図示しない複数の柱状スペーサが形成されている。柱状スペーサが形成された平坦化膜 3 1 及び画素電極 3 4 上に、配向膜 3 7 が形成されている。ここで、配向膜 3 7 は、垂直配向膜である。

30

複数の画素 1 3 は、TFT 1 4、補助容量素子 1 6 及び画素電極 3 4 をそれぞれ 1 つずつ有している。

【 0 0 2 5 】

次に、対向基板 2 について説明する。

対向基板 2 は、透明な絶縁基板として、例えばガラス基板 4 0 を備えている。ガラス基板 4 0 上には、カラーフィルタ 5 0 が形成されている。

【 0 0 2 6 】

カラーフィルタ 5 0 は、複数の赤色の着色層 5 0 R、複数の緑色の着色層 5 0 G 及び複数の青色の着色層 5 0 B を有している。各着色層は、ストライプ状に形成され、信号線 2 7 に沿った方向に延出している。各着色層の周縁は、信号線 2 7 に重なっている。カラーフィルタ 5 0 上には、ITO 等の透明な導電材料により共通電極 4 1 が形成されている。

40

【 0 0 2 7 】

共通電極 4 1 上に、配向制御部として、複数の突起 4 2 が形成されている。突起 4 2 は共通電極 4 1 の表面からアレイ基板 1 側に突出している。突起 4 2 は、ストライプ状に形成され、ほぼ三角形の断面を有した凸部が第 2 方向 d 2 に延出して形成されている。突起 4 2 は第 1 方向 d 1 に間隔を置いて並んでいる。突起 4 2 は、画素電極 3 4 を第 1 方向 d 1 に 2 等分するように位置している。突起 4 2 は、対向した液晶層 3 の液晶分子の傾く方向を制御する機能を有している。共通電極 4 1 及び突起 4 2 上に、配向膜 4 3 が形成され

50

ている。ここで、配向膜 43 は、垂直配向膜である。

【0028】

アレイ基板 1 及び対向基板 2 は、複数の柱状スペーサにより、所定の隙間を保持して対向配置されている。アレイ基板 1 及び対向基板 2 は、表示領域 R1 外周の両基板間に配置されたシール材 60 により接合されている。液晶層 3 は、アレイ基板 1、対向基板 2 及びシール材 60 で囲まれた領域に形成されている。ここで、液晶層 3 は、誘電率異方性が負の液晶材料で形成されている。液晶層 3 は、液晶分子の配向が垂直配向となる垂直配向型である。シール材 60 の一部には液晶注入口 61 が形成され、この液晶注入口は封止材 62 で封止されている。

【0029】

バックライトユニット 7 は、導光板 7a と、この導光板の一側縁に対向配置された図示しない光源及び反射板とを有している。導光板 7a は、アレイ基板 1 に対向配置されている。液晶表示装置は、図示しないベゼル等も有している。

【0030】

次に、上記走査線 19 について詳細に説明する。

図 2、図 3 及び図 7 乃至図 9 に示すように、走査線 19 は、画素 13 の画素電極 34 に重ねられた走査電極 19a を有している。走査電極 19a は、突起 42 に重ねられた重畳部 19b を有している。走査電極 19a は、表示領域 R1 内に設けられた位置に応じて異なる面積を有している。より詳しくは、重畳部 19b は、表示領域 R1 内に設けられた位置に応じて異なる面積を有している。

【0031】

重畳部 19b を除く走査電極 19a の面積は、一定である。各走査電極 19b の面積は、走査線 19 に走査線駆動信号が入力される側で最も小さく、走査線駆動信号が伝送される第 1 方向 d1 に沿って次第に大きくなっている。

【0032】

図 2、図 3 及び図 9 に示すように、走査線 19 に走査線駆動信号が入力される側であり、走査線駆動信号が最初に入力される画素 13、すなわち、図 2 で言う表示領域 R1 の最も左側の画素 13 において、重畳部 19b の幅 W2 は $10\ \mu\text{m}$ であり、重畳部 19b の長さ L2 は $4\ \mu\text{m}$ である。なお、ここでの重畳部 19b の長さ L2 は、走査線 19 の幅と等しい。

【0033】

図 2、図 7 及び図 9 に示すように、表示領域 R1 の中央の画素 13 において、重畳部 19b の幅 W2 は $10\ \mu\text{m}$ であり、重畳部 19b の長さ L2 は $15\ \mu\text{m}$ である。

【0034】

図 2、図 8 及び図 9 に示すように、走査線 19 に走査線駆動信号が入力される側の反対側であり、走査線駆動信号が最後に入力される画素 13、すなわち、図 2 で言う表示領域 R1 の最も右側の画素 13 において、重畳部 19b の幅 W2 は $10\ \mu\text{m}$ であり、重畳部 19b の長さ L2 は $30\ \mu\text{m}$ である。

なお、各重畳部 19b の幅 W2 は、突起 42 の幅に対応している。ここでは、各重畳部 19b 全体が突起 42 に重なるよう、幅 W2 が規定されている。

【0035】

上述したように、各重畳部 19b の面積を異ならせることにより、各画素 13 における突き抜け電圧 ΔV_p を調整し、フリッカの発生を抑制するものである。次に、突き抜け電圧 ΔV_p について説明する。

【0036】

図 4 に示すように、走査線電圧の変動幅を ΔV_G 、ゲート電極 20 及び画素電極 34 間の容量を C_{GD} 、画素電極 34 及び共通電極 41 間の容量を C_{LC} 、補助容量素子 16 の容量を C_s とすると、突き抜け電圧 ΔV_p は、一般に、次の式 (1) で表される。

【0037】

$$\Delta V_p = \Delta V_G \cdot C_{GD} / (C_{LC} + C_s + C_{GD}) \dots (1)$$

10

20

30

40

50

表示領域 R 1 内の位置によって異なる突き抜け電圧 ΔV_p の調整は、表示領域 R 1 内の位置に応じて画素 1 3 のレイアウトを変化させて式 (1) の容量 C_{GD} 、容量 C_{lc} 及び容量 C_s の値を変化させることで行うことができる。

【 0 0 3 8 】

このうち、容量 C_{lc} の調整は、画素電極 3 4 (画素 1 3) の大きさを表示領域 R 1 内の位置によって変化させなくてはならず、非実用的である。また、容量 C_s の値を表示領域 R 1 内の位置によって変化させると、液晶表示装置の色調が表示領域 R 1 内で変化するという問題を惹起することになる。

【 0 0 3 9 】

容量 C_{GD} においては、TFT 1 4 の大きさを変えることで容量 C_{GD} を調整する方法が考えられる。しかし、一般に低温ポリシリコン技術を用いた TFT 1 4 では、大きさが画素 1 3 に比べて小さく、制御が難しい。このため、容量 C_{GD} は、表示領域 R 1 内の各画素 1 3 での突き抜け電圧 ΔV_p の制御に不向きである。

【 0 0 4 0 】

そこで、この実施の形態において、画素電極 3 4 に重なった走査線 1 9 の面積、すなわち、走査電極 1 9 a の面積を画素 1 3 毎に変えて、突き抜け電圧 ΔV_p を調整している。単に、画素 1 3 毎に走査電極 1 9 a (重畳部 1 9 b) の面積を変えると、表示領域 R 1 内で透過率に偏りが生じることになる。しかしながら、重畳部 1 9 b は、突起 4 2 に重なっている。突起 4 2 は、バックライト光を遮光するものである。表示領域 R 1 内の位置にかかわらず、各画素 1 3 の開口率を変化させずに揃えることができるため、表示領域 R 1 内の透過率の偏りを防止することができる。そして、フリッカの発生を抑制することができる。

【 0 0 4 1 】

上記のように構成された液晶表示装置によれば、走査線 1 9 は、画素電極 3 4 に重ねられた走査電極 1 9 a を有している。走査電極 1 9 a は、突起 4 2 に重ねられた重畳部 1 9 b を有している。重畳部 1 9 b は、表示領域 R 1 内に設けられた位置に応じて異なる面積を有している。各重畳部 1 9 b の面積は、走査線 1 9 に走査線駆動信号が入力される側で最も小さく、走査線駆動信号が伝送される第 1 方向 d 1 に沿って次第に大きくなっている。

【 0 0 4 2 】

これにより、各画素 1 3 の突き抜け電圧 ΔV_p が調整されるため、フリッカの発生を抑制することができる。この際、共通電極 4 1 の電位を調整することで、フリッカの発生を一層抑制することができる。また、画素 1 3 毎に重畳部 1 9 b の面積を変えても、各画素 1 3 の開口率を変化させずに揃えることができるため、表示領域 R 1 内の透過率の偏りを防止することができる。

上記のことから、フリッカの発生を抑制することができ、表示品位に優れた液晶表示装置を得ることができる。

【 0 0 4 3 】

次に、この発明の他の実施の形態に係る液晶表示装置について詳細に説明する。なお、この実施の形態において、他の構成は上述した実施の形態と同一であり、同一の部分には同一の符号を付してその詳細な説明を省略する。

【 0 0 4 4 】

図 1 0 に示すように、液晶表示装置は、突起 4 2 を有していない。液晶層 3 は、垂直配向型ではなく、例えば TN (Twisted Nematic) 型である。配向膜 3 7、4 3 は、垂直配向膜ではなく、配向処理 (ラビング) が施された配向膜である。

【 0 0 4 5 】

アレイ基板は、複数のダミー電極 9 を有している。ダミー電極 9 は、画素 1 3 の画素電極 3 4 に重ねられ、走査電極 1 9 a から外れて位置している。ダミー電極 9 は、ゲート絶縁膜 1 8 上に、走査線 1 9、ゲート電極 2 0 及び補助容量線 2 1 と同一材料で同時に形成されている。

10

20

30

40

50

【 0 0 4 6 】

ここでは、ダミー電極 9 は、重畳部 1 9 b に $4 \mu\text{m}$ 程度の間隔を置いて位置している。各画素 1 3 の画素電極 3 4 に重なった重畳部 1 9 b の面積及びダミー電極 9 の面積の和は、一定である。

【 0 0 4 7 】

上記のように突起 4 2 を設けずに液晶表示装置を構成した場合でも、ダミー電極 9 を設けることにより、重畳部 1 9 b の面積及びダミー電極 9 の面積の和は常に一定であるため、画素 1 3 毎に重畳部 1 9 b の面積を変えても、各画素 1 3 の開口率は変化しない。したがって、表示領域 R 1 内での透過率の偏りを防止することができる。また、本実施の形態においても、画素 1 3 毎の重畳部 1 9 b の面積を変えることにより、各画素 1 3 の突き抜け電圧 ΔV_p が調整されるため、フリッカの発生を抑制することができ、表示品位に優れた液晶表示装置を得ることができる。

【 0 0 4 8 】

なお、この発明は上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化可能である。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] 第 1 方向に延出した複数の信号線と、前記第 1 方向に直交した第 2 方向に延出した複数の走査線と、前記複数の信号線及び複数の走査線が交差した表示領域内に設けられた複数の画素と、を有したアレイ基板と、

前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持された液晶層と、を備え、

前記複数の画素は、前記信号線及び走査線の交差部近傍に設けられたスイッチング素子と、前記スイッチング素子に電気的に接続され前記走査線に重なった画素電極と、をそれぞれ有し、

前記複数の走査線は、前記複数の画素の画素電極に重ねられた複数の走査電極を有し、

前記複数の走査電極は、前記表示領域内に設けられた位置に応じて異なる面積を有している液晶表示装置。

[2] 前記アレイ基板は、前記複数の画素の画素電極に重ねられ、前記複数の走査電極から外れて位置した複数のダミー電極を有し、

各画素の画素電極に重なった前記走査電極の面積及びダミー電極の面積の和は、一定である [1] に記載の液晶表示装置。

[3] 前記アレイ基板及び対向基板の少なくとも何れか一方に設けられ、前記複数の画素の前記画素電極に重ねられ、前記液晶層の複数の液晶分子の配向状態を制御する配向制御部をさらに備え、

前記液晶層は、誘電率異方性が負の液晶材料で形成され、

前記複数の走査電極は、前記配向制御部に重ねられた複数の重畳部を有し、

前記複数の重畳部は、前記表示領域内に設けられた位置に応じて異なる面積を有している [1] に記載の液晶表示装置。

[4] 前記重畳部を除く前記走査電極の面積は、一定である [3] に記載の液晶表示装置。

[5] 各走査電極の面積は、前記走査線に走査線駆動信号が入力される側で最も小さく、前記走査線駆動信号が伝送される方向に沿って次第に大きくなる [1] に記載の液晶表示装置。

[6] 前記アレイ基板は、前記第 2 方向に延出した複数の補助容量線をさらに有し、

前記複数の画素は、前記補助容量線に絶縁膜を介して対向配置され、前記画素電極に電気的に接続された補助容量電極を含んだ補助容量素子をそれぞれさらに有している [1] に記載の液晶表示装置。

【図面の簡単な説明】

【 0 0 4 9 】

【図 1】本発明の実施の形態に係る液晶表示装置の斜視図。

【図 2】図 1 に示したアレイ基板の平面図。

【図 3】図 1 及び図 2 に示したアレイ基板の画素の配線構造を示す拡大平面図であり、特に、表示領域の最も左側の画素を示す図。

【図 4】図 2 及び図 3 に示した画素の等価回路図。

【図 5】図 3 に示したアレイ基板を備えた液晶表示パネルの線 A - A 断面図。

【図 6】図 3 に示したアレイ基板を備えた液晶表示パネルの線 B - B 断面図。

【図 7】上記画素の配線構造を示す拡大平面図であり、特に、表示領域の中央の画素を示す図。 10

【図 8】上記画素の配線構造を示す拡大平面図であり、特に、表示領域の最も右側の画素を示す図。

【図 9】図 3 に示した表示領域の最も左側の画素、図 7 に示した表示領域の中央の画素及び図 8 に示した表示領域の最も右側の画素を並べて示した平面図であり、特に、走査線、信号線及び突起を示す図。

【図 10】本発明の他の実施の形態に係る液晶表示装置の液晶表示パネルの平面図であり、上記表示領域の最も左側の画素、表示領域の中央の画素及び表示領域の最も右側の画素を並べて示した平面図であり、特に、走査線、信号線及びダミー電極を示す図。 20

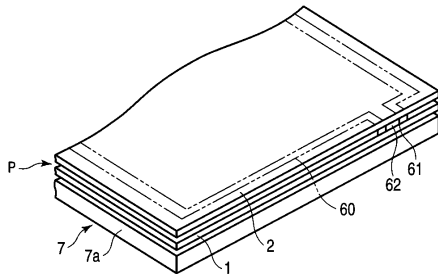
【符号の説明】

【 0 0 5 0 】

1 ... アレイ基板、2 ... 対向基板、3 ... 液晶層、4 ... 走査線駆動回路、9 ... ダミー電極、
 10 ... ガラス基板、13 ... 画素、14 ... TFT、15 ... チャネル層、16 ... 補助容量素子、
 17 ... 補助容量電極、18 ... ゲート絶縁膜、19 ... 走査線、19a ... 走査電極、19b ... 重畳部、
 20 ... ゲート電極、21 ... 補助容量線、27 ... 信号線、34 ... 画素電極、37 ... 配向膜、
 40 ... ガラス基板、41 ... 共通電極、42 ... 突起、43 ... 配向膜、50 ... カラーフィルタ、
 P ... 液晶表示パネル、R1 ... 表示領域、d1 ... 第1方向、d2 ... 第2方向、RS ... ソース領域、
 RD ... ドレイン領域、 ΔV_p ... 突き抜け電圧、 ΔV_G ... 変動幅、 C_G 、 C_{1c} 、 C_s ... 容量。

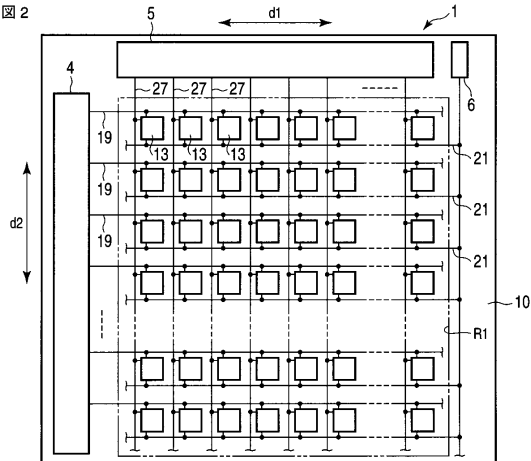
【図 1】

図 1



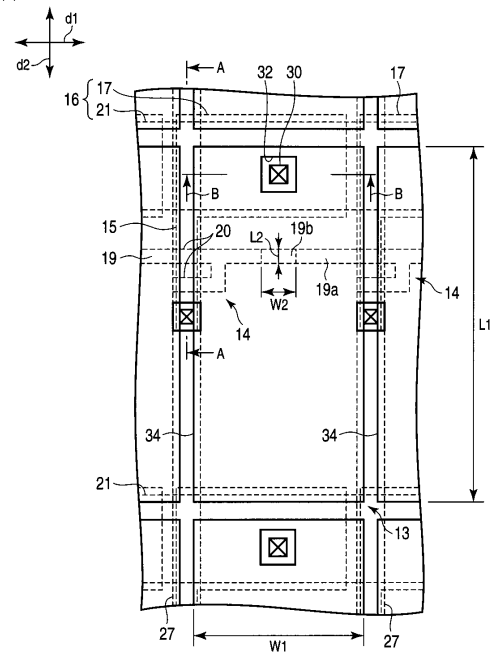
【図 2】

図 2



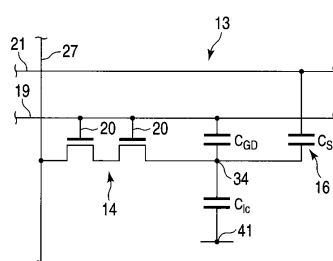
【図 3】

図 3



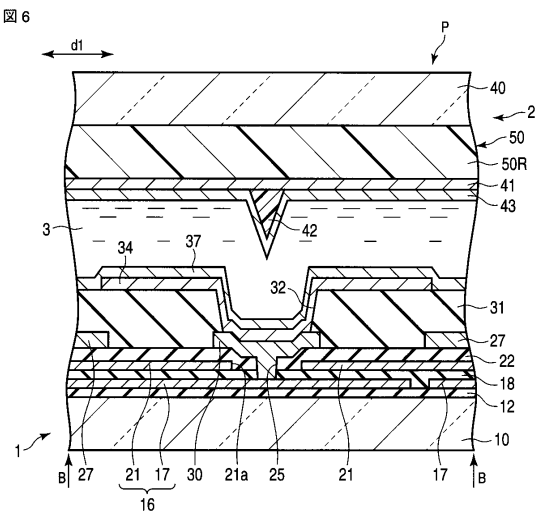
【図 4】

図 4



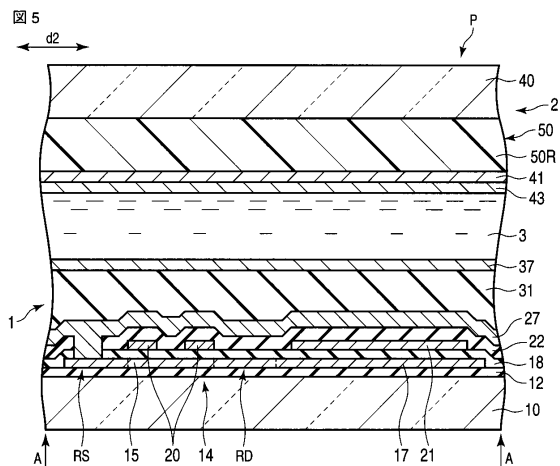
【図 6】

図 6



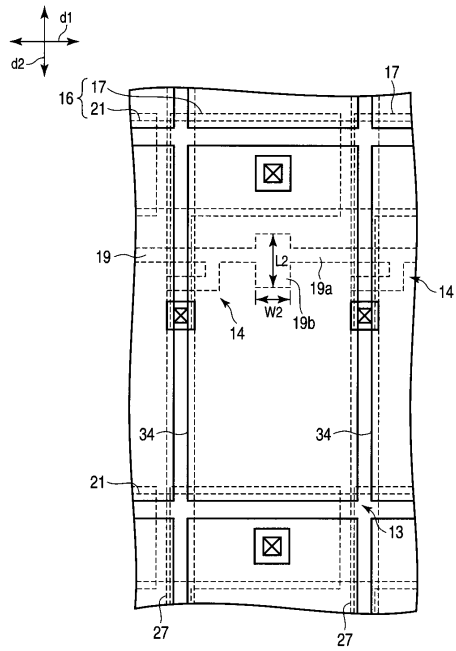
【図 5】

図 5



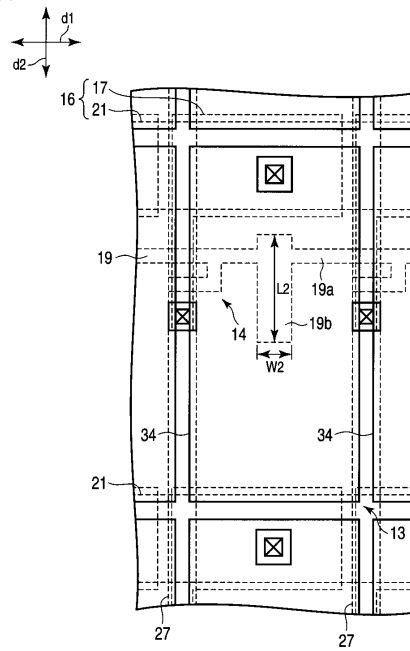
【図 7】

図 7



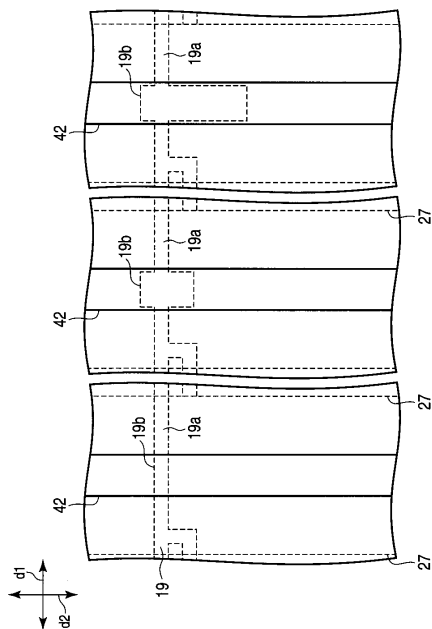
【図 8】

図 8



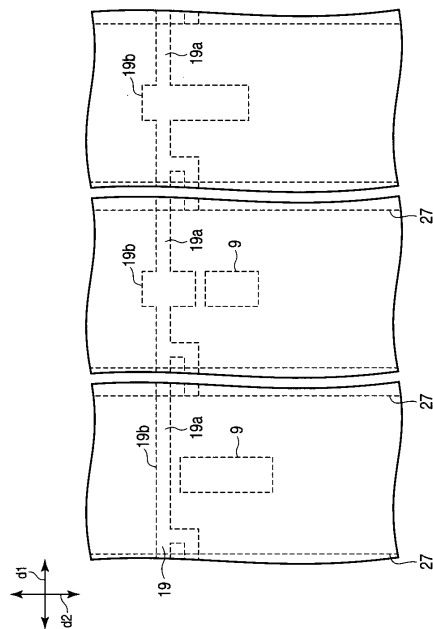
【図 9】

図 9



【図 10】

図 10



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 保科 克浩
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 飯塚 哲也
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

審査官 小林 俊久

- (56)参考文献 特開平 1 1 - 0 8 4 4 2 8 (J P , A)
特開 2 0 0 0 - 0 0 2 8 8 9 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5525705B2	公开(公告)日	2014-06-18
申请号	JP2008186265	申请日	2008-07-17
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	保科克浩 飯塚哲也		
发明人	保科 克浩 飯塚 哲也		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1333.505		
F-TERM分类号	2H090/HA16 2H090/HB07Y 2H090/HC06 2H090/HC10 2H090/HD14 2H090/JA03 2H090/JA05 2H090/KA07 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA13 2H090/MB14 2H092/GA13 2H092/GA15 2H092/GA17 2H092/GA25 2H092/GA26 2H092/GA61 2H092/HA02 2H092/HA06 2H092/JA24 2H092/JA38 2H092/JB05 2H092/JB06 2H092/JB23 2H092/JB25 2H092/JB56 2H092/JB65 2H092/JB68 2H092/JB69 2H092/KB25 2H092/NA01 2H092/NA11 2H092/PA06 2H092/PA07 2H092/PA09 2H190/HC06 2H190/HC10 2H190/JA03 2H190/JA05 2H190/KA07 2H190/LA01 2H190/LA04 2H190/LA22 2H190/LA25 2H192/AA24 2H192/AA42 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB34 2H192/CC17 2H192/DA12 2H192/DA44 2H192/EA04 2H192/EA43 2H192/GD14 2H192/JA06		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP2010026170A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制闪烁的发生并且显示质量优异的液晶显示装置。一种液晶显示装置，包括阵列基板，所述阵列基板包括多条信号线27，多条扫描线19，设置在显示区域中的多个像素，对置基板和液晶层它提供。多个像素均具有开关元件和像素电极，像素电极电连接到开关元件并与扫描线19重叠。多条扫描线19具有叠加在多个像素的像素电极上的多个扫描电极19a。多个扫描电极扫描电极19a根据显示区域中提供的位置而具有不同的区域。 9系统技术领域

【图 3】

