

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5329169号
(P5329169)

(45) 発行日 平成25年10月30日(2013.10.30)

(24) 登録日 平成25年8月2日(2013.8.2)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1335 (2006.01) GO2F 1/1335 505

請求項の数 12 (全 21 頁)

<p>(21) 出願番号 特願2008-265105 (P2008-265105) (22) 出願日 平成20年10月14日(2008.10.14) (65) 公開番号 特開2009-139929 (P2009-139929A) (43) 公開日 平成21年6月25日(2009.6.25) 審査請求日 平成23年9月6日(2011.9.6) (31) 優先権主張番号 10-2007-0124739 (32) 優先日 平成19年12月4日(2007.12.4) (33) 優先権主張国 韓国(KR)</p>	<p>(73) 特許権者 512187343 三星ディスプレイ株式会社 Samsung Display Co., Ltd. 大韓民国京畿道龍仁市器興区三星二路95 95, Samsung 2 Ro, Gih eung-Gu, Yongin-City , Gyeonggi-Do, Korea (74) 代理人 110000408 特許業務法人高橋・林アンドパートナーズ (72) 発明者 嚴 允 成 大韓民国京畿道龍仁市水枝區サンヒョン洞 サンヒョンマウル雙龍2次アパートメン ト216棟 1702号</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 薄膜トランジスタ基板及びこれを含む液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第nゲートライン及び第mデータラインに接続された第1及び第2薄膜トランジスタと

、
 前記第1及び第2薄膜トランジスタに各々接続された第1及び第2サブ画素電極と、
 第n+1ゲートラインに接続されたゲート電極、前記ゲート電極と重畳する半導体層、
 前記第2サブ画素電極に接続され前記ゲート電極と部分的に重畳するソース電極、及び前
 記ソース電極と対向するドレイン電極を含む第3薄膜トランジスタと、

前記第1及び第2サブ画素電極と同一層に形成され、前記ドレイン電極に接続された第
 1補助電極と、前記ゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して
 前記第1補助電極と少なくとも一部分が重畳する対向電極と、を含むダウンキャパシタと

10

、
前記第3薄膜トランジスタのドレイン電極と前記第1サブ画素電極との間に形成された
 アップキャパシタと、

を含むことを特徴とする薄膜トランジスタ基板。

【請求項2】

第nゲートライン及び第mデータラインに接続された第1及び第2薄膜トランジスタと

、
 前記第1及び第2薄膜トランジスタに各々接続された第1及び第2サブ画素電極と、
 第n+1ゲートラインに接続されたゲート電極、前記ゲート電極と重畳する半導体層、

20

前記第 2 サブ画素電極に接続され前記ゲート電極と部分的に重畳するソース電極、及び前記ソース電極と対向するドレイン電極を含む第 3 薄膜トランジスタと、

前記第 1 及び第 2 サブ画素電極と同一層に形成され、前記ドレイン電極に接続された第 1 補助電極と、前記ゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して前記第 1 補助電極と少なくとも一部分が重畳する対向電極と、を含むダウンキャパシタと

、
前記第 3 薄膜トランジスタのドレイン電極に接続された第 2 補助電極と前記第 1 サブ画素電極との間に形成されたアップキャパシタと、

を含むことを特徴とする薄膜トランジスタ基板。

【請求項 3】

前記対向電極はストレージラインに接続されることを特徴とする請求項 1 又は請求項 2 に記載の薄膜トランジスタ基板。

【請求項 4】

前記アップキャパシタは、前記ドレイン電極と前記第 1 サブ画素電極の間に配置された少なくとも一つの絶縁層と共に前記第 1 サブ画素電極と重畳するように拡張された前記ドレイン電極を含むことを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 5】

前記アップキャパシタは、少なくとも一つの絶縁層を介して前記第 1 サブ画素電極と少なくとも一部分が重畳する前記第 2 補助電極を含み、前記第 2 補助電極は実質的に前記ゲートラインと同一層に形成されることを特徴とする請求項 2 に記載の薄膜トランジスタ基板。

【請求項 6】

前記少なくとも一つの絶縁層は、無機層及び有機層を含む二重層であることを特徴とする請求項 1 又は請求項 2 に記載の薄膜トランジスタ基板。

【請求項 7】

前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ及び前記第 3 薄膜トランジスタは、前記半導体層がチャンネル領域を除いて前記ソース電極及び前記ドレイン電極に重畳することを特徴とする請求項 1 又は請求項 2 に記載の薄膜トランジスタ基板。

【請求項 8】

第 1 基板と、

前記第 1 基板に対向して配置され、カラーフィルタを含む第 2 基板と、

前記第 1 基板と前記第 2 基板の間に介在した液晶層と、を含み、

前記第 1 基板は、

第 n ゲートライン及び第 m データラインに接続された第 1 及び第 2 薄膜トランジスタと

、
前記第 1 及び第 2 薄膜トランジスタに各々接続された第 1 及び第 2 サブ画素電極と、

第 n + 1 ゲートラインに接続されたゲート電極、前記ゲート電極と重畳する半導体層、前記第 2 サブ画素電極に接続され前記ゲート電極と部分的に重畳するソース電極、及び前記ソース電極と対向するドレイン電極を含む第 3 薄膜トランジスタと、

前記第 1 及び第 2 サブ画素電極と同一層に形成され、前記ドレイン電極に接続された第 1 補助電極と、前記ゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して前記第 1 補助電極と少なくとも一部分が重畳する対向電極と、を含むダウンキャパシタと

、
前記第 3 薄膜トランジスタのドレイン電極と前記第 1 サブ画素電極との間に形成されたアップキャパシタと、

を含むことを特徴とする液晶表示装置。

【請求項 9】

第 1 基板と、

前記第 1 基板に対向して配置され、カラーフィルタを含む第 2 基板と、

前記第 1 基板と前記第 2 基板の間に介在した液晶層と、を含み、

10

20

30

40

50

前記第 1 基板は、

第 n ゲートライン及び第 m データラインに接続された第 1 及び第 2 薄膜トランジスタと

、
前記第 1 及び第 2 薄膜トランジスタに各々接続された第 1 及び第 2 サブ画素電極と、
第 n + 1 ゲートラインに接続されたゲート電極、前記ゲート電極と重畳する半導体層、
前記第 2 サブ画素電極に接続され前記ゲート電極と部分的に重畳するソース電極、及び前
記ソース電極と対向するドレイン電極を含む第 3 薄膜トランジスタと、

前記第 1 及び第 2 サブ画素電極と同一層に形成され、前記ドレイン電極に接続された第
1 補助電極と、前記ゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して
前記第 1 補助電極と少なくとも一部分が重畳する対向電極と、を含むダウンキャパシタと

10

、
前記第 3 薄膜トランジスタのドレイン電極に接続された第 2 補助電極と前記第 1 サブ画
素電極との間に形成されたアップキャパシタと、

を含むことを特徴とする液晶表示装置。

【請求項 10】

前記対向電極はストレージラインに接続されることを特徴とする請求項 8 又は請求項 9
に記載の液晶表示装置。

【請求項 11】

前記アップキャパシタは、前記ドレイン電極と前記第 1 サブ画素電極の間に配置された
少なくとも一つの絶縁層と共に前記第 1 サブ画素電極と重畳するように拡張された前記ド
レイン電極を含むことを特徴とする請求項 8 に記載の液晶表示装置。

20

【請求項 12】

前記アップキャパシタは、少なくとも一つの絶縁層を介して前記第 1 サブ画素電極と少
なくとも一部分が重畳する前記第 2 補助電極を含み、前記第 2 補助電極は実質的に前記ゲ
ートラインと同一層に形成されることを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板、これを含む液晶表示装置及びその製造方法に関し、
さらに詳細には、側面視認性を改善できる薄膜トランジスタ基板、これを含む液晶表示装
置及びその製造方法に関する。

30

【背景技術】

【0002】

移動通信端末、テレビジョン及びノートパソコンなどの様々な電子機器は、映像を表示
するための表示装置を含む。かかる電子機器には様々な種類の表示装置を使用することが
できるが、電子機器の特性上、平板形状を有するフラットパネルディスプレイが主に使用
される。

【0003】

液晶表示装置は、現在最も広く使用されている平板表示装置の一つであって、画素電極
と共通電極などの電界生成電極が形成されている二枚の基板と、その間に挿入されている
液晶層とを含む。かかる液晶表示装置において、画面を見る位置によってイメージが歪
んで見える側面視認性の限界を解消するために、広視野角技術が発展している。

40

【0004】

液晶表示装置の代表的な広視野角技術には垂直配向 (Vertical Alignment: 以下、VA) モードが用いられる。VA モードは、負の誘電率異方性を有する液
晶分子が基板に対して垂直に配向され、電界方向に対して垂直に駆動されて光透過率を調
節する。VA モードは、液晶パネルの上/下板の共通電極及び画素電極にスリットまたは
突起などを形成して、スリットまたは突起などによって発生されたフリンジ電界 (Fringe Electric Field) を利用して液晶分子を対称的に駆動することに

50

より、広い視野角を具現する。

【0005】

一方、側面視認性を改善するために、一つの画素電極を二つのサブ画素電極に分割し、互いに異なる階調の電圧を印加する構造が使用されている。このとき、各サブ画素電極に互いに異なる階調の電圧を印加する構造に関しては、工程数の減少及び原価節減を達成できるように様々な方法で製造するために、活発な研究が行われている。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の解決しようとする課題は、側面視認性を改善し、原価を節減することのできる薄膜トランジスタ基板、これを含む液晶表示装置及びその製造方法を提供することにある。

10

【0007】

なお、本発明の解決しようとする課題は、上記に言及された解決課題に限定されず、言及されない他の解決課題は下記の記載から当業者によって明確に理解されることができるであろう。

【課題を解決するための手段】

【0008】

上記課題を達成すべく、本発明による薄膜トランジスタ基板は、第1乃至第3薄膜トランジスタと、第1及び第2サブ画素電極と、第1補助電極と、対向電極とを含む。第1及び第2薄膜トランジスタは、第nゲートライン及び第mデータラインに接続され、第1及び第2サブ画素電極は、それぞれ第1及び第2薄膜トランジスタに接続される。第3薄膜トランジスタは、第n+1ゲートラインに接続されたゲート電極、ゲート電極と重畳(オーバーラップ)する半導体層、第2サブ画素電極に接続されゲート電極と一部分が重畳するソース電極、及びソース電極と対向するドレイン電極を含む。第1補助電極はドレイン電極に接続され、第1及び第2サブ画素電極と同一層に形成される。対向電極はゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して第1補助電極と少なくとも一部分が重畳する。ダウンキャパシタは前記第1補助電極と前記対向電極とを含む。アップキャパシタは前記第3薄膜トランジスタのドレイン電極と前記第1サブ画素電極との間に形成される。

20

30

【0009】

さらに、上記課題を達成すべく、本発明による薄膜トランジスタ基板は、第1乃至第3薄膜トランジスタと、第1及び第2サブ画素電極と、第1及び第2補助電極と、対向電極とを含む。第1及び第2薄膜トランジスタは、第nゲートライン及び第mデータラインに接続され、第1及び第2サブ画素電極は、それぞれ第1及び第2薄膜トランジスタに接続される。第3薄膜トランジスタは、第n+1ゲートラインに接続されたゲート電極、ゲート電極と重畳する半導体層、第2サブ画素電極に接続されゲート電極と一部分が重畳するソース電極、及びソース電極と対向するドレイン電極を含む。第1補助電極はドレイン電極に接続され、第1及び第2サブ画素電極と同一層に形成される。対向電極はゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して第1補助電極と少なくとも一部分が重畳する。ダウンキャパシタは前記第1補助電極と前記対向電極とを含む。アップキャパシタは前記第3薄膜トランジスタのドレイン電極に接続された第2補助電極と前記第1サブ画素電極との間に形成される。

40

【0010】

また、上記課題を達成すべく、本発明による液晶表示装置は、第1基板と第2基板とこれらの間に介在した液晶層とを含む。第1基板は、第1乃至第3薄膜トランジスタと、第1及び第2サブ画素電極と、第1補助電極と、対向電極とを含む。第1及び第2薄膜トランジスタは第nゲートライン及び第mデータラインに接続され、第1及び第2サブ画素電

50

極はそれぞれ第1及び第2薄膜トランジスタに接続される。第3薄膜トランジスタは、第 $n+1$ ゲートラインに接続されたゲート電極、ゲート電極と重畳する半導体層、第2サブ画素電極に接続されゲート電極と一部分が重畳するソース電極、及びソース電極と対向するドレイン電極を含む。第1補助電極はドレイン電極に接続され、第1及び第2サブ画素電極と同一層に形成される。対向電極はゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して第1補助電極と少なくとも一部分が重畳する。ダウンキャパシタは前記第1補助電極と前記対向電極とを含む。アップキャパシタは前記第3薄膜トランジスタのドレイン電極と前記第1サブ画素電極との間に形成される。

【0011】

さらに、上記課題を達成すべく、本発明による液晶表示装置は、第1基板と第2基板とこれらの間に介在した液晶層とを含む。第1基板は、第1乃至第3薄膜トランジスタと、第1及び第2サブ画素電極と、第1及び第2補助電極と、対向電極とを含む。第1及び第2薄膜トランジスタは第 n ゲートライン及び第 m データラインに接続され、第1及び第2サブ画素電極はそれぞれ第1及び第2薄膜トランジスタに接続される。第3薄膜トランジスタは、第 $n+1$ ゲートラインに接続されたゲート電極、ゲート電極と重畳する半導体層、第2サブ画素電極に接続されゲート電極と一部分が重畳するソース電極、及びソース電極と対向するドレイン電極を含む。第1補助電極はドレイン電極に接続され、第1及び第2サブ画素電極と同一層に形成される。対向電極はゲートラインと同一層に形成され、少なくとも一つの絶縁層を介して第1補助電極と少なくとも一部分が重畳する。ダウンキャ
パシタは前記第1補助電極と前記対向電極とを含む。アップキャパシタは前記第3薄膜トランジスタのドレイン電極に接続された第2補助電極と前記第1サブ画素電極との間に形成される。

【0012】

また、上記課題を達成すべく、本発明による薄膜トランジスタ基板の製造方法は、第1マスク工程によりゲートパターンを形成するステップと、ゲートパターンの上部にゲート絶縁層を形成するステップと、ゲート絶縁層の上部に不純物がドーピングされたアモルファスシリコン層を形成するステップと、第2マスク工程によりデータパターンを形成するステップと、第3マスク工程により少なくとも一つの保護層を形成するステップと、第4
マスク工程により第1サブ画素電極、第2サブ画素電極及び第1補助電極を形成するステップとを含む。ゲートパターンは、ゲートライン、第1ゲート電極、第2ゲート電極、第3ゲート電極、ストレージライン及び対向電極を含み、データパターンは、データライン、第1ソース電極、第2ソース電極、第3ソース電極、第1ドレイン電極、第2ドレイン電極及び第3ドレイン電極を含む。第1補助電極は、ゲート絶縁層と少なくとも一つの保護層を介して対向電極と少なくとも一部分が重畳する。

【0013】

前記目的の他に、本発明の他の目的及び特徴は、添付の図面の参照及び以下の説明を通じて明白になるであろう。

【発明の効果】

【0014】

本発明によれば、一つの画素電極を二つのサブ画素電極に分割し、互いに異なる階調の電圧を印加することにより、側面視認性を向上させることができ、ストレージラインを補助電極及び第1サブ画素電極と重畳するように形成することにより、4マスク工程で電圧ダウンキャパシタ及び電圧アップキャパシタを形成することができるため、工程数を減少させることにより製造時間を減らし、原価を節減して、生産性を向上させることができる。薄膜トランジスタ基板、これを含む液晶表示装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0015】

本発明の属する技術分野における通常の知識を有する者が容易に実施することができるように、本発明の実施の形態を添付の図面を参照して詳細に説明する。図面では、多数の層及び領域を明確に表現するために、厚さを拡大して示した。なお、明細書全体において類似する部分については同じ参照符号を付している。

【0016】

図1は、本発明の実施の形態による液晶表示装置の第n画素領域を示す等価回路図である。

【0017】

図1を参照すると、画素領域は、第1及び第2サブ画素領域P1、P2と、第nゲートラインGLn及び第mデータラインDLmに接続された第1及び第2薄膜トランジスタTn1、Tn2とを含む。そして、画素領域は、第n+1ゲートラインGLn+1に接続された第3薄膜トランジスタTn3と、第3薄膜トランジスタTn3に接続されて第1及び第2サブ画素領域P1、P2に充電される電圧を調節する電圧アップキャパシタCup及び電圧ダウンキャパシタCdownとを含む。

【0018】

第1サブ画素領域P1は、第1薄膜トランジスタTn1に接続された第1液晶キャパシタH_{Clc}及び第1ストレージキャパシタH_{Cst}を含む。第2サブ画素領域P2は、第2薄膜トランジスタTn2に接続された第2液晶キャパシタL_{Clc}及び第2ストレージキャパシタL_{Cst}を含む。

【0019】

第1及び第2薄膜トランジスタTn1、Tn2は、共通の第nゲートラインGLn及び第mデータラインDLmにそれぞれ接続される。これにより、第1及び第2薄膜トランジスタTn1、Tn2は、第nゲートラインGLnにゲートオン電圧が印加されると同時にターンオンされ、第mデータラインDLmに供給されるデータ電圧を同時に第1及び第2サブ画素領域P1、P2に供給する。このとき、第1及び第2サブ画素領域P1、P2には、同じデータ電圧が充電される。

【0020】

第3薄膜トランジスタTn3は、第n+1ゲートラインGLn+1、第2薄膜トランジスタTn2及び電圧ダウンキャパシタCdownに接続される。これにより、第3薄膜トランジスタTn3は、第n+1ゲートラインGLn+1にゲートオン電圧が印加されるとターンオンされ、第2薄膜トランジスタTn2のドレイン電極と電圧ダウンキャパシタCdownとが電荷共有(charge share)により、第2サブ画素領域P2に充電される電圧レベルを低下させる。

【0021】

従って、第1サブ画素領域P1に充電された電圧と、第2サブ画素領域P2に充電された電圧とは、互いに異なる値を有するようになる。ここで、第2サブ画素領域P2に充電される電圧は、第1サブ画素領域P1に充電される電圧よりも低いレベルの電圧実効値を有する。このとき、画素領域の側面視認性をさらに向上させるために、第1サブ画素領域P1に充電される電圧のレベルを上昇させることができる。このために、第1サブ画素領域P1に充電される電圧レベルを上昇させる電圧アップキャパシタCupが形成される。

【0022】

電圧アップキャパシタCupは、電圧ダウンキャパシタCdownと第1薄膜トランジスタTn1との間に接続される。ここで、電圧アップキャパシタCupは、電圧ダウンキャパシタCdownとの電荷共有により、第1サブ画素領域P1に充電される電圧レベルを上昇させる。

【0023】

以下、図2及び図3を参照して本発明の一実施の形態による薄膜トランジスタ基板を詳細に説明する。

【0024】

図2は、本発明の一実施の形態による薄膜トランジスタ基板の画素領域を説明するため

10

20

30

40

50

に図示した平面図であり、図3は、図2に図示された指示線I - I'線に沿う薄膜トランジスタ基板の断面図である。

【0025】

図2及び図3を参照して分かる通り、本発明の実施の形態による液晶表示装置50は、薄膜トランジスタ基板100、カラーフィルタ基板200及び液晶層300を含む。

【0026】

薄膜トランジスタ基板100は、第1絶縁基板110と、ゲートライン120a、120bと、ストレージライン125と、対向電極126と、データライン160と、第1及び第2薄膜トランジスタTn1、Tn2と、第1及び第2サブ画素電極191、192と、第3薄膜トランジスタTn3と、第1補助電極193とを含む。

10

【0027】

具体的に、第1絶縁基板110は、透明なガラスまたはプラスチックなどの絶縁材質で形成される。

【0028】

ゲートライン120a、120bは、第1絶縁基板110の横方向に延長され、複数形成される。

【0029】

ストレージライン125は、ゲートライン120a、120bの間でゲートライン120a、120bと同一層に形成される。ここで、ストレージライン125は画素領域で様々な形状に形成されてもよい。例えば、ストレージライン125はデータライン160に隣接して平行に形成される縦部と、縦部を連結する「<」形状の斜線部と、ゲートライン120a、120bに隣接して縦部を接続する拡張部とを含んでもよい。

20

【0030】

対向電極126は、ストレージライン125と電氣的に接続されるようにストレージライン125の一部分に形成される。

【0031】

データライン160は、ゲートライン120a、120bに対して垂直に形成され、ゲート絶縁層130によって絶縁される。

【0032】

第1薄膜トランジスタTn1は、第1ゲート電極121、第1半導体層141、第1オーミックコンタクト層151、第1ソース電極161及び第1ドレイン電極162を含む。第2薄膜トランジスタTn2は、第2ゲート電極122、第2半導体層142、第2オーミックコンタクト層152、第2ソース電極163及び第2ドレイン電極164を含む。

30

【0033】

ここで、第1ゲート電極121と第2ゲート電極122は、共にゲートライン120aに接続されることができる。そして、ゲート絶縁層130の上部に、第1及び第2ゲート電極122それぞれと重畳するように第1及び第2半導体層141、142が形成される。このとき、第1及び第2半導体層141、142は、アモルファスシリコン(a-Si)で形成されても良い。そして、第1及び第2半導体層141、142は、ポリシリコン(p-Si)で形成されても良い。第1及び第2オーミックコンタクト層151、152は、第1及び第2半導体層141、142の上にドーピングされたアモルファスシリコンで形成されても良い。

40

【0034】

第1及び第2ソース電極161、163は、第1及び第2半導体層141、142上にデータライン160と接続されるように形成される。このとき、第2ソース電極163は第1ソース電極161と互いに隣接するように形成されてもよい。第1及び第2ソース電極161、163それぞれは、第1及び第2ゲート電極121、122と重畳するように形成されてもよい。

【0035】

50

第1ドレイン電極162は第1ソース電極161と対向して形成され、第1オーミックコンタクト層151を介して第1半導体層141に接続される。そして、第1ドレイン電極162は、第1コンタクトホール181を介して第1サブ画素電極191に接続される。第2ドレイン電極164は第2ソース電極163と対向して形成され、第2オーミックコンタクト層152を介して第2半導体層142に接続される。そして、第2ドレイン電極164は第2コンタクトホール182を介して第2サブ画素電極192に接続される。

【0036】

第3薄膜トランジスタ T_n3 は、第3ゲート電極123、第3半導体層143、第3オーミックコンタクト層153、第3ソース電極165及び第3ドレイン電極166を含む。

【0037】

第3ゲート電極123はゲートライン120bに接続される。このとき、第3ゲート電極123は、開口率の低下を防止するために、ゲートライン120bの一部に形成してもよい。第3半導体層143は、ゲート絶縁層130上に第3ゲート電極123と重畳するように形成される。第3半導体層143には、アモルファスシリコン(a-Si)またはポリシリコン(p-Si)を使用してもよい。

【0038】

第3ソース電極165は、第3ゲート電極123及び第3半導体層143と重畳するように形成される。そして、第3ソース電極165は、第3オーミックコンタクト層153を介して第3半導体層143に接続され、第3コンタクトホール183を介して第2サブ画素電極192に接続される。第3ドレイン電極166は、第3ソース電極165に対向して形成され、第3ゲート電極123及び第3半導体層143と重畳するように形成される。そして、第3ドレイン電極166は、第1サブ画素電極191と重畳するように形成される。そして、第3ドレイン電極166は、第4コンタクトホール184を介して第1補助電極193と接続される。

【0039】

保護層171、172は、ゲート絶縁層130、データライン160、第1乃至第3ソース電極161、163、165及び第1乃至第3ドレイン電極162、164、166上に形成される。ここで、第1保護層171が無機物質で形成され、第2保護層172が有機物質で形成されるか、または第1保護層171及び第2保護層172の両方が無機物質で形成されてもよい。第1保護層171は、窒化シリコン(SiN_x)または酸化シリコン(SiO_x)を含んでもよい。第2保護層172は、アクリロイル(acryloyl)、ポリイミド(polyimide)、BCB(benzocyclobutene)のうち少なくとも一つを含んでもよい。第1保護層171及び第2保護層172は、それぞれ第1乃至第3薄膜トランジスタ T_n1 、 T_n2 、 T_n3 を保護するために重畳し、オフ特性及び開口率を向上させる。

【0040】

第1サブ画素電極191は保護層171、172上に形成され、第1コンタクトホール181を介して第1ドレイン電極162に接続される。そして、第1サブ画素電極191は、ストレージライン125と少なくとも一部分が重畳するように形成され、第1ストレージキャパシタ H_{Cst} を形成する。第1サブ画素電極191は、透明な導電物質であるインジウム錫酸化物(Indium Tin Oxide:以下、ITOとする)、インジウム亜鉛酸化物(Indium Zinc Oxide:以下、IZOとする)、インジウム錫亜鉛酸化物(Indium Tin Zinc Oxide:以下、ITZOとする)などを使用して形成してもよい。このとき、第1サブ画素電極191は、画素領域内で「V」形状に形成されてもよい。

【0041】

ここで、第1サブ画素電極191は、保護層171、172を介して第3ドレイン電極166と少なくとも一部分が重畳して、電圧アップキャパシタ C_{up} を形成する。第1サブ画素電極191は第1ドレイン電極162に接続することができ、電圧アップキャパシ

10

20

30

40

50

タ Cup を形成するために、第 1 ドレイン電極 162 と同一層に配列されたドレイン電極パターンと少なくとも一部分が重畳してもよい。

【0042】

第 2 サブ画素電極 192 は保護層 171、172 上に形成され、第 2 コンタクトホール 182 を介して第 2 ドレイン電極 164 に接続され、第 3 コンタクトホール 183 を介して第 3 ソース電極 165 に接続される。そして、第 2 サブ画素電極 192 はストレージライン 125 と少なくとも一部分が重畳するように形成され、第 2 ストレージキャパシタ L_{Cst} を形成する。ここで、第 2 サブ画素電極 192 は、第 1 サブ画素電極 191 と同様に、透明な導電物質である ITO、IZO、ITZO など形成されてもよい。このとき、第 2 サブ画素電極 192 は、画素領域内で「V」形状に形成されてもよい。

10

【0043】

ここで、第 1 及び第 2 サブ画素電極 191、192 は切開部 194 を介して分離される。このとき、切開部 194 はストレージライン 125 と重畳するように形成されることで、切開部 194 で発生する光漏れを防止することができる。そして、第 1 及び第 2 サブ画素電極 191、192 は、図 2 に示すように「V (Chevron)」形状に形成されることに限定されず、「+」形状、「X」形状など様々な形状に形成されてもよい。

【0044】

第 1 補助電極 193 は保護層 171、172 上に形成され、第 4 コンタクトホール 184 を介して第 3 ドレイン電極 166 に接続される。そして、第 1 補助電極 193 は、対向電極 126 と少なくとも一部分が重畳するように形成され、電圧ダウンキャパシタ C_{down} を形成することができる。

20

【0045】

一方、図 2 に図示された薄膜トランジスタ基板において、第 1 乃至第 3 半導体層 141、142、143 及び第 1 乃至第 3 オーミックコンタクト層 151、152、153 は、データライン 160、第 1 乃至第 3 ソース電極 161、163、165 及び第 1 乃至第 3 ドレイン電極 162、164、166 と同じ一つのマスクを用いて形成される。また、第 1 乃至第 3 半導体層 141、142、143 及び第 1 乃至第 3 オーミックコンタクト層 151、152、153 は、チャンネル領域を除いて、データライン 160、第 1 乃至第 3 ソース電極 161、163、165 及び第 1 乃至第 3 ドレイン電極 162、164、166 の下部に配列される。

30

【0046】

カラーフィルタ基板 200 は、第 2 絶縁基板 210、ブラックマトリックス 220、カラーフィルタ 230、平坦化層 240 及び共通電極 250 を含む。

【0047】

第 2 絶縁基板 210 は、透明なガラスまたはプラスチックなどの絶縁材質で形成されてもよい。ブラックマトリックス 220 は、クロム (Cr) やクロム酸化物 (CrO_x) のような金属の薄膜であってもよく、液晶表示装置の非表示領域に対応する第 2 絶縁基板 210 の一部領域上部に配置される。カラーフィルタ 230 は、薄膜トランジスタ基板 100 上の第 1 及び第 2 サブ画素電極 191、192 に対向する液晶表示装置の表示領域に対応する第 2 絶縁基板 210 の上部に配置される。平坦化層 240 は、ブラックマトリックス 220 及びカラーフィルタ 230 の上部に形成され、アクリル物質で形成されてもよい。共通電極 250 は、平坦化層 240 上に配置され、ITO、IZO などから形成されてもよい。

40

【0048】

液晶層 300 は、薄膜トランジスタ基板 100 とカラーフィルタ基板 200 の間に介在する。液晶層 300 は、薄膜トランジスタ基板 100 とカラーフィルタ基板 200 の間に形成された電界によって透過する光の透過率を制御する液晶分子を含む。

【0049】

以下、図 4 及び図 5 を参照して本発明の他の実施の形態による薄膜トランジスタ基板を詳細に説明する。

50

【 0 0 5 0 】

図 4 は、本発明の他の実施の形態による液晶表示装置の画素領域を説明するための平面図であり、図 5 は、図 4 に図示された指示線 I - I' 線に沿う液晶表示装置の断面図である。

【 0 0 5 1 】

図 4 及び図 5 を参照すると、本発明の他の実施の形態による液晶表示装置 5 0 は、薄膜トランジスタ基板 1 0 0、カラーフィルタ基板 2 0 0 及び液晶層 3 0 0 を含む。

【 0 0 5 2 】

薄膜トランジスタ基板 1 0 0 は、第 1 絶縁基板 1 1 0 と、ゲートライン 1 2 0 a、1 2 0 b と、ストレージライン 1 2 5 と、対向電極 1 2 6 と、データライン 1 6 0 と、第 1 及び第 2 薄膜トランジスタ T_{n1}、T_{n2} と、第 1 及び第 2 サブ画素電極 1 9 1、1 9 2 と、第 3 薄膜トランジスタ T_{n3} と、第 1 補助電極 1 9 3 と、第 2 補助電極 1 2 7 とを含む。

10

【 0 0 5 3 】

対向電極 1 2 6 は、ストレージライン 1 2 5 と電気的に接続されるようにストレージライン 1 2 5 の一部分に形成される。

【 0 0 5 4 】

第 1 サブ画素電極 1 9 1 は、保護層 1 7 1、1 7 2 上に形成され、第 1 コンタクトホール 1 8 1 を介して第 1 ドレイン電極 1 6 2 に接続される。

【 0 0 5 5 】

第 1 補助電極 1 9 3 は、第 4 コンタクトホール 1 8 4 を介して第 3 ドレイン電極 1 6 6 に接続され、第 5 コンタクトホール 1 8 5 を介して第 2 補助電極 1 2 7 に接続される。ここで、第 1 補助電極 1 9 3 は、少なくとも一つの絶縁層を介して対向電極 1 2 6 と少なくとも一部分が重畳するように形成される。例えば、第 1 補助電極 1 9 3 は、ゲート絶縁層 1 3 0 及び保護層 1 7 1、1 7 2 を介して対向電極 1 2 6 と少なくとも一部分が重畳して、電圧ダウンキャパシタ C_{down} を形成する。

20

【 0 0 5 6 】

第 2 補助電極 1 2 7 は、ストレージライン 1 2 5 と同一層に第 1 補助電極 1 9 3 と電気的に接続されるように形成される。そして、第 2 補助電極 1 2 7 は、ゲート絶縁層 1 3 0 及び保護層 1 7 1、1 7 2 を介して第 1 サブ画素電極 1 9 1 と少なくとも一部分が重畳して、電圧アップキャパシタ C_{up} を形成する。これによって、第 2 補助電極 1 2 7 は、電圧ダウンキャパシタ C_{down} の充電電圧と、電圧アップキャパシタ C_{up} の充電電圧との間の電荷共有を誘導することができる。

30

【 0 0 5 7 】

第 1 乃至第 3 半導体層 1 4 1、1 4 2、1 4 3 及び第 1 乃至第 3 オーミックコンタクト層 1 5 1、1 5 2、1 5 3 は、データライン 1 6 0、第 1 乃至第 3 ソース電極 1 6 1、1 6 3、1 6 5 及び第 1 乃至第 3 ドレイン電極 1 6 2、1 6 4、1 6 6 と同じ一つのマスクを用いて形成される。また、第 1 乃至第 3 半導体層 1 4 1、1 4 2、1 4 3 及び第 1 乃至第 3 オーミックコンタクト層 1 5 1、1 5 2、1 5 3 は、チャンネル領域を除いて、データライン 1 6 0、第 1 乃至第 3 ソース電極 1 6 1、1 6 3、1 6 5 及び第 1 乃至第 3 ドレイン電極 1 6 2、1 6 4、1 6 6 の下部に配列される。

40

【 0 0 5 8 】

一方、図 4 及び図 5 に図示された構成要素のうち、図 2 及び図 3 に図示された構成要素と同じ構成要素については重複した説明を省略する。

【 0 0 5 9 】

以下、図 6 乃至図 9 B を参照して本発明の一実施の形態による薄膜トランジスタ基板の製造方法について詳細に説明する。

【 0 0 6 0 】

図 6 乃至図 9 B は、図 3 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に表示する断面図である。

50

【 0 0 6 1 】

図 6 は、第 1 マスク工程により第 1 パターン群が形成されたことを示す断面図である。

【 0 0 6 2 】

図 6 を参照すると、ゲートパターンは第 1 マスク工程により形成される。ゲートパターンは、ゲートライン、第 1 乃至第 3 ゲート電極 1 2 1、1 2 2、1 2 3、ストレージライン 1 2 5 及び対向電極 1 2 6 を含む。

【 0 0 6 3 】

具体的には、第 1 絶縁基板 1 1 0 上にスパッタリング等の成膜方法などによってゲート金属層を形成する。ゲート金属層には、モリブデン (Mo)、アルミニウム (Al)、クロム (Cr)、銅 (Cu) などの単一金属またはこれらの合金を使用してもよい。このとき、ゲート金属層は、単一層または複層構造で形成してもよい。

10

【 0 0 6 4 】

次に、第 1 マスクを使用するフォトリソグラフィ工程及びエッチング工程においてゲート金属層をパターンングすることにより、ゲートライン、第 1 乃至第 3 ゲート電極 1 2 1、1 2 2、1 2 3、ストレージライン 1 2 5 及び対向電極 1 2 6 を含むゲートパターンを形成する。

【 0 0 6 5 】

図 7 は、第 2 マスク工程によりデータパターンが形成されたことを示す断面図である。

【 0 0 6 6 】

図 7 を参照すると、ゲートパターンが形成された絶縁基板 1 1 0 上に、ゲート絶縁層 1 3 0、アモルファスシリコン層及び不純物がドーピングされたアモルファスシリコン層をプラズマ強化化学気相成長 (Plasma Enhanced Chemical Vapor Deposition: 以下、PECVD)、化学気相成長 (Chemical Vapor Deposition: 以下、CVD) 等の成膜方法などによって順次に積層する。次に、不純物がドーピングされたアモルファスシリコン層上にスパッタリング等の成膜方法などによってデータ金属層を形成する。

20

【 0 0 6 7 】

ここで、ゲート絶縁層 1 3 0 は、窒化シリコン (SiN_x) または酸化シリコン (SiO_x) などを使用して形成してもよい。そして、データ金属層は、モリブデン (Mo)、アルミニウム (Al)、クロム (Cr)、銅 (Cu) などの単一金属またはこれらの合金を使用して形成してもよい。このとき、データ金属層は、単一層または複層構造で形成してもよい。

30

【 0 0 6 8 】

次に、フォトレジストを塗布した後、第 2 マスクを使用するフォトリソグラフィ工程により、段差を有するフォトレジストパターンを形成する。ここで、フォトレジストパターンは、第 1 乃至第 3 薄膜トランジスタ T_{n1}、T_{n2}、T_{n3} のチャンネルが形成される領域にフォトレジストの一部が残存し、データパターンが形成される領域にはフォトレジストの全量が残存し、他の部分のフォトレジストは除去される。

【 0 0 6 9 】

次に、第 1 エッチング工程によって画素領域のデータ金属層をエッチングし、第 2 エッチング工程によって不純物がドーピングされたアモルファスシリコン層及びアモルファスシリコン層をエッチングする。そして、アッシング工程により同じ深さでフォトレジストを除去する。さらに、第 3 エッチング工程によりチャンネル領域の不純物がドーピングされたアモルファスシリコンを除去し、残存するフォトレジストを除去してゲートライン、第 1 乃至第 3 ソース電極 1 6 1、1 6 3、1 6 5 及び第 1 乃至第 3 ドレイン電極 1 6 2、1 6 4、1 6 6 を含むデータパターンを形成する。このとき、データパターンの下部には、第 1 乃至第 3 半導体層 1 4 1、1 4 2、1 4 3 及び第 1 乃至第 3 オーミックコンタクト層 1 5 1、1 5 2、1 5 3 が形成される。

40

【 0 0 7 0 】

図 8 A 及び図 8 B は、第 3 マスク工程により保護層が形成されたことを示す断面図であ

50

る。

【0071】

図8A及び図8Bを参照すると、二つの方法で第3マスク工程により第1乃至第4コンタクトホール181、182、183、184を含む保護層171、172を形成する。

【0072】

まず、第一の方法によれば、図8Aに示すように、データパターンが形成された絶縁基板110上に無機物質をPECVD、CVDなどの堆積方法により成膜する。そして、第3マスクを使用するフォトリソグラフィ工程及びエッチング工程により第1乃至第4コンタクトホール181、182、183、184を含む無機保護層171を形成する。

【0073】

次に、第二の方法によれば、図8Bに示すように、無機物質を成膜した後、有機物質をさらに成膜する。そして、第3マスクを使用するフォトリソグラフィ工程及びエッチング工程により第1乃至第4コンタクトホール181、182、183、184を含む無機保護層171及び有機保護層172を形成する。

【0074】

図9A及び図9Bは、第4マスク工程により第1及び第2サブ画素電極と補助電極とが形成されたことを示す断面図である。

【0075】

図9A及び図9Bを参照すると、第4マスク工程により第1サブ画素電極191、第2サブ画素電極192及び補助電極193を含む画素電極パターンを形成する。

【0076】

まず、図9A及び図9Bに示すように、無機保護層171または有機保護層172上にITO、IZO、ITZOなどの透明導電物質をスパッタリングなどの堆積方法により成膜する。そして、第4マスクを使用するフォトリソグラフィ工程及びエッチング工程により第1及び第2サブ画素電極191、192と第1補助電極193とを形成する。このとき、第1及び第2サブ画素電極191、192は、切開部194によって互いに分離されるように形成する。

【0077】

具体的には、第1サブ画素電極191は、図9Aに示すように、無機保護層171を介して第3ドレイン電極166と重畳するように形成する。これによって、第1サブ画素電極191は第3ドレイン電極166と、電圧アップキャパシタCupを形成する。また、第1サブ画素電極191は、図9Bに示すように、無機保護層171及び有機保護層172を介して第3ドレイン電極166と少なくとも一部分が重畳するように形成して、電圧アップキャパシタCupを形成してもよい。

【0078】

第2サブ画素電極192は第2及び第3コンタクトホール182、183を介して第2ドレイン電極164及び第3ソース電極165を電気的に接続するように形成する。

【0079】

第1補助電極193は、第4コンタクトホール184を介して第3ドレイン電極166に接続されるように形成する。ここで、第1補助電極193は、図9Aに示すように、ゲート絶縁層130及び無機保護層171を介して対向電極126と少なくとも一部分が重畳するように形成する。これによって、第1補助電極193は対向電極126と、電圧ダウンキャパシタCdownを形成する。また、第1補助電極193は、図9Bに示すように、ゲート絶縁層130、無機保護層171及び有機保護層172を介して対向電極126と少なくとも一部分が重畳するように形成して、電圧ダウンキャパシタCdownを形成してもよい。

【0080】

以下、図10乃至図13Bを参照して、本発明の他の実施の形態による薄膜トランジスタ基板の製造方法について説明する。

【0081】

10

20

30

40

50

図10乃至図13Bは、図5に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【0082】

図10は、第1マスク工程により第1パターン群が形成されたことを示す断面図である。

【0083】

図10を参照すると、第1マスク工程によりゲートライン、第1乃至第3ゲート電極121、122、123、ストレージライン125、対向電極126及び第2補助電極127を含むゲートパターンを形成する。

【0084】

具体的には、絶縁基板110上にスパッタリング方法などによりゲート金属層を形成する。そして、第1マスクを使用するフォトリソグラフィ工程及びエッチング工程によりゲート金属層をパターニングして、ゲートライン、第1乃至第3ゲート電極121、122、123、ストレージライン125、対向電極126及び第2補助電極127を含むゲートパターンを形成する。

【0085】

図11は、第2マスク工程によりデータパターンが形成されたことを示す断面図である。

【0086】

図11を参照すると、ゲートパターンが形成された絶縁基板110上に、ゲート絶縁層130、アモルファスシリコン層及び不純物がドーピングされたアモルファスシリコン層を順次に積層する。次に、不純物がドーピングされたアモルファスシリコン層上にデータ金属層を積層する。次に、フォトレジストを塗布した後、第2マスクを使用するフォトリソグラフィ工程により段差を有するフォトレジストパターンを形成する。次に、データ金属層、不純物がドーピングされたアモルファスシリコン層及びアモルファスシリコン層をエッチングして、データライン、第1乃至第3ソース電極161、163、165及び第1乃至第3ドレイン電極162、164、166を含むデータパターンを形成する。ここで、第3ドレイン電極166は、第1サブ画素電極191と重畳しないように形成する。

【0087】

図12A及び図12Bは、第3マスク工程により保護層が形成されたことを示す断面図である。

【0088】

図12A及び図12Bを参照すると、二つの方法で第3マスク工程により第1乃至第5コンタクトホール181、182、183、184、185を含む保護層171、172を形成する。

【0089】

まず、第一の方法によれば、図12Aに示すように、データパターンが形成された絶縁基板110上に、無機物質をPECVD、CVDなどの堆積方法により成膜する。そして、第3マスクを使用するフォトリソグラフィ工程及びエッチング工程により第1乃至第5コンタクトホール181、182、183、184、185を含む無機保護層171を形成する。

【0090】

次に、第二の方法によれば、図12Bに示すように、無機物質を成膜した後、有機物質をさらに成膜する。そして、第3マスクを使用するフォトリソグラフィ工程及びエッチング工程により第1乃至第5コンタクトホール181、182、183、184、185を含む無機保護層171及び有機保護層172を形成する。

【0091】

図13A及び図13Bは、第4マスク工程により第1及び第2サブ画素電極と補助電極とが形成されたことを示す断面図である。

【0092】

10

20

30

40

50

図13A及び図13Bを参照すると、第4マスク工程により第1サブ画素電極191、第2サブ画素電極192及び第1補助電極193を含む画素電極パターンを形成する。

【0093】

まず、図13A及び図13Bに示すように、無機保護層171または有機保護層172上に、ITO、IZO、ITZOなどの透明導電物質をスパッタリングなどの堆積方法により成膜する。そして、第4マスクを使用するフォトリソグラフィ工程及びエッチング工程により第1及び第2サブ画素電極191、192と第1補助電極193とを形成する。このとき、第1及び第2サブ画素電極191、192は、切開部194によって互いに分離されるように形成する。

【0094】

具体的に、第1サブ画素電極191は、図13Aに示すように、無機保護層171を介して第2補助電極127と少なくとも一部分が重畳するように形成する。これによって、第1サブ画素電極191は第2補助電極127と、電圧アップキャパシタCupを形成する。また、第1サブ画素電極191は、図13Bに示すように、無機保護層171及び有機保護層172を介して第2補助電極127と少なくとも一部分が重畳するように形成して、電圧アップキャパシタCupを形成してもよい。

【0095】

第2サブ画素電極192は、第2及び第3コンタクトホール182、183を介して第2ドレイン電極164及び第3ソース電極165を電気的に接続するように形成する。

【0096】

第1補助電極193は、図13Aに示すように、第4及び第5コンタクトホール184、185を介して第3ドレイン電極166及び第2補助電極127に接続されるように形成する。ここで、第1補助電極193は、図13Aに示すように、ゲート絶縁層130及び無機保護層171を介して対向電極126と重畳するように形成する。これによって、第1補助電極193は対向電極126と、電圧ダウンキャパシタCdownを形成する。また、第1補助電極193は、図13Bに示すように、ゲート絶縁層130、無機保護層171及び有機保護層172を介して対向電極126と重畳するように形成して、電圧ダウンキャパシタCdownを形成してもよい。

【0097】

以上、本発明の技術思想を例示的に説明したが、本発明が属する技術分野における通常の知識を有した者であれば、本発明の思想及び技術領域から外れない範囲で多様な修正及び変更が可能であろう。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるのではなく、特許請求の範囲によって定まるべきであろう。

【図面の簡単な説明】

【0098】

【図1】本発明の実施の形態による液晶表示装置の第n画素領域を示す等価回路図である。

【図2】本発明の一実施の形態による液晶表示装置の画素領域を説明するための平面図である。

【図3】図2に図示された指示線I-I'線に沿う液晶表示装置の断面図である。

【図4】本発明の他の実施の形態による液晶表示装置の画素領域を説明するための平面図である。

【図5】図4に図示された指示線I-I'線に沿う液晶表示装置の断面図である。

【図6】図3に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図7】図3に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図8A】図3に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図8B】図3に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面

10

20

30

40

50

図である。

【図 9 A】図 3 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図 9 B】図 3 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図 1 0】図 5 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図 1 1】図 5 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図 1 2 A】図 5 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。 10

【図 1 2 B】図 5 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【図 1 3 A】図 5 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

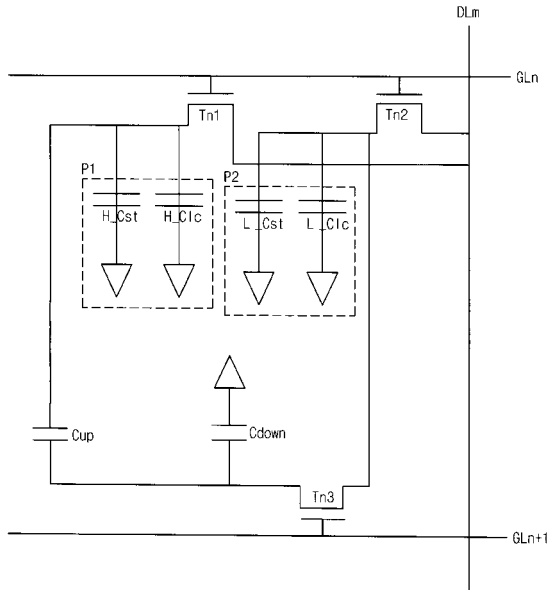
【図 1 3 B】図 5 に図示された薄膜トランジスタ基板の製造方法をマスク工程別に示す断面図である。

【符号の説明】

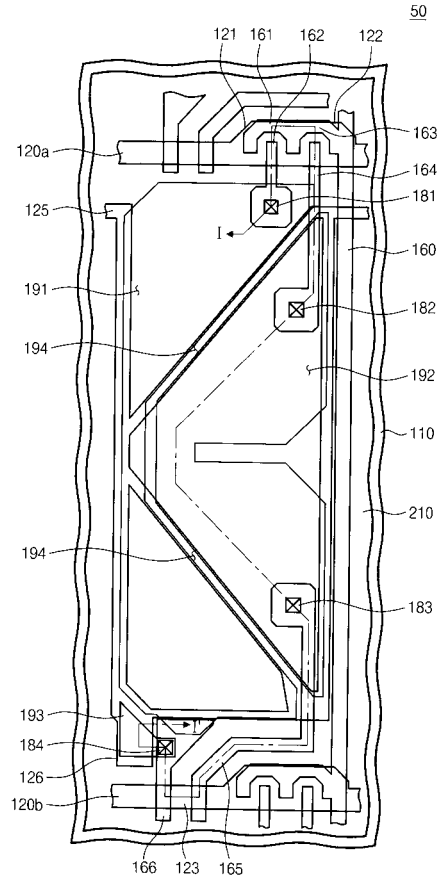
【 0 0 9 9 】

1 0 0	薄膜トランジスタ基板	20
1 1 0	絶縁基板	
1 2 1、1 2 2、1 2 3	第 1 乃至第 3 ゲート電極	
1 2 5	ストレージライン	
1 2 6	対向電極	
1 2 7	第 2 補助電極	
1 3 0	ゲート絶縁層	
1 4 1、1 4 2、1 4 3	第 1 乃至第 3 半導体層	
1 5 1、1 5 2、1 5 3	第 1 乃至第 3 オーミックコンタクト層	
1 6 1、1 6 3、1 6 5	第 1 乃至第 3 ソース電極	
1 6 2、1 6 4、1 6 6	第 1 乃至第 3 ドレイン電極	30
1 7 1	無機保護層	
1 7 2	有機保護層	
1 8 1、1 8 2、1 8 3、1 8 4、1 8 5	第 1 乃至第 5 コンタクトホール	
1 9 1、1 9 2	第 1 及び第 2 サブ画素電極	
1 9 3	第 1 補助電極	
1 9 4	切開部	
T n 1、T n 2、T n 3	第 1 乃至第 3 薄膜トランジスタ	
P 1、P 2	第 1 及び第 2 サブ画素領域	

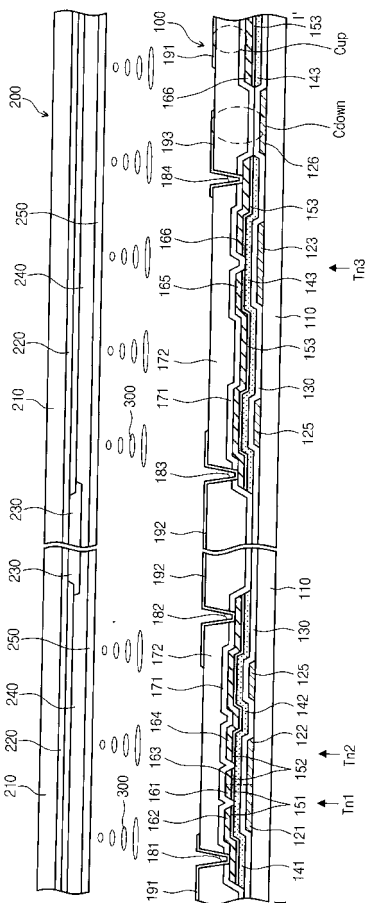
【 図 1 】



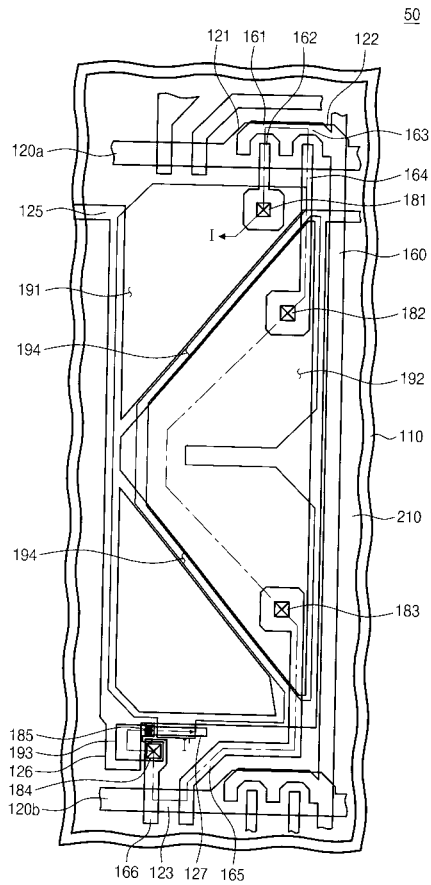
【 図 2 】



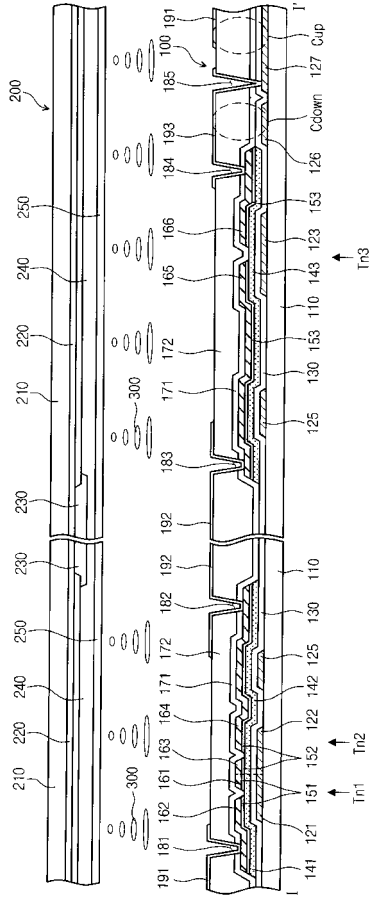
【 図 3 】



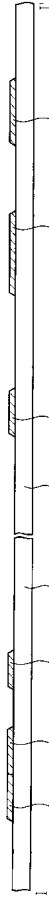
【 図 4 】



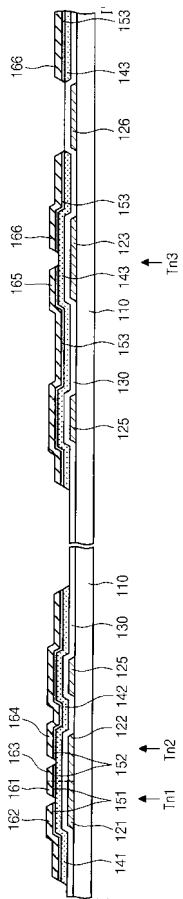
【 5 】



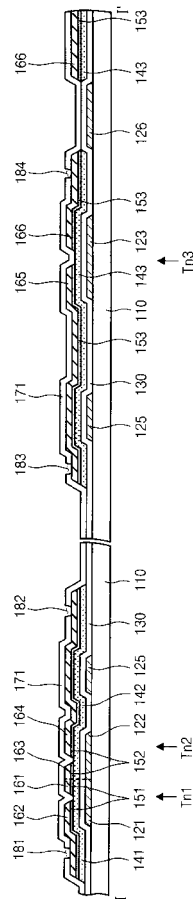
【 6 】



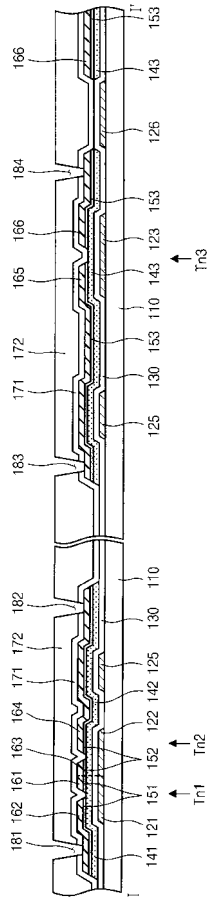
【 7 】



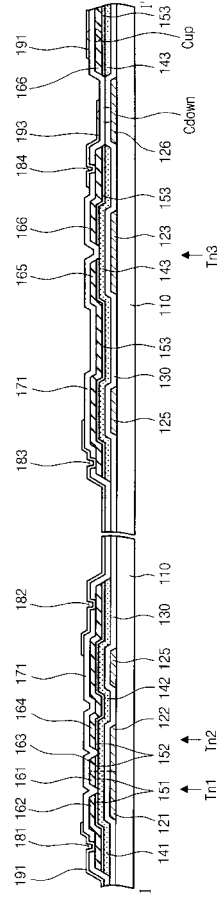
【 8 A 】



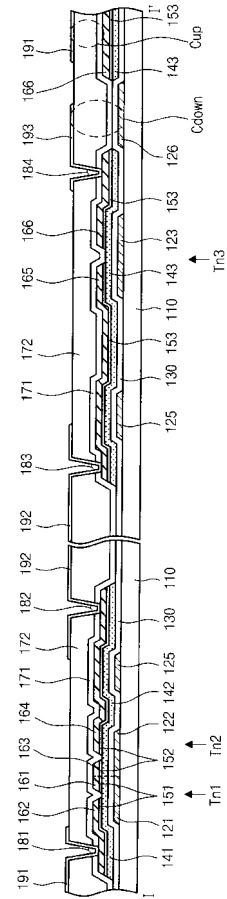
【 8 B 】



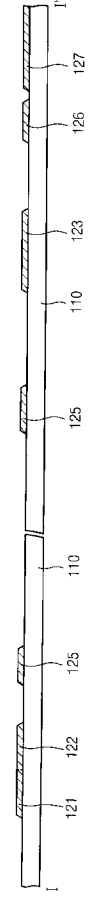
【 9 A 】




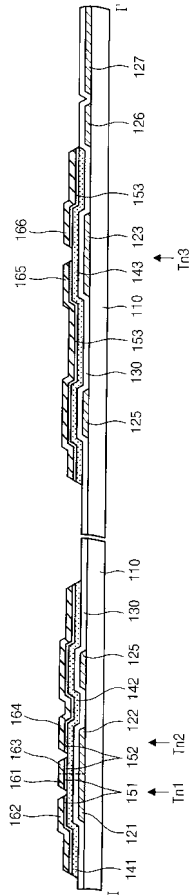
【 9 B 】




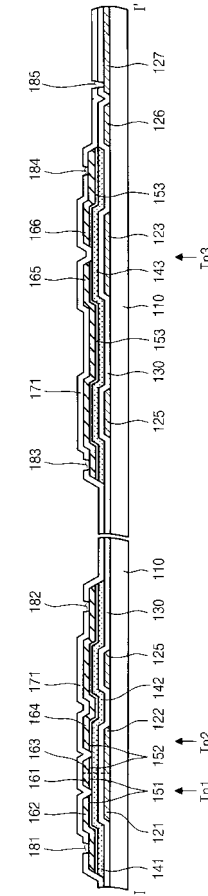
【 10 】




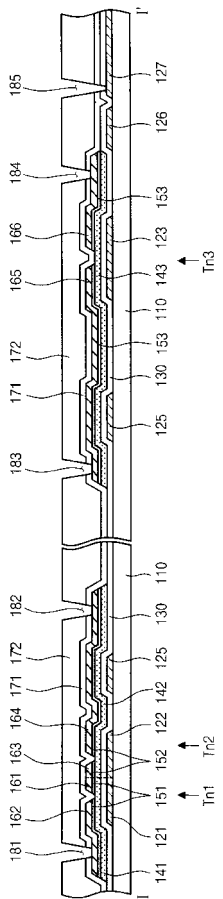
【 1 1】




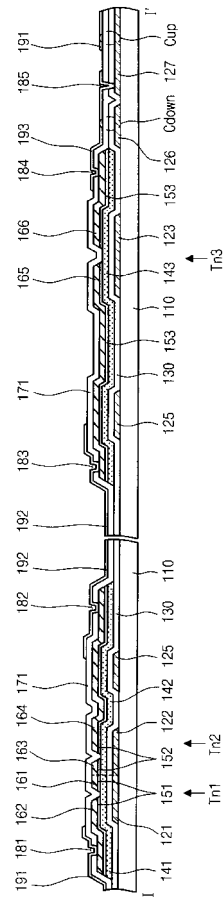
【 1 2 A】



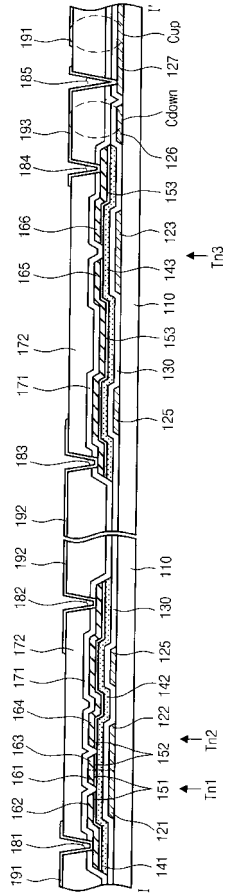
【 1 2 B】



【 1 3 A】



【 13 B 】



フロントページの続き

- (72)発明者 金 勳
大韓民国京畿道安山市常 緑 区四洞 大宇プルジオ7次アパートメント701棟1604号
- (72)発明者 劉 惠 蘭
大韓民国仁川廣域市西區堂下洞 トップスビルアパートメント115棟602号
- (72)発明者 柳 在 鎮
大韓民国京畿道龍仁市器興區新葛洞 セチョンニヨングリーンヴィル4団地アパートメント407棟1302号
- (72)発明者 朴 乘 範
大韓民国ソウル特別市永登浦區堂山洞5街 三星來美安4次アパートメント409棟502号

審査官 右田 昌士

- (56)参考文献 特開2006-276411(JP,A)
特開2006-133577(JP,A)
特開平06-102537(JP,A)
特開2003-207796(JP,A)
特開2008-033218(JP,A)
米国特許出願公開第2009/0009458(US,A1)
米国特許出願公開第2008/0186304(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1335
G02F 1/1368

专利名称(译)	薄膜晶体管基板和包括其的液晶显示装置		
公开(公告)号	JP5329169B2	公开(公告)日	2013-10-30
申请号	JP2008265105	申请日	2008-10-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	嚴允成 金勳 劉惠蘭 柳在鎮 朴乘範		
发明人	嚴允成 金勳 劉惠蘭 柳在鎮 朴乘範		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335		
CPC分类号	H01L29/6675 G02F1/13624 G02F2001/134345 H01L27/1288		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1335.505		
F-TERM分类号	2H092/GA14 2H092/HA04 2H092/JA24 2H092/JB42 2H092/JB46 2H092/JB58 2H092/JB69 2H092/KA05 2H092/KB22 2H092/MA27 2H092/NA01 2H092/NA27 2H092/PA08 2H191/FA02Y 2H191/FA94Y 2H191/FB15 2H191/FC13 2H191/FC36 2H191/FD04 2H191/FD22 2H191/GA05 2H191/GA19 2H191/GA22 2H191/HA15 2H191/LA13 2H191/LA19 2H191/LA25 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BC23 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB35 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA13 2H192/DA15 2H192/EA22 2H192/EA43 2H192/HA47 2H192/JA13 2H291/FA02Y 2H291/FA94Y 2H291/FB15 2H291/FC13 2H291/FC36 2H291/FD04 2H291/FD22 2H291/GA05 2H291/GA19 2H291/GA22 2H291/HA15 2H291/LA13 2H291/LA19 2H291/LA25		
优先权	1020070124739 2007-12-04 KR		
其他公开文献	JP2009139929A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供可以提高可视性的薄膜晶体管基板，提供包括该基板的液晶显示器并提供其制造方法。解决方案：在薄膜晶体管中，第一和第二薄膜晶体管连接到第N栅极线和第M数据线，并且第一和第二子像素电极分别连接到第一和第二薄膜晶体管。第三薄膜晶体管包括连接到第(N+1)栅极线的栅电极，与栅电极重叠的半导体层，连接到第二子像素电极并与栅电极部分重叠的源电极，以及漏电极面向源电极。第一辅助电极连接到漏电极并且布置在与第一和第二子像素电极相同的层上。相对电极布置在与栅极线相同的层上，并且至少部分地与第一辅助电极重叠，其间设置有至少一个绝缘层。Z

