

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5269540号
(P5269540)

(45) 発行日 平成25年8月21日(2013.8.21)

(24) 登録日 平成25年5月17日(2013.5.17)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2008-265126 (P2008-265126)	(73) 特許権者	501426046
(22) 出願日	平成20年10月14日(2008.10.14)		エルジー ディ스플레이 カンパニー リ
(65) 公開番号	特開2009-128907 (P2009-128907A)		ミテッド
(43) 公開日	平成21年6月11日(2009.6.11)		大韓民国 ソウル、ヨンドゥンポグ、ヨ
審査請求日	平成20年10月14日(2008.10.14)		ウィーテロ 128
審査番号	不服2012-10368 (P2012-10368/J1)	(74) 代理人	100110423
審査請求日	平成24年6月5日(2012.6.5)		弁理士 曾我 道治
(31) 優先権主張番号	10-2007-0120233	(74) 代理人	100111648
(32) 優先日	平成19年11月23日(2007.11.23)		弁理士 梶並 順
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100147566
			弁理士 上田 俊一
		(72) 発明者	ジュンホ・パク
			大韓民国、キョンサンブクド、クミーシ
			、クピョンードン、プヨン・アパートメン
			ト 306-104

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

多数のピクセルが定義された基板と、
 前記基板上に第1方向に配列された第1及び第2データ配線と、
 前記基板上に前記第1方向と平行した方向に沿ってそれぞれのピクセルを区画するよう
 に前記第1及び第2データ配線と平行しながらそれぞれのピクセルを間において交互に配
 置された第1及び第2共通配線と、
 前記第2方向に沿って区画されたピクセルを間において前記第1及び第2データ配線、
 第1及び第2共通配線と交差するように配置された第1及び第2ゲート配線と、
 前記第2方向に沿って区画されたピクセルが、前記第1及び第2ゲート配線、第1共通
 配線及び第1データ配線により区画されたピクセルを第1ピクセル領域、前記第1及び第
 2ゲート配線、第1データ配線及び第2共通配線により区画されたピクセルを第2ピク
 セル領域、前記第1及び第2ゲート配線、第2共通配線及び第2データ配線により区画さ
 れたピクセルを第3ピクセル領域に順次区分し、前記第1、第2及び第3ピクセル領域にそ
 れぞれ配置された薄膜トランジスタと、
 前記第1、第2及び第3ピクセル領域にそれぞれ配置されて、前記薄膜トランジスタと
 電氣的に繋がったピクセル電極と、
 を含み、

前記第1ピクセル領域に配置された薄膜トランジスタは、前記第1ゲート配線と第1デ
 ータ配線間に配置され、第1ピクセル領域のピクセル電極にデータ電圧を供給し、前記第

2 ピクセル領域に配置された薄膜トランジスタは、前記第2ゲート配線と第1データ配線間に配置され、第2ピクセル領域のピクセル電極にデータ電圧を供給し、前記第3ピクセル領域に配置された薄膜トランジスタは、前記第1ゲート配線と第2データ配線間に配置され、第3ピクセル領域のピクセル電極にデータ電圧を供給し、

前記第1、第2及び第3ピクセル領域のそれぞれには、補償電極が配置され、

前記第1ピクセル領域の補償電極は、前記第2ゲート配線と隣接し、第1ピクセル領域に形成されたピクセル電極と重畳するように配置され、前記第2ピクセル領域の補償電極は、前記第1ゲート配線と隣接し、第2ピクセル領域に形成されたピクセル電極と重畳するように配置され、前記第3ピクセル領域の補償電極は、前記第2ゲート配線と隣接し、第3ピクセル領域に形成されたピクセル電極と重畳するように配置され、

10

前記補償電極は、それぞれのピクセル領域において保護膜を間においてピクセル電極と重畳され、

前記第1及び第2共通配線のそれぞれには、前記第2方向に沿って両側のピクセル方向に引き出され、それぞれのピクセルのピクセル電極と重畳されるように前記第1及び第2共通配線と平行に形成されたストレージ電極部が形成され、

前記第2方向に沿って形成されたそれぞれのピクセルの補償電極とストレージ電極部は互いに垂直に配列され、

前記第1及び第2データ配線は、それぞれ第2方向に沿って左右側領域に形成されたピクセル領域のピクセル電極にそれぞれデータ電圧を供給する

ことを特徴とする液晶表示装置。

20

【請求項2】

前記補償電極は、ゲート配線及びデータ配線のうちのいずれかと同一層に配置されることを特徴とする請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関するもので、より具体的には、画質を維持して製造費用を節減することができる液晶表示装置に関するものである。

【背景技術】

【0002】

今日、液晶表示装置は、消費電力が低く、携帯性に優れており、技術集約的で、付加価値が高い次世代先端ディスプレイ素子として脚光を浴びている。

30

【0003】

液晶表示装置は、液晶の光学的異方性を利用した表示装置として、液晶に電界を印加して液晶の光透過率を調節することで、多様な映像を表示する。

【0004】

図1は、従来液晶表示装置の概略的な平面図である。

【0005】

図1を参照すれば、液晶表示装置は、映像を表示する液晶パネル10、液晶パネル10に走査信号を印加するゲート駆動部20、及び液晶パネル10に画素電圧を印加するデータ駆動部30を含む。

40

【0006】

液晶パネル10は、相互に対向する第1基板及び第2基板と、両基板間に介在する液晶層を含む。

【0007】

第1基板上に、多数のゲート配線21と多数のデータ配線31が相互に交差して定義された多数のピクセルを含む。ゲート配線21は、ゲート駆動部20と電氣的に繋がっている。データ配線31は、データ駆動部30と電氣的に繋がっている。

【0008】

ゲート駆動部20は、ゲート配線21に順次、走査信号を出力し、データ駆動部30は

50

、ゲート配線 2 1 に走査信号が印加される区間に対応して選択されたゲート配線 2 1 に電氣的に接続されたピクセルに、画素電圧を供給する。

【 0 0 0 9 】

ゲート配線 2 1 とデータ配線 3 1 の数は、液晶表示装置の解像度によって変わる。例えば、液晶表示装置の解像度が 1 0 2 4 × 7 6 8 である場合、データ配線 3 1 は、1 0 2 4 × 3 個が第 1 基板上に配置される。また、ゲート配線 2 1 は、7 6 8 個が第 1 基板上に配置される。

【 0 0 1 0 】

最近、液晶表示装置の解像度は、増加する傾向にあり、液晶表示装置に具備されたデータ配線もますます増加する。これに連れて、ゲート配線 2 1 とデータ配線 3 1 の数と同じ数のチャンネルを持つように、データ IC 及びゲート IC の数も増加する。従って、液晶表示装置の解像度が増加するに伴って、製作費用が増加するという問題点がある。

【 0 0 1 1 】

また、液晶表示装置で、垂直方向に形成されるデータ配線 3 1 は、ゲート配線 2 1 に比べて本数が多く、ぎっしりと配列されるので、データ配線 3 1 間の間隔確保が困難であり、液晶表示装置の誤動作を起こすことがある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

本発明の 1 つの課題は、データ配線の数を減少させて製造費用を減らすことができる液晶表示装置を提供することにある。

【 0 0 1 3 】

本発明のもう 1 つの課題は、液晶表示装置の画質を維持することができる液晶表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 4 】

前記技術的課題を解決するために、本発明の液晶表示装置は、多数のピクセルが定義された基板と、前記基板上に第 1 方向に配列された第 1 及び第 2 データ配線と、前記基板上に前記第 1 方向と平行した方向に沿ってそれぞれのピクセルを区画するように前記第 1 及び第 2 データ配線と平行しながらそれぞれのピクセルを間において交互に配置された第 1 及び第 2 共通配線と、前記第 2 方向に沿って区画されたピクセルを間において前記第 1 及び第 2 データ配線、第 1 及び第 2 共通配線と交差するように配置された第 1 及び第 2 ゲート配線と、前記第 2 方向に沿って区画されたピクセルが、前記第 1 及び第 2 ゲート配線、第 1 共通配線及び第 1 データ配線により区画されたピクセルを第 1 ピクセル領域、前記第 1 及び第 2 ゲート配線、第 1 データ配線及び第 2 共通配線により区画されたピクセルを第 2 ピクセル領域、前記第 1 及び第 2 ゲート配線、第 2 共通配線及び第 2 データ配線により区画されたピクセルを第 3 ピクセル領域に順次区分し、前記第 1、第 2 及び第 3 ピクセル領域にそれぞれ配置された薄膜トランジスタと、前記第 1、第 2 及び第 3 ピクセル領域にそれぞれ配置されて、前記薄膜トランジスタと電氣的に繋がったピクセル電極と、を含み、前記第 1 ピクセル領域に配置された薄膜トランジスタは、前記第 1 ゲート配線と第 1 データ配線間に配置され、第 1 ピクセル領域のピクセル電極にデータ電圧を供給し、前記第 2 ピクセル領域に配置された薄膜トランジスタは、前記第 2 ゲート配線と第 1 データ配線間に配置され、第 2 ピクセル領域のピクセル電極にデータ電圧を供給し、前記第 3 ピクセル領域に配置された薄膜トランジスタは、前記第 1 ゲート配線と第 2 データ配線間に配置され、第 3 ピクセル領域のピクセル電極にデータ電圧を供給し、前記第 1、第 2 及び第 3 ピクセル領域のそれぞれには、補償電極が配置され、前記第 1 ピクセル領域の補償電極は、前記第 2 ゲート配線と隣接し、第 1 ピクセル領域に形成されたピクセル電極と重畳するように配置され、前記第 2 ピクセル領域の補償電極は、前記第 1 ゲート配線と隣接し、第 2 ピクセル領域に形成されたピクセル電極と重畳するように配置され、前記第 3 ピクセル領域の補償電極は、前記第 2 ゲート配線と隣接し、第 3 ピクセル領域に形成されたピクセル

10

20

30

40

50

ル電極と重畳するように配置され、前記補償電極は、それぞれのピクセル領域において保護膜を間においてピクセル電極と重畳され、前記第1及び第2共通配線のそれぞれには、前記第2方向に沿って両側のピクセル方向に引き出され、それぞれのピクセルのピクセル電極と重畳されるように前記第1及び第2共通配線と平行に形成されたストレージ電極部が形成され、前記第2方向に沿って形成されたそれぞれのピクセルの補償電極とストレージ電極部は互いに垂直に配列され、前記第1及び第2データ配線は、それぞれ第2方向に沿って左右側領域に形成されたピクセル領域のピクセル電極にそれぞれデータ電圧を供給する。

【発明の効果】

【0020】

本発明によれば、液晶表示装置のデータ配線数を減少させて製造費用を減らすとともに、画質特性の低下を防止することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施例を液晶表示装置の図面を参照して詳細に説明する。以下に紹介される実施例は、本発明の思想が十分に伝達されるようにするために、一例として開示されるものである。よって、本発明は、以下で説明される実施例に限定されるのではなく、他の形態で具体化されることもできる。また、図面において、装置の大きさ及び厚さなどは、説明の便宜を図り、誇張されて表現されることもある。明細書全体にかけて、同一参照番号は、同一構成要素を現わす。

【0022】

図2a及び図2bは、本発明の第1実施例による液晶表示装置の説明をするために図示した図面である。図2aは、本発明の第1実施例による液晶表示装置の一部のピクセルを図示した平面図である。図2bは、図2aに図示されたI-I'ラインに沿って切断した断面図である。

【0023】

図2a及び図2bを参照すれば、液晶表示装置は、液晶パネル（図示していない）と、液晶パネルに外部から電氣的信号を供給するデータドライバー（図示していない）及びゲートドライバーを含む。

【0024】

液晶パネルは、映像を表示するための多数のピクセルP1～P8を含む。また、液晶パネルは、第1基板100、第2基板（図示していない）及び第1基板及び第2基板間に介在する液晶を含む。

【0025】

第1基板100上に、第1方向に配列された多数のデータ配線Dn、Dn+1が配置されている。データ配線Dn、Dn+1は、多数のピクセルP1～P8を少なくとも第1方向に沿って2列ごとに分割する。すなわち、データ配線Dn、Dn+1は、第1方向と交差する第2方向に配列された多数のゲート配線Gn、Gn+1、Gn+2、Gn+3に沿って形成されたピクセルを2個ずつ分割する。例えば、第1データ配線Dnは、左右に接続された2つのピクセルである第1ピクセルP1及び第2ピクセルP2に、画素電圧（またはデータ電圧信号）を印加できる。よって、データ配線Dn、Dn+1は、同一解像度の液晶表示装置に具備されたデータ配線の数に比べて、半分に減らすことができる。

【0026】

第1基板100上に、第1方向と交差する第2方向に配列された多数のゲート配線Gn、Gn+1、Gn+2、Gn+3が配置されている。すなわち、データ配線Dn、Dn+1と多数のゲート配線Gn、Gn+1、Gn+2、Gn+3は、相互に交差して、多数のピクセルP1～P8を定義することができる。例えば、第1データ配線Dn及び第2データ配線Dn+1と、第1ゲート配線Gn及び第2ゲート配線Gn+1とによって区画された領域には、二つのピクセルである第2ピクセルP2及び第3ピクセルP3が配置される。すなわち、第1ゲート配線Gn及び第2ゲート配線Gn+1の間に、第2ピクセルP2

10

20

30

40

50

及び第3ピクセルP3が配置される。

【0027】

各ピクセルP1~P8には、薄膜トランジスタ及び薄膜トランジスタと電氣的に繋がったピクセル電極140が配置されている。

【0028】

薄膜トランジスタは、ゲート配線Gn、Gn+1、Gn+2、Gn+3から分岐したゲート電極、ゲート絶縁膜を間にしてゲート電極と重なった半導体パターン、半導体パターン上に配置されてデータ配線Dn、Dn+1と電氣的に繋がったソース電極、及び半導体パターン上に配置されてソース電極と離隔されたドレイン電極を含む。

【0029】

ここで、同一ラインに属した、例えば、第1ピクセルP1、第2ピクセルP2、第3ピクセルP3及び第4ピクセルP4は、薄膜トランジスタを通じて隣接した第1ゲート配線Gn及び第2ゲート配線Gn+1に交互に繋がるようになる。すなわち、第1ゲート配線Gn及び第2ゲート配線Gn+1間にライン方向に形成される第1ピクセルP1、第2ピクセルP2、第3ピクセルP3及び第4ピクセルP4にそれぞれピクセル電極140が配置され、薄膜トランジスタは、第1ゲート配線Gn及び第2ゲート配線Gn+1に交互に連結しつつ、それぞれのピクセル領域に配置されたピクセル電極140と電氣的に連結される。

【0030】

この時、同一ラインに属した、例えば、第1ピクセルP1、第2ピクセルP2、第3ピクセルP3及び第4ピクセルP4は、電氣的に接続された第1ゲート配線Gn及び第2ゲート配線Gn+1を通じて、順次、印加される走査信号によって選択されて、第1データ配線Dn及び第2データ配線Dn+1は、走査信号によって選択されたピクセルに画素電圧を繰り返し供給する。よって、第1ピクセル~第4ピクセルP4を含む同一ライン上のピクセルに、半分ずつ、順次、データラインDn、Dn+1からの画素電圧を入力する。

【0031】

しかし、同一ラインに属した、例えば、第1ピクセルP1~第4ピクセルP4は、異なるキックバック電圧(Vp)を持つことができる。ここで、キックバック電圧とは、ピクセルに供給された画素電圧とピクセルに実質的に充電された電圧との差を言う。

【0032】

このように、異なるキックバック電圧は、同一ラインに属したピクセル中、半分が自体の一侧と隣接したゲートラインに接続されたピクセル電極を含み、残りのピクセルが自体の他側と隣接したゲートラインに接続されたピクセル電極を含むことによって印加される。例えば、第1ピクセル~第4ピクセルP4の中で、第1ゲート配線Gnと隣接するピクセル電極140を持つ第2ピクセルP2及び第4ピクセルP4と、第2ゲート配線Gn+1と隣接するピクセル電極140を持つ第1ピクセルP1及び第3ピクセルP3とは、異なるキックバック電圧を持つ。

【0033】

すなわち、第1ゲート配線Gnと第1ピクセルP1及び第3ピクセルP3のピクセル電極140との間に形成される寄生キャパシタンスと、第2ゲート配線Gn+1と第2ピクセルP2及び第4ピクセルP4のピクセル電極140との間に形成される寄生キャパシタンスとの差が発生することで、同一ラインに属したピクセルに発生するキックバック電圧の差が発生する。これにより、液晶表示装置は、フリッカー現象及び色感の差のような画質が低下することがある。

【0034】

各ピクセルP1~P8のキックバック電圧の差を減らすためには、ゲート配線Gn、Gn+1、Gn+2、Gn+3と隣接するピクセル電極140の間に発生する寄生キャパシタンスを減らさなければならない。

【0035】

このためには、ゲート配線Gn、Gn+1、Gn+2、Gn+3と各ピクセルP1~P

10

20

30

40

50

8に配置されたピクセル電極140との間隔を増加させることが考えられるが、これにより開口率が低下することがある。

【0036】

従って、開口率の減少を防止した上で、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と隣接するピクセル電極140の間に発生する寄生キャパシタンスを減らすために、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と隣接するピクセル電極140上に補償電極130を形成する。補償電極130は、ピクセル電極140と絶縁膜を間にして重なる。この時、補償電極130は、ピクセル電極140のエッジ部を覆うようにする。補償電極130は、フローティングされていることがある。よって、補償電極130は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と隣接するピクセル電極140の間に配置され、その間で発生する電界を遮蔽することによって、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と隣接するピクセル電極140の間に発生する寄生キャパシタンスの形成を減少或いは防止する役割をする。

10

【0037】

また、補償電極130は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} を間にして、相互に隣り合うピクセル電極140の間の寄生キャパシタンスの形成を防止することができる。

【0038】

補償電極130は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} 及びデータ配線 D_n 、 D_{n+1} のうち、どれか1つと同一層に配置されることができる。

20

【0039】

補償電極130がゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と同一層に配置される場合、絶縁膜は、ゲート絶縁膜110と保護膜120で構成されることがある。これにより、補償電極130を、第1基板100上に配置させることができる。補償電極130は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と同一材質で構成することができる。

【0040】

一方、補償電極130がデータ配線 D_n 、 D_{n+1} と同一層に配置される場合、図2bに図示されているように、絶縁膜は、保護膜120で構成されることがある。これにより、補償電極130を、ゲート絶縁膜110上に配置させることができる。補償電極130は、データ配線 D_n 、 D_{n+1} と同一材質で構成することができる。

30

【0041】

よって、補償電極130は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} 及びデータ配線 D_n 、 D_{n+1} のうち、どれか1つを形成する工程と一緒に形成されるように設計することによって、補償電極130を形成するための別途の工程を追加しなくても良い。

【0042】

更に、データ配線 D_n 、 D_{n+1} によって2列ごとに分割されたピクセルの間に、データ配線 D_n 、 D_{n+1} と平行する共通配線 C_n 、 C_{n+1} 、 C_{n+2} を配置させることができる。共通配線 C_n 、 C_{n+1} 、 C_{n+2} は、データ配線 D_n 、 D_{n+1} と同一層、例えば、ゲート絶縁膜110上に配置させることができる。

40

【0043】

共通配線 C_n 、 C_{n+1} 、 C_{n+2} は、保護膜120を間にしてピクセル電極140と重なることでストレージキャパシタンスを形成するストレージ電極部125を具備することができる。

【0044】

図面には示されていないが、第2基板の内側面に、特定の波長をフィルタリングするカラーフィルタパターンと、ピクセル電極140と液晶を駆動するための電界を形成する共通電極とを配置させることができる。また、ストレージ電極部125は、共通配線 C_n 、 C_{n+1} 、 C_{n+2} と平行に配置され、補償電極130とは互いに垂直に配列される。

50

【0045】

よって、本発明の実施例による液晶表示装置は、データ配線を従来に比べて半分に減少させることができ、製造費用を減らすことができる。

【0046】

また、本発明の実施例による液晶表示装置は、補償電極を具備することで、ゲート配線とピクセル電極との間に形成される寄生キャパシタンスを減らすことができる。よって、液晶表示装置の全てのピクセルに、一定のキックバック電圧を持たせることができ、液晶表示装置の画質不良を防止することができる。

【0047】

本発明の実施例で、各ピクセルに配置された薄膜トランジスタは、ジグザグの形態で配列させた例で説明したが、これに限定されるのではなく、多様な形態で配列させることができる。

10

【0048】

図3a及び図3bは、本発明の第2実施例による液晶表示装置を説明するために図示した図面である。図3aは、本発明の第2実施例による液晶表示装置の一部のピクセルを図示した平面図である。図3bは、図3aに図示されたII-II'ラインに沿って切断した断面図である。本発明の第2実施例は、補償電極及び共通配線を除いて、前で説明した本発明の第1実施例による液晶表示装置と同一構成を持つ。よって、本発明の第2実施例では、本発明の第1実施例と重なる説明は、省略することにして、同一構成に対しては、同一参照符号を付与する。

20

【0049】

図3a及び図3bを参照すれば、液晶表示装置は、多数のピクセルが定義された第1基板100を含む。第1基板100上に、多数のピクセルを2列ごとに分割する多数のデータ配線を具備することで、本発明の第2実施例の液晶表示装置は、同じ解像度を持つ従来の液晶表示装置に比べて、データ配線の数を半分に減らすことができる。

【0050】

液晶表示装置は、ピクセル電極140とゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} との間の寄生キャパシタンスを減らすための補償電極230を含む。よって、液晶表示装置の全てのピクセルに、一定のキックバック電圧を持たせることができ、液晶表示装置の画質不良を防止することができる。

30

【0051】

液晶表示装置は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と平行する共通配線 C_n 、 C_{n+1} を含む。共通配線 C_n 、 C_{n+1} は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と同一層に同一材質で構成することができる。

【0052】

共通配線 C_n 、 C_{n+1} は、絶縁膜、例えば、ゲート絶縁膜110及び保護膜120の二重膜を間にして、ピクセル電極140と重なることでストレージキャパシターを形成するストレージ電極部225を具備する。ストレージ電極部225は、ピクセル電極140のエッジ部に配置させることができる。

【0053】

ストレージ電極部225は、補償電極230と一体で構成することができる。すなわち、補償電極230は、共通配線 C_n 、 C_{n+1} と一体で構成することができる。よって、補償電極230は、ピクセル電極140とゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} との間に形成された寄生キャパシタンスを減少させ、各ピクセルP1～P8にストレージキャパシターを形成することができる。

40

【0054】

よって、本発明の第2実施例による補償電極230は、共通配線 C_n 、 C_{n+1} と一体で形成でき、ピクセル電極140とゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} との間に形成された寄生キャパシタンスを減少させると同時に、各ピクセルP1～P8に画素電圧を充電する役割を同時に行うことができる。

50

【 0 0 5 5 】

図 4 a 及び図 4 b は、本発明の第 3 実施例による液晶表示装置を説明するために図示した図面である。図 4 a は、本発明の第 3 実施例による液晶表示装置の一部のピクセルを図示した平面図である。図 4 b は、図 4 a に図示された I I I - I I I ' ラインに沿って切断した断面図である。本発明の第 3 実施例は、連結パターンを除いて、前で説明した本発明の第 2 実施例による液晶表示装置と同一構成を持つ。よって、本発明の第 3 実施例は、本発明の第 2 実施例と重なる説明は、省略することにして、同一構成に対しては、同一参照符号を付与する。

【 0 0 5 6 】

図 4 a 及び図 4 b を参照すれば、液晶表示装置は、ピクセル電極 1 4 0 とゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} との間の寄生キャパシタンスを減らすための補償電極 2 3 0 を含む。補償電極 2 3 0 は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} と平行する共通配線 C_n 、 C_{n+1} と一体で構成することができる。

10

【 0 0 5 7 】

共通配線 C_n 、 C_{n+1} は、各ピクセルを横断しつつ配置させることができる。すなわち、共通配線 C_n 、 C_{n+1} は、データ配線 D_n 、 D_{n+1} を間にして隣り合う 2 つのピクセルの間に配置される。

【 0 0 5 8 】

連結パターン 2 5 0 は、ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} を間にして相互に隣接して配置されたストレージ電極部 2 2 5 を相互に電氣的に連結させる。ゲート配線 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} を間にして相互に隣接した共通配線 C_n 、 C_{n+1} は、連結パターン 2 5 0 によって相互に電氣的に連結させることができる。共通配線 C_n 、 C_{n+1} は、メッシュ形態を持つことができる。よって、共通配線 C_n 、 C_{n+1} の抵抗値を下げることができ、共通配線 C_n 、 C_{n+1} のストレージ電極部 2 2 5 とピクセル電極 1 4 0 との間に形成されるストレージキャパシタンスのキャパシタンスを向上させることができる。

20

【 0 0 5 9 】

連結パターン 2 5 0 は、ピクセル電極 1 4 0 と同一層上に配置させることができる。また、ピクセル電極 1 4 0 と同一材質で構成することができる。よって、連結パターン 2 5 0 は、ピクセル電極 1 4 0 と同一工程で形成されるように設計することによって、別途の工程の追加なしにストレージキャパシタンスのキャパシタンスを向上させることができる。

30

【 0 0 6 0 】

本発明の第 3 実施例で、共通配線 C_n 、 C_{n+1} のメッシュ単位は、8 個のピクセル、例えば、第 1 ピクセル P 1 ~ 第 8 ピクセル P 8 を含むもので説明したが、これに限定されるのではない。例えば、共通配線 C_n 、 C_{n+1} のメッシュ単位は、2 つのピクセルまたは、4 つのピクセルを含むこともできる。

【 0 0 6 1 】

上述したように、本発明の液晶表示装置は、1 つのデータ配線に 2 列分のピクセルが接続されることによって、従来に比べてデータ配線数を半分に減らすことができると共に、データ IC の数も減るようになり、液晶表示装置の製造費用を減らすことができる。

40

【 0 0 6 2 】

また、本発明の液晶表示装置は、絶縁膜を間にしてゲート配線と隣接したピクセル電極の一部と重なる補償電極を具備することによって、ゲート配線とピクセル電極との間に形成される寄生キャパシタンスを減らすことができる。よって、液晶表示装置の全てのピクセルに、一定のキックバック電圧を持たせることができ、液晶表示装置の画質不良を防止することができる。

【 0 0 6 3 】

また、本発明の液晶表示装置の補償電極は、ゲート配線、データ配線、共通配線のうちのどれか 1 つと同一層に形成することによって、補償電極を形成するための別途の工程を追加しなくても良い。

50

【0064】

また、本発明の液晶表示装置の補償電極は、共通配線と一体で形成し、共通配線は、メッシュタイプに形成することによって、共通配線の抵抗値を下げる事ができる。

【図面の簡単な説明】

【0065】

【図1】従来液晶表示装置の概略的な平面図である。

【図2a】本発明の第1実施例による液晶表示装置の一部のピクセルを図示した平面図である。

【図2b】図2aに図示されたI-I'に沿って切断した断面図である。

【図3a】本発明の第2実施例による液晶表示装置の一部のピクセルを図示した平面図である。

【図3b】図3aに図示されたII-II'線に沿って切断した断面図である。

【図4a】本発明の第3実施例による液晶表示装置の一部のピクセルを図示した平面図である。

【図4b】図4aに図示されたIII-III'線に沿って切断した断面図である。

【符号の説明】

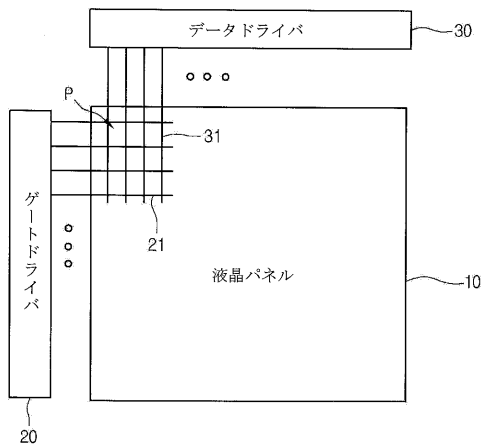
【0066】

100 第1基板、110 ゲート絶縁膜、120 保護膜、130、230 補償電極、140 ピクセル電極、125、225 ストレージ電極部、Dn、Dn+1 データ配線、Gn、Gn+1、Gn+2、Gn+3 ゲート配線。

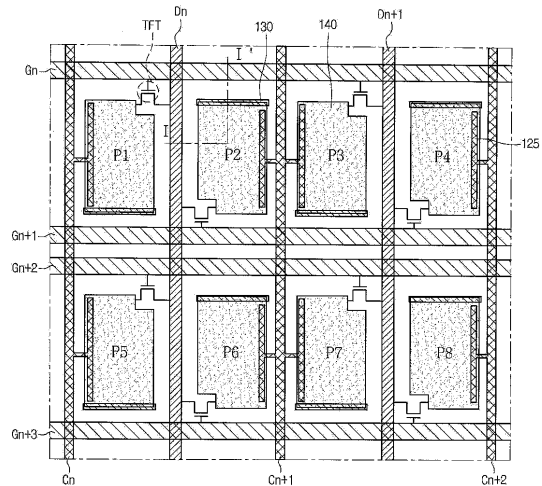
10

20

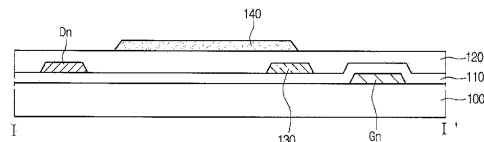
【図1】



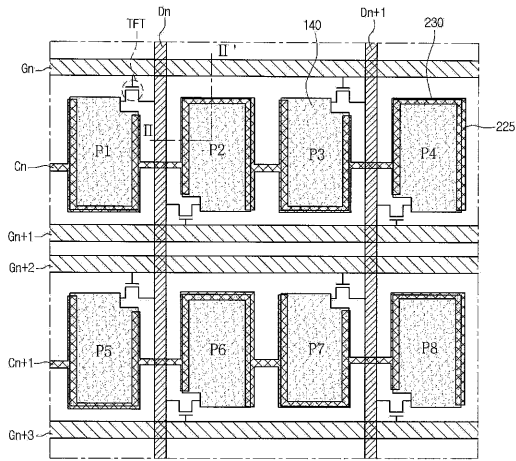
【図2a】



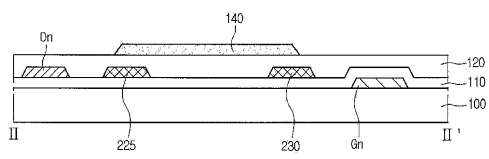
【図2b】



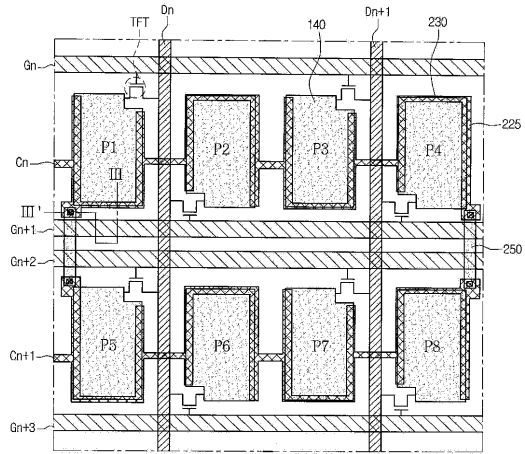
【 3 a 】



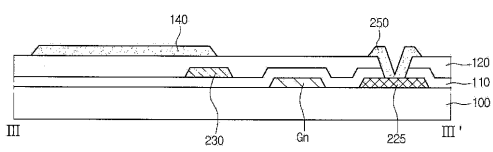
【 3 b 】



【 4 a 】



【 4 b 】



フロントページの続き

合議体

審判長 吉野 公夫

審判官 東 治企

審判官 菅野 芳男

- (56)参考文献 特開平04 - 360127 (JP, A)
特開平10 - 206869 (JP, A)
特開2006 - 106745 (JP, A)
特開平08 - 220561 (JP, A)

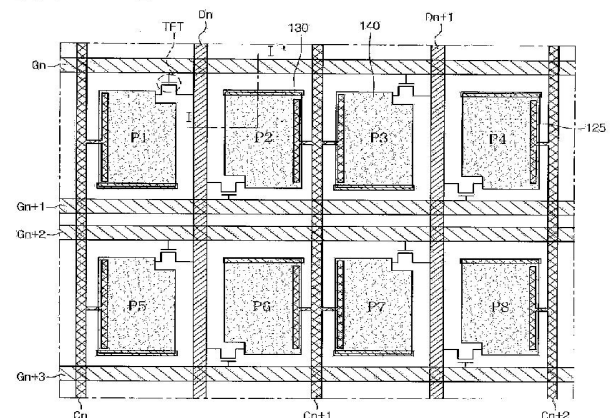
- (58)調査した分野(Int.Cl., DB名)
G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP5269540B2	公开(公告)日	2013-08-21
申请号	JP2008265126	申请日	2008-10-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ジュンホパク		
发明人	ジュンホ・パク		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136286 G02F2001/13606 G02F2001/136218 G09G3/3648 G09G2300/0426 G09G2300/043 G09G2320/0219		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA23 2H092/GA64 2H092/JA24 2H092/JB02 2H092/JB22 2H092/JB24 2H092/JB31 2H092/JB41 2H092/JB66 2H092/JB69 2H092/NA23 2H092/NA27 2H192/AA24 2H192/CC24 2H192/CC62 2H192/DA15 2H192/DA73 2H192/GA02 2H192/GA03		
代理人(译)	Kajinami秩序 上田俊一		
优先权	1020070120233 2007-11-23 KR		
其他公开文献	JP2009128907A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种能够减少数据线数量以降低制造成本和保持图像质量的液晶显示装置。根据本发明的液晶显示装置包括：基板，其中限定了大量像素；大量数据线，沿第一方向排列在基板上；以及将大量像素分成两行。沿与第一方向交叉的第二方向布置的多个栅极布线，设置在每个像素上并且电连接到栅极布线和数据布线的薄膜晶体管，并且布置在每个像素上并且，像素电极电连接到薄膜晶体管，以及补偿电极，用于减小像素电极和栅极线之间的寄生电容，与栅极线相邻的像素电极与插入其间的绝缘膜重叠。 [选定图]图2a

【 图 2 a 】



【 图 2 b 】