

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5143403号
(P5143403)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

(51) Int.Cl.		F I	
GO2F	1/1343	(2006.01)	GO2F 1/1343
GO2F	1/1368	(2006.01)	GO2F 1/1368
GO9F	9/30	(2006.01)	GO9F 9/30 338

請求項の数 33 (全 52 頁)

<p>(21) 出願番号 特願2006-321758 (P2006-321758)</p> <p>(22) 出願日 平成18年11月29日(2006.11.29)</p> <p>(65) 公開番号 特開2007-156468 (P2007-156468A)</p> <p>(43) 公開日 平成19年6月21日(2007.6.21)</p> <p>審査請求日 平成21年10月16日(2009.10.16)</p> <p>(31) 優先権主張番号 10-2005-0116790</p> <p>(32) 優先日 平成17年12月2日(2005.12.2)</p> <p>(33) 優先権主張国 韓国 (KR)</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区三星路129 129, Samsung-ro, Yeon gtong-gu, Suwon-si, G yeonggi-do, Republic of Korea</p> <p>(74) 代理人 100121382 弁理士 山下 託嗣</p> <p>(74) 代理人 100094145 弁理士 小野 由己男</p> <p>(74) 代理人 100106367 弁理士 稲積 朋子</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板、

前記基板の上に形成され、各々が第1副画素電極と第2副画素電極とを含む、複数の画素電極、

前記基板の上に形成され、各々が前記第1副画素電極とは重ならず、前記第2副画素電極と重なっている、複数の第1データ線、

を有し、

前記第1データ線が、前記第1副画素電極に隣接する第1部分、及び前記第2副画素電極に隣接する第2部分、を含み、

前記第1部分と前記第2部分とでは前記第1データ線の長手方向に対して垂直な方向での位置が異なる液晶表示装置。

【請求項 2】

前記第1データ線の第2部分が更に、前記第2副画素電極と重なっている第3部分、及び前記第2副画素電極とは重なっていない第4部分を含む、請求項1に記載の液晶表示装置。

【請求項 3】

前記第1データ線の第3部分と第4部分とでは前記第1データ線の長手方向に対して垂直な方向での位置が異なる、請求項2に記載の液晶表示装置。

【請求項 4】

前記第 1 データ線が前記第 1 副画素電極に連結されている、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 1 データ線と前記画素電極との間に形成されている有機膜、を更に有する、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 データ線に隣接する第 2 データ線を更に有する、請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 2 データ線が前記画素電極とは重なっていない、請求項 6 に記載の液晶表示装置。 10

【請求項 8】

前記第 2 データ線が、前記第 1 副画素電極に隣接する第 1 部分、及び前記第 2 副画素電極に隣接する第 2 部分、を含む、請求項 6 に記載の液晶表示装置。

【請求項 9】

前記第 2 データ線の第 2 部分が前記第 2 副画素電極と重なっている、請求項 8 に記載の液晶表示装置。

【請求項 10】

前記第 2 データ線が前記画素電極から分離されている、請求項 6 ないし 9 のいずれか一項に記載の液晶表示装置。 20

【請求項 11】

前記第 2 データ線が前記画素電極に連結されている、請求項 6 ないし 9 のいずれか一項に記載の液晶表示装置。

【請求項 12】

前記第 2 データ線と前記画素電極との間に形成されている有機膜、を更に有する、請求項 6 に記載の液晶表示装置。

【請求項 13】

前記第 1 副画素電極及び前記第 2 副画素電極の各々が、縦辺と斜辺とを含む平行四辺形状の電極片、を少なくとも 2 つずつ有する、請求項 1 に記載の液晶表示装置。

【請求項 14】 30

前記第 1 副画素電極及び前記第 2 副画素電極の各々において、前記平行四辺形状の電極片の縦辺が互いに接している、請求項 13 に記載の液晶表示装置。

【請求項 15】

前記第 1 副画素電極及び前記第 2 副画素電極の各々において、前記平行四辺形状の電極片の斜辺が互いに直角に交わっている、請求項 14 に記載の液晶表示装置。

【請求項 16】

前記第 1 副画素電極及び前記第 2 副画素電極の各々に形成されている傾斜方向決定部材、を更に有する、請求項 13 乃至 15 のいずれか一項に記載の液晶表示装置。

【請求項 17】

前記傾斜方向決定部材が、前記平行四辺形状の電極片の斜辺に対して実質的に平行な斜線部を含む切開部、を複数有する、請求項 16 に記載の液晶表示装置。 40

【請求項 18】

前記第 1 副画素電極及び前記第 2 副画素電極の各々が、前記第 1 データ線に対して実質的に平行な第 1 辺と第 2 辺、及び、前記第 1 辺と前記第 2 辺との各々と直角に交わっている第 3 辺と第 4 辺、を有する、請求項 1 に記載の液晶表示装置。

【請求項 19】

前記第 1 副画素電極の高さが前記第 2 副画素電極の高さと異なる、請求項 13 または 18 に記載の液晶表示装置。

【請求項 20】

前記第 1 副画素電極と前記第 2 副画素電極とが前記第 1 データ線の長手方向で隣接して 50

いる、請求項 13 または 18 に記載の液晶表示装置。

【請求項 21】

前記第1副画素電極の縦中心線と前記第2副画素電極の縦中心線とが同一の直線上に配置されている、請求項 20 に記載の液晶表示装置。

【請求項 22】

同じ映像情報に基づいて印加されるデータ電圧によって得られる電圧が前記第1副画素電極と前記第2副画素電極とでは異なる、請求項 1 に記載の液晶表示装置。

【請求項 23】

前記第1副画素電極の面積が前記第2副画素電極の面積より小さく、同じ映像情報に基づいて印加されるデータ電圧によって得られる電圧が前記第1副画素電極では前記第2副画素電極より高い、請求項 22 に記載の液晶表示装置。

10

【請求項 24】

前記第1副画素電極と前記第2副画素電極との各々に対し、同じ映像情報に基づいて異なるデータ電圧を印加する、請求項 22 に記載の液晶表示装置。

【請求項 25】

前記第1副画素電極と前記第2副画素電極との両方に連結されている薄膜トランジスタ、及び、前記薄膜トランジスタに連結されているゲート線、を更に有する、請求項 1 に記載の液晶表示装置。

【請求項 26】

前記ゲート線に対して平行に延びている第1維持電極線及び第2維持電極線、を更に有する、請求項 25 に記載の液晶表示装置。

20

【請求項 27】

前記薄膜トランジスタが、前記第1維持電極線に重なっている第1ドレイン電極、及び、前記第2維持電極線に重なっている第2ドレイン電極、を有する、請求項 26 に記載の液晶表示装置。

【請求項 28】

前記第1副画素電極に連結されている第1薄膜トランジスタ、
前記第2副画素電極に連結されている第2薄膜トランジスタ、
前記第1薄膜トランジスタに連結されている第1ゲート線、及び、
前記第2薄膜トランジスタに連結されている第2ゲート線、
を更に有する、請求項 1 に記載の液晶表示装置。

30

【請求項 29】

前記第1薄膜トランジスタは、前記第1ゲート線からのゲート信号によって導通し、それにより前記第1データ線から前記第1副画素電極にデータ電圧を伝達し、

前記第2薄膜トランジスタは、前記第2ゲート線からの信号によって導通し、それにより前記第1データ線から前記第2副画素電極にデータ電圧を伝達する、

請求項 28 に記載の液晶表示装置。

【請求項 30】

前記第1副画素電極と前記第1データ線とに連結されている第1薄膜トランジスタ、

前記第2副画素電極に連結されている第2薄膜トランジスタ、

前記第2薄膜トランジスタに連結されている第2データ線、及び、

前記第1薄膜トランジスタと前記第2薄膜トランジスタとに連結され、前記第1データ線と前記第2データ線との各々と交差するゲート線、

を更に有する、請求項 1 に記載の液晶表示装置。

40

【請求項 31】

前記第1薄膜トランジスタは、前記ゲート線からのゲート信号によって導通し、それにより前記第1データ線から前記第1副画素電極にデータ電圧を伝達し、

前記第2薄膜トランジスタは、前記ゲート線からのゲート信号によって導通し、それにより前記第2データ線から前記第2副画素電極にデータ電圧を伝達する、

請求項 30 に記載の液晶表示装置。

50

【請求項 3 2】

前記ゲート線に対して平行に延びている第 1 維持電極線及び第 2 維持電極線、を更に有する、請求項 3 0 に記載の液晶表示装置。

【請求項 3 3】

前記第 1 薄膜トランジスタが、前記第 1 維持電極線に重なっている第 1 ドレイン電極を有し、

前記第 2 薄膜トランジスタが、前記第 2 維持電極線に重なっている第 2 ドレイン電極を有する、

請求項 3 2 に記載の液晶表示装置。

【発明の詳細な説明】

10

【技術分野】**【0001】**

本発明は液晶表示装置に関し、特に液晶表示パネルに含まれる電極や信号線の構造に関する。

【背景技術】**【0002】**

液晶表示装置は現在最も広く使用されている平板表示装置の 1 つである。液晶表示装置は液晶表示パネルに映像を表示する。液晶表示パネルは、画素ごとに画素電極と共通電極などの電場生成電極を含む二枚の表示パネル、及び、それらの間に挿入されている液晶層で構成されている。液晶表示パネルは更に、各画素電極に連結されているスイッチング素子、及び、それらのスイッチング素子にゲート信号を伝達するゲート線や画素電極にデータ電圧を伝達するデータ線などの複数の信号線を含む。各画素の電場生成電極に対してデータ電圧が印加されると、それらの間に挟まれた液晶層には電場が生成される。この電場がこの液晶層に含まれる液晶分子の配向状態を変化させる。更に、その配向状態の変化に応じてその画素の光透過率が変化する。こうして、各画素の光透過率が電場生成電極の電圧で制御されることにより、液晶表示パネルに映像が表示される。

20

【0003】

液晶層に対して一方向の電界が長時間印加されると、液晶に劣化が発生するおそれがある。そのような液晶の劣化を防止するために、液晶表示装置は通常、共通電極の電圧（共通電圧）に対するデータ電圧の極性を、フレームごとに、画素マトリックスの行、若しくは列ごとに、または画素ごとに反転させる。

30

【0004】

液晶表示パネルの中には、各画素が 2 つの副画素に分けられているものがある。その場合、ある画素に対して一つの階調が指定されるとき、その画素に含まれている 2 つの副画素の各々に対して異なるデータ電圧が印加される。又は、それらの副画素間で等価容量の差を調節し、それらの副画素に対して同じデータ電圧が印加された場合に得られる各副画素電極の実際の電圧間に所定の差を与える。その結果、それらの副画素の輝度に所定の差が生じる。その輝度の差が液晶表示パネルの視野角を拡げ、かつ液晶表示パネルの前方から外れた方向での画面の視認性を向上させる。

【発明の開示】

40

【発明が解決しようとする課題】**【0005】**

液晶表示パネルでは一般に、データ線と画素電極との間に寄生容量が生じている。この寄生容量により、画素電極の実際の電圧は、外部から印加されるデータ電圧から外れる。特に低い階調に対応するデータ電圧が画素に対して印加される場合、その画素に含まれる 2 つの副画素電極のうち、比較的高い電圧が得られる副画素電極では、その電圧が目標レベルから過大に変動しやすい。すなわち、同じ画素に含まれている 2 つの副画素間では一方の輝度が他方の輝度より過大に変化しやすい。その結果、副画素間にはクロストークが発生しやすいので、液晶表示装置の更なる高画質化が阻まれている。

【0006】

50

更に、隣接する2つの副画素間でデータ電圧の極性が逆であるとき、各画素の副画素間でのクロストークが過大になりやすい。例えば、各画素で2つの副画素が画素マトリックスの列方向に配置されている場合、画素マトリックスの列ごとにデータ電圧の極性が反転するとき（列反転駆動）、画面の垂直方向でのクロストークが大きくなりやすい。

本発明の目的は、画素の開口率を十分に高く維持したまま、副画素間でのクロストークの発生を抑えることのできる液晶表示装置、を提供することにある。

【課題を解決するための手段】

【0007】

本発明による液晶表示装置は、基板、複数の画素電極、及び、複数の第1データ線を有する。各画素電極は基板の上に形成され、第1副画素電極と第2副画素電極とを含む。第1データ線は基板の上に形成され、第1副画素電極とは重ならず、第2副画素電極と重なっている。第1データ線は好ましくは、第1副画素電極に隣接する第1部分、及び第2副画素電極に隣接する第2部分、を含む。第1部分と第2部分とでは、第1データ線の長手方向に対して垂直な方向での位置が異なる。第1データ線の第2部分が更に、第2副画素電極と重なっている第3部分、及び第2副画素電極とは重なっていない第4部分を含んでも良い。その場合、好ましくは、第3部分と第4部分とでは第1データ線の長手方向に対して垂直な方向での位置が異なる。

10

【0008】

本発明による上記の液晶表示装置が、第1データ線と隣接する第2データ線を更に有しても良い。好ましくは、第2データ線の全体が画素電極とは重なっていない。その他に、第2データ線が、第1副画素電極に隣接する第1部分、及び第2副画素電極に隣接する第2部分を有し、その第2部分が第2副画素電極と重なっていても良い。第2データ線は画素電極から分離されていても、画素電極に連結されていても良い。

20

【0009】

第1副画素電極及び第2副画素電極の各々は好ましくは、縦辺と斜辺とを含む平行四辺形状の電極片、を少なくとも2つずつ有する。その場合、好ましくは、第1副画素電極及び第2副画素電極の各々において、平行四辺形状の電極片の縦辺が互いに接している。それにより、第1副画素電極及び第2副画素電極の各々が、例えば矢羽根形状を成す。更に好ましくは、第1副画素電極及び第2副画素電極の各々において、平行四辺形状の電極片の斜辺が互いに直角に交わっている。ここで、第1副画素電極及び第2副画素電極の各々には傾斜方向決定部材が形成されていても良い。傾斜方向決定部材は好ましくは、平行四辺形状の電極片の斜辺に対して実質的に平行な斜線部を含む切開部、を複数有する。

30

【0010】

第1副画素電極及び第2副画素電極の各々が、第1データ線に対して実質的に平行な第1辺と第2辺、及び、第1辺と第2辺との各々と直角に交わっている第3辺と第4辺、を有しても良い。すなわち、第1副画素電極及び第2副画素電極の各形状が長方形であっても良い。

【0011】

各副画素電極の形状が矢羽根形状であっても長方形であっても、好ましくは、第1副画素電極の高さが第2副画素電極の高さとは異なる。好ましくは、第1副画素電極と第2副画素電極とが第1データ線の長手方向で隣接している。その場合、更に好ましくは、第1副画素電極の縦中心線と第2副画素電極の縦中心線とが同一の直線上に配置されている。

40

【0012】

好ましくは、同じ映像情報に基づいて印加されるデータ電圧によって得られる電圧が第1副画素電極と第2副画素電極とでは異なる。更に好ましくは、第1副画素電極の面積が第2副画素電極の面積より小さく、同じ映像情報に基づいて印加されるデータ電圧によって得られる電圧が第1副画素電極では第2副画素電極より高い。その他に、本発明による上記の液晶表示装置が、第1副画素電極と第2副画素電極との各々に対し、同じ映像情報に基づいて異なるデータ電圧を印加しても良い。

【0013】

50

本発明による上記の液晶表示装置は好ましくは、第1副画素電極と第2副画素電極との両方に連結されている薄膜トランジスタ、及び、その薄膜トランジスタに連結されているゲート線、を更に有する。その液晶表示装置は更に好ましくは、ゲート線に対して平行に延びている第1維持電極線及び第2維持電極線、を更に有する。その場合、上記の薄膜トランジスタが、第1維持電極線に重なっている第1ドレイン電極、及び、第2維持電極線に重なっている第2ドレイン電極、を有しても良い。ここで、同じ画素に含まれている2つの副画素電極に対しては、共通の薄膜トランジスタを通して同じデータ電圧が印加される。しかし、例えばドレイン電極と維持電極線との間の寄生容量の違い、または維持電極線の電圧の違いにより、2つの副画素電極間では実際に得られる電圧が異なる。

【0014】

本発明による上記の液晶表示装置が、第1副画素電極に連結されている第1薄膜トランジスタ、第2副画素電極に連結されている第2薄膜トランジスタ、第1薄膜トランジスタに連結されている第1ゲート線、及び、第2薄膜トランジスタに連結されている第2ゲート線、を更に有しても良い。その場合、第1薄膜トランジスタは第1ゲート線からのゲート信号によって導通し、第1データ線から第1副画素電極に対してデータ電圧を伝達する。一方、第2薄膜トランジスタは第2ゲート線からのゲート信号によって導通し、第2データ線から第2副画素電極に対してデータ電圧を伝達する。

【0015】

第2薄膜トランジスタが第1データ線に代え、第2データ線に連結されていても良い。すなわち、第1薄膜トランジスタと第2薄膜トランジスタとが異なるデータ線に連結されていても良い。その場合、好ましくは、第1薄膜トランジスタと第2薄膜トランジスタとが同じゲート線に連結されている。第1薄膜トランジスタはゲート線からのゲート信号によって導通し、第1データ線から第1副画素電極にデータ電圧を伝達する。第2薄膜トランジスタは同じゲート線からのゲート信号によって導通し、第2データ線から第2副画素電極にデータ電圧を伝達する。ここで、2つの副画素電極間でデータ電圧が異なる場合、2つの薄膜トランジスタは互いに異なるタイミングで導通する。更に、第1維持電極線及び第2維持電極線がゲート線に対して平行に延びている場合、第1薄膜トランジスタのドレイン電極が第1維持電極線と重なり、第2薄膜トランジスタのドレイン電極が第2維持電極線と重なっていても良い。ここで、2つの副画素電極間で等価容量の差または維持電極線の電圧の差が調節されることにより、同じデータ電圧が印加されるときに得られる電圧が2つの副画素電極間で十分に異なる場合、2つの薄膜トランジスタが同じタイミングで導通しても良い。

【発明の効果】

【0016】

本発明による液晶表示装置では上記の通り、データ線が第1副画素電極とは重ならず、第2副画素電極と重なっている。ここで、好ましくは、第1副画素電極の面積が第2副画素電極の面積より小さい。従って、画素の開口率を高く確保したまま、上記のようなデータ線の配置を実現できる。更に、データ線と第1副画素電極との間に生じる寄生容量はデータ線と第2副画素電極との間に生じる寄生容量より小さい。従って、同じ映像情報に基づいて印加されるデータ電圧によって得られる電圧が第1副画素電極では第2副画素電極より高く設定される場合でも、第1副画素電極の電圧が目標レベルに確実に維持される。それ故、クロストークの発生が防止される。その結果、液晶表示パネルの画質が更に向上する。

【発明を実施するための最良の形態】

【0017】

以下、添付した図面を参照しながら本発明の好適な実施形態について詳細に説明する。

《第1実施形態》

図1は本発明の第1実施形態による液晶表示装置のブロック図であり、図2はその液晶表示装置に含まれる2つの副画素を示す模式図である。

図1に示したように、本発明の第1実施形態による液晶表示装置は、液晶表示パネルア

10

20

30

40

50

センブリ300、及び、これに連結されたゲート駆動部400とデータ駆動部500、データ駆動部500に連結された階調電圧生成部800、及び、それらを制御する信号制御部600を有する。

【0018】

液晶表示パネルアセンブリ300は、複数の信号線（図示せず）と、それらに連結されていてほぼマトリックス状に配列された複数の画素PXとを有する。さらに、図2に示されているように、液晶表示パネルアセンブリ300は、互いに対向する下部表示パネル100と上部表示パネル200、及びそれらの間に入っている液晶層3を有する。

信号線は、ゲート信号（走査信号とも言う）を伝達する複数のゲート線（図示せず）と、データ電圧を伝達する複数のデータ線（図示せず）とを有する。ゲート線はほぼ行方向に延びて互いにほとんど平行であり、データ線はほぼ列方向に延びて互いにほとんど平行である。

10

【0019】

各画素PXは一对の副画素を有し、各副画素は液晶キャパシタClca、Clcbを有する。2つの副画素のうち、少なくとも1つは、ゲート線、データ線、及び液晶キャパシタClca、Clcbに連結されたスイッチング素子（図示せず）を有する。液晶キャパシタClca/Clcbは、下部表示パネル100の副画素電極PEa/PEbと上部表示パネル200の共通電極CEとを2つの端子とし、副画素電極PEa/PEbと共通電極CEとの間の液晶層3を誘電体として利用する。一对の副画素電極PEa、PEbの間は分離されている。一对の副画素電極PEa、PEbが1つの画素電極PEを構成する。共通電極CEは上部表示パネル200の全面に形成されていて、共通電圧Vcomの印加を受ける。液晶層3は負の誘電率異方性を有し、液晶層3の液晶分子は電場のない状態では、その長軸が2つの表示パネルの表面に対して垂直を成すように配向されている。

20

【0020】

色表示を実現するために、各画素PXが特定の基本色を個別に表示し（空間分割方式）、又は、各画素PXが時間によって基本色を交互に表示する（時間分割方式）。基本色の空間的な分布、又は時間的な分布により、所望の色相が表現される。基本色の例としては、三原色（赤色、緑色、青色）がある。図2は空間分割方式の一例を示し、各画素PXが上部表示パネル200の領域に基本色の1つを示す色フィルターCFを備えている。図2とは異なり、色フィルターCFを下部表示パネル100の副画素電極PEa、PEbの上または下に形成することもできる。

30

【0021】

各表示パネル100、200の外側には偏光子（図示せず）が備えられている。尚、反射型液晶表示装置の場合には、2つの偏光子のいずれか1つを省略してもよい。2つの偏光子の偏光軸は好ましくは互いに直交する。その場合、電場が印加されていない状態の液晶層3を透過した光が偏光子により遮断される。

【0022】

再び図1を参照すると、階調電圧生成部800は、画素PXの透過率に対応づけられている複数の階調電圧（または基準階調電圧）を生成する。ゲート駆動部400は液晶表示パネルアセンブリ300のゲート線と連結され、ゲートオン電圧Vonとゲートオフ電圧Voffとの組み合わせから成るゲート信号Vgをゲート線に対して印加する。データ駆動部500は液晶表示パネルアセンブリ300のデータ線と連結され、階調電圧生成部800からの階調電圧を選択し、これをデータ電圧Vdとしてデータ線に対して印加する。尚、階調電圧生成部800が全ての階調に対する階調電圧ではなく、決められた数の基準階調電圧のみを提供する場合には、データ駆動部500は基準階調電圧を分圧して各階調に対する階調電圧を生成し、この中からデータ電圧を選択する。信号制御部600はゲート駆動部400及びデータ駆動部500などを制御する。

40

【0023】

これらの駆動装置400、500、600、800の各々は好ましくは、少なくとも1つの集積回路チップの形態で液晶表示パネルアセンブリ300の上に直接実装されている。その他に、そ

50

れらが可撓性印刷回路膜（図示せず）の上に実装され、TCP（Tape Carrier Package）の形態で液晶表示パネルアセンブリ300に実装されていても良い。さらに、それらが別の印刷回路基板（図示せず）の上に実装されていても良い。その他に、駆動装置400、500、600、800が液晶表示パネルアセンブリ300に集積化されていてもよい。また、駆動装置400、500、600、800の全てが単一のチップに集積化されていても良い。その場合、それらのうちの少なくとも1つ、またはそれらを構成する少なくとも1つの回路素子とその単一チップの外側にあってもよい。

【0024】

次に、このような液晶表示装置の動作について詳細に説明する。

信号制御部600は外部のグラフィックコントローラ（図示せず）から入力映像信号R、G、B、及び、その表示を制御する入力制御信号を受信する。入力映像信号R、G、Bは各画素PXの輝度情報を含む。ここで、画素PXの輝度は、決められた個数（例えば、 $1024 = 2^{10}$ 、 $256 = 2^8$ 、または $64 = 2^6$ ）の階調のいずれかで示されている。入力制御信号の例としては、垂直同期信号Vsync、水平同期信号Hsync、メインクロックMCLK、データインーブル信号DEなどがある。

【0025】

信号制御部600は入力映像信号R、G、Bと入力制御信号とに基づいて入力映像信号R、G、Bを、液晶表示パネルアセンブリ300及びデータ駆動部500の動作条件に合わせて適切に処理する。信号制御部600はさらに、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成し、その後、ゲート制御信号CONT1をゲート駆動部400に出力し、データ制御信号CONT2と処理された映像信号DATとをデータ駆動部500に出力する。出力映像信号DATは各画素のPXの輝度の階調をデジタル信号で表している。ゲート制御信号CONT1は、走査開始を指示する走査開始信号と、ゲートオン電圧Vonの出力周期を制御する少なくとも1つのクロック信号とを有する。ゲート制御信号CONT1はまた、ゲートオン電圧Vonの持続時間を限定する出力インーブル信号を更に有していても良い。データ制御信号CONT2は、画素マトリックスの行ごとに副画素に対する映像データの伝送開始を知らせる水平同期開始信号、液晶表示パネルアセンブリ300に対するデータ電圧の印加を命令するロード信号、及びデータクロック信号を含む。データ制御信号CONT2はまた、共通電圧Vcomに対するデータ電圧の極性（以下、単に“データ電圧の極性”と言う）を反転させる反転信号を更に含んでいても良い。

【0026】

信号制御部600からのデータ制御信号CONT2に従い、データ駆動部500は、画素マトリックスの各行に対するデジタル映像信号DATを受信する。データ駆動部500はさらに、各デジタル映像信号DATに対応する階調電圧を選択することによってデジタル映像信号DATをアナログデータ電圧に変換し、その後、これを目標のデータ線に対して印加する。

【0027】

ゲート駆動部400は信号制御部600からのゲート制御信号CONT1に従ってゲートオン電圧Vonをゲート線に対して印加し、このゲート線に連結されたスイッチング素子を導通させる。その結果、データ線に対して印加されたデータ電圧が、導通したスイッチング素子を通じて副画素に対して印加される。この時、例えば1つの画素電極を構成する第1副画素電極と第2副画素電極とが異なるスイッチング素子に連結されている場合、つまり、各副画素が個別にスイッチング素子を有している場合には、2つの副画素が異なる時間に同じデータ線を通じて異なるデータ電圧の印加を受けることができる。その他に、同じ時間に異なるデータ線を通じて異なるデータ電圧の印加を受けることもできる。それらとは異なり、第1副画素電極がスイッチング素子と連結され、第2副画素電極と第1副画素電極との間が容量性結合を形成している場合には、第1副画素電極に対してはスイッチング素子を通じてデータ電圧が印加され、第2副画素電極に対しては第1副画素電極を通じて変化した電圧が印加される。この時、データ電圧の印加を直接受ける第1副画素電極は第2副画素電極より面積が小さく設定される。更に、データ電圧の印加により得られる第1副画素電極の実際の電圧が第2副画素電極の実際の電圧より高い。

【 0 0 2 8 】

このように、第1液晶キャパシタClcaと第2液晶キャパシタClcbとの間で両端電圧に差が生じると、各表示パネル100、200の表面に対してほとんど垂直な主電場が液晶層3に生成される。そのとき、液晶層3の液晶分子が主電場に依りて回転し、その長軸が主電場の方向に対して垂直に傾く。液晶分子が傾いた程度に依り、液晶層3を透過する光の偏光方向が回転する。この偏光方向の変化が偏光子によって画素の光透過率の変化（すなわち、輝度の変化）として現れる。こうして、液晶表示装置は液晶表示パネル300に所望の映像を表示する。

【 0 0 2 9 】

液晶分子が傾く角度は主電場の強さによって変わる。さらに、各画素では2つの液晶キャパシタClca、Clcbの両端電圧が異なるので、副画素間で液晶分子の傾きが異なる。従って、2つの副画素間では輝度が異なる。この輝度差を適切に調節すれば、すなわち、液晶キャパシタClcaの両端電圧と第2液晶キャパシタClcbの両端電圧とを適切に調節すれば、液晶表示パネル300の側方から見える映像の画質が、正面から見える映像の画質に最大限に接近させることができる。つまり、側面ガンマ曲線を正面ガンマ曲線に最大限に接近させることができる。こうして、液晶表示パネル300の側面視認性が向上する。更に、データ電圧の印加を直接受ける第1副画素電極の面積を第2副画素電極の面積より小さくすれば、側面ガンマ曲線を正面ガンマ曲線に更に接近させることができる。特に、図4に示したように、第1副画素電極191aと第2副画素電極191bとの間の面積比がほぼ1：(2~3)である場合、側面ガンマ曲線が正面ガンマ曲線に一層接近するので、液晶表示パネル300の側面視認性が更に良くなる。

【 0 0 3 0 】

1水平周期（1Hとも言い、水平同期信号Hsync及びデータイネーブル信号DEの一周期と等しい）を単位として、このような過程を繰り返す。それにより、全ての画素PXに対してデータ電圧を印加して1つのフレームの映像を液晶表示パネル300に表示する。1つのフレームが終われば、次のフレームが始まる。そのとき、各画素PXに対して印加されるデータ電圧の極性が直前のフレームにおける極性と反対になるように、データ駆動部500に対して印加される反転信号の状態が制御される（フレーム反転）。更に、同じフレーム内でも反転信号の特性により、データ線ごとにデータ電圧の極性が反転し（例：行反転、点反転）、または、画素マトリックスの行ごとにデータ電圧の極性が反転しても良い（例：列反転、点反転）。

【 0 0 3 1 】

以下、このような液晶表示パネルアセンブリの具体的な構造の一例について、図3~図15、及び図1、図2を参照しながら詳細に説明する。

図3は本発明の第1実施形態による液晶表示パネルアセンブリに含まれる1つの画素の等価回路図である。図3を参照すると、第1実施形態による液晶表示パネルアセンブリでは、画素PXが、ゲート線GL、一対のデータ線DLa、DLb、及び維持電極線SLに連結されている。画素PXは一対の副画素PXa、PXbを有する。各副画素PXa/PXbは、ゲート線GLとデータ線DLa/DLbとに連結されているスイッチング素子Qa/Qb、これに連結された液晶キャパシタClca/Clcb、及び、スイッチング素子Qa/Qbと維持電極線SLとに連結されているストレージキャパシタCsta/Cstbを有する。各スイッチング素子Qa/Qbは下部表示パネル100に備えられている薄膜トランジスタであり、その制御端子はゲート線GLに連結され、その入力端子はデータ線DLa/DLbに連結され、その出力端子は液晶キャパシタClca/ClcbとストレージキャパシタCsta/Cstbとに連結されている。液晶キャパシタClca/Clcbの補助的な役割を果たすストレージキャパシタCsta/Cstbは、下部表示パネル100に備えられた維持電極線SLと画素電極PEとが絶縁体を間に置いて重なっている部分から構成されている。維持電極線SLに対しては共通電圧Vcomなどの決められた電圧が印加される。尚、ストレージキャパシタCsta、Cstbは、副画素電極PEa、PEbが絶縁体を媒介としてゲート線と重なっている部分から構成されていてもよい。液晶キャパシタClca、Clcbなどについては前述の説明を援用する。

10

20

30

40

50

【 0 0 3 2 】

このような液晶表示パネルアセンブリを有する液晶表示装置では、信号制御部600が1つの画素PXに対する入力映像信号R、G、Bを受信し、2つの副画素PXa、PXbに対する出力映像信号DATに変換してデータ駆動部500に伝送することができる。その他に、階調電圧生成部800が副画素PXa、PXbごとに異なる階調電圧群を作り、階調電圧生成部800が各群から選択された階調電圧を交互にデータ駆動部500に提供し、またはデータ駆動部500が階調電圧を二つの群から交互に選択する。それにより、2つの副画素PXa、PXbに対して異なるデータ電圧を印加することができる。但し、この時、2つの副画素PXa、PXb間での合成ガンマ曲線が、液晶表示パネルアセンブリの正面での基準ガンマ曲線に近くなるように映像信号を補正し、または各階調電圧群を作ることが好ましい。例えば、正面での合成ガンマ曲線を、この液晶表示パネルアセンブリに最も適した、正面での基準ガンマ曲線と一致させる一方、側方での合成ガンマ曲線を正面での基準ガンマ曲線にできるだけ接近させる。

10

【 0 0 3 3 】

次に、図3に示した等価回路で表される画素の具体的な構造の一例について、図4～図10、及び図1、図2を参照しながら詳細に説明する。図4は本発明の第1実施形態による液晶表示パネルアセンブリの平面図であり、図5及び図6の各々は、図4に示した液晶表示パネルアセンブリを折線V-V及び折線VI-VIの各々に沿って切断した断面の展開図であり、図7A及び図7Bは、図4に示した副画素電極の基本部品である電極片の平面図である。図4～図6を参照すると、第1実施形態による液晶表示パネルアセンブリは、互いに対向する下部表示パネル100と上部表示パネル200、及び、これら2つの表示パネル100、200の間に入っている液晶層3を有する。

20

【 0 0 3 4 】

まず、下部表示パネル100について説明する。

透明なガラスまたはプラスチックなどで作られた絶縁基板110の上に複数のゲート導電体が形成されている。各ゲート導電体は、ゲート線121、及び第1維持電極線131aと第2維持電極線131bとの対を有する。ゲート線121は主に行方向に伸び、ゲート信号を伝達する。ゲート線121は、列方向に突出した第1ゲート電極124aと第2ゲート電極124bとの対、及び、他の層またはゲート駆動部400とに接続されている広い端部129aを有する。尚、ゲート駆動部400が基板110の上に集積化されている場合、ゲート線121がゲート駆動部400と直結していても良い。維持電極線131a、131bは主に行方向に伸び、共通電圧Vcomなどの所定の電圧の印加を受ける。第1維持電極線131aと第2維持電極線131bとの各対は列方向で各ゲート線121を間に置いている。各維持電極線131a、131bは、列方向に拡張された第1維持電極137aと第2維持電極137bとの対を複数有する。尚、維持電極137a、137bをはじめ、維持電極線131の様式及び配置は多様に変更することができる。

30

【 0 0 3 5 】

ゲート導電体121、131a、131bは、アルミニウム (Al) やアルミニウム合金などのアルミニウム系金属、銀 (Ag) や銀合金などの銀系金属、銅 (Cu) や銅合金などの銅系金属、モリブデン (Mo) やモリブデン合金などのモリブデン系金属、クロム (Cr)、タンタル (Ta)、及びチタニウム (Ti) などで作ることができる。更に、ゲート導電体121、131a、131bが、物理的性質の異なる2つの導電膜 (図示せず) を有する多重膜構造であってもよい。このうちの1つの導電膜は信号遅延や電圧降下を減らすことができるように比抵抗の低い金属 (例えば、アルミニウム系金属、銀系金属、銅系金属など) で作られる。一方、他の導電膜は他の物質、特にITO (酸化インジウムスズ) 及びIZO (酸化インジウム亜鉛) との物理的、化学的、電気的接触特性に優れた物質 (例えば、モリブデン系金属、クロム、タンタル、チタニウムなど) で作られる。このような組み合わせの良い例としては、クロム下部膜とアルミニウム (合金) 上部膜との組み合わせ、及び、アルミニウム (合金) 下部膜とモリブデン (合金) 上部膜との組み合わせがある。尚、ゲート導電体121、131a、131bはその他にも多様な金属または導電体で作ることができる。ゲート導電体121、131a、131bの側面は基板110の表面に対して傾いており、その傾斜角は約30°～約80°であるのが好ましい。

40

50

【0036】

ゲート導電体121、131a、131bの上には窒化シリコン(SiNx)または酸化シリコン(SiOx)などで作られたゲート絶縁膜140が形成されている。ゲート絶縁膜140の上には水素化非晶質シリコン(a-Si:H)または多結晶シリコンなどで島状に作られた第1半導体154aと第2半導体154bとの対が複数形成されている。第1半導体154aと第2半導体154bとの各々は、第1ゲート電極124aと第2ゲート電極124bとの上に位置する。各第1半導体154aの上には一对の島状抵抗性接触部材(図示せず)が形成されている。各第2半導体154bの上にも一对の島状抵抗性接触部材163b、165bが形成されている。島状抵抗性接触部材163b、165bは、リンなどのn型不純物が高濃度でドーピングされているn+水素化非晶質シリコン、またはシリサイドで作ることができる。半導体154a、154bと島状抵抗性接触部材163b、165bとの側面もまた基板110の表面に対して傾いていて、傾斜角は30°~80°程度である。

10

【0037】

島状抵抗性接触部材163b、165b、及びゲート絶縁膜140の上にはデータ導電体が形成されている。データ導電体は一对のデータ線171a、171bと一对のドレイン電極175a、175bとを有する。

第1データ線171aと第2データ線171bとは主に列方向に延びてゲート線121及び維持電極線131a、131bと交差し、データ電圧を伝達する。各データ線171a、171bは各画素の中間で一度屈曲している。各データ線171a/171bは、ゲート電極124a/124bに向かって延びているソース電極173a/173bと、他の層またはデータ駆動部500とに接続されている面積の広い端部179a/179bを有する。尚、データ駆動部500が基板110の上に集積化されている場合、データ線171a、171bがデータ駆動部500と直結していても良い。

20

【0038】

第1ドレイン電極175aと第2ドレイン電極175bとは分離され、データ線171a、171bからも分離されている。第1/第2ドレイン電極175a/175bは第1/第2ゲート電極124a/124bの上方で第1/第2ソース電極173a/173bと対向している。第1/第2ドレイン電極175a/175bは、広い端部177a/177bと棒状の端部とを有する。広い端部177a/177bは画素の縦中心線(列方向に延びている、行方向での画素の中心を示す線)に沿って延びて第1/第2維持電極137a/137bと重なっている。棒状端部は屈曲した第1/第2ソース電極173a/173bで囲まれている。また、第1/第2ドレイン電極175a/175bは、ゲート線に対して平行に延びている分枝部178a/178bを有する。第1/第2ドレイン電極175a/175bでは、棒状端部と分枝部178a/178bとが画素の縦中心線に対してほぼ対称である。それにより、画素PXの平面形状が縦中心線に対して対称に維持されるので、画素の光学的特性も縦中心線に対して対称に維持される。

30

【0039】

第1/第2ゲート電極124a/124b、第1/第2ソース電極173a/173b、及び第1/第2ドレイン電極175a/175bは第1/第2半導体154a/154bと共に第1/第2薄膜トランジスタQa/Qbを構成している。第1/第2薄膜トランジスタQa/Qbのチャンネルは第1/第2ソース電極173a/173bと第1/第2ドレイン電極175a/175bとの間の第1/第2半導体154a/154bに形成される。第1/第2薄膜トランジスタQa/Qbは第1/第2データ線171a/171bの左側/右側に位置する。

40

【0040】

データ導電体171a、171b、175a、175bは、モリブデン、クロム、タンタル、及びチタニウムなどの耐熱性金属、またはこれらの合金で作るのが好ましい。さらに、データ導電体が、耐熱性金属膜(図示せず)と低抵抗導電膜(図示せず)とを有する多重膜構造であってもよい。多重膜構造の例としては、クロムまたはモリブデン(合金)下部膜とアルミニウム(合金)上部膜との二重膜、モリブデン(合金)下部膜とアルミニウム(合金)中間膜とモリブデン(合金)上部膜との三重膜がある。尚、データ導電体171a、171b、175a、175bはその他にも多様な金属または導電体で作ることができる。データ導電体171a、171b、175a、175bもまた、その側面が基板110の表面に対して30°~80°程度の傾斜角で傾い

50

ているのが好ましい。

【0041】

島状抵抗性接触部材163b、165bは、その下地の半導体154a、154bと、その上を覆うデータ導電体171a、171b、175a、175bとの間に存在し、それらの間の接触抵抗を下げる。半導体154a、154bには更に、ソース電極173a / 173bとドレイン電極175a / 175bとの間をはじめ、データ導電体171a、171b、175a、175bでは覆われずに露出した部分がある。

【0042】

データ導電体171a、171b、175a、175b、及び半導体154a、154bの露出部分の上には保護膜180が形成されている。保護膜180は無機絶縁物または有機絶縁物などで作られ、表面が平坦であってもよい。有機絶縁物は4.0以下の誘電定数を有するのが好ましく、感光性を有することもできる。さらに、保護膜180が、有機膜の優れた絶縁特性を生かしながら、半導体154a、154bの露出部分に害にならないように、下部無機膜と上部有機膜との二重膜構造を有していても良い。保護膜180には、データ線171a / 171bの端部179a / 179bと第1 / 第2ドレイン電極175a / 175bの広い端部177a / 177bとの各々を露出させる複数の接触孔182、185a、185bが形成されている。保護膜180とゲート絶縁膜140とにはゲート線121の端部129を露出させる複数の接触孔181が形成されている。

【0043】

保護膜180の上には、複数の画素電極191、及び複数の接触補助部材81、82a、82bが形成されている。これらは、ITO若しくはIZOなどの透明な導電物質、または、アルミニウム、銀、クロム、若しくはそれらの合金などの反射性金属で作ることができる。

画素電極191は上部表示パネル200に形成され、基本色（例えば赤色（R）、緑色（G）、青色（B）の三原色）のうちの1つを示す色フィルターCFと対向している。各画素電極191は第1副画素電極191aと第2副画素電極191bとの対に分離されている。各第2副画素電極191a、191bは、図7Aに示した平行四辺形状の電極片196と、図7Bに示した平行四辺形状の電極片197とを、少なくとも1つずつ有する。

【0044】

図7A及び図7Bに示したように、各電極片196 / 197は一对の斜辺196o / 197o及び一对の縦辺196t / 197tを有し、ほぼ平行四辺形である。斜辺196o / 197oは縦辺196t / 197tと斜めに交わり、両辺の成す角の大きさがほぼ45° ~ 135°であるのが好ましい。電極片196 / 197の二つの縦辺196t / 197tの間の距離（幅）Wと、二つの斜辺196o / 197oの間の距離（高さ）Hとは、液晶表示パネルアセンブリ300の大きさに応じて自由に決めることができる。また、電極片196 / 197の縦辺196t / 197tの形状は、他の部分との位置関係を考慮し、屈曲したり突出したりするなど、多様に変更することができる。以下では、このような変形も全て含んで、電極片196 / 197の形状を平行四辺形と言う。

【0045】

各副画素電極191a、191bでは、傾斜方向の異なる平行四辺形状の電極片196、197が行方向に並び、互いに連結されている。特に、二つの電極片196、197の間では、各々の縦辺196t、197tが互いに接している。さらに、各電極片196、197の斜辺196o、197oが斜めに交わっている。その角度はほぼ90°であるのが好ましい。こうして、各副画素電極191a、191bが同様な矢羽根形状に構成される。特に、行方向に延びる辺が列方向に屈曲している。

【0046】

各画素では、このような第1副画素電極191aと第2副画素電極191bとが列方向に隣接している。第2副画素電極191bの高さH2は第1副画素電極191aの高さH1より大きく、1.1倍 ~ 2倍程度である。第2副画素電極191bの幅W2は第1副画素電極191aの幅W1より多少大きい。従って、第2副画素電極191bの面積は第1副画素電極191aの面積より大きく、1.5倍 ~ 2倍程度である。尚、本発明の実施形態はこのような大きさに限定されるわけではなく、第1 / 第2副画素電極191a / 191bの高さH1 / H2及び幅W1 / W2を調節して所望の面積比を得ることができる。特に、1 : (1.1 ~ 3) 程度の面積比であるのが好ましい。このように、各副画素電極191a、191bは行方向に一度折れ曲がっている。従って、三原色（赤色（R）、緑色（G）、青色（B））の各々を示す色フィルターに対向する3つの画素電極191の

10

20

30

40

50

領域を更に容易に形成することができる。さらに、データ線171a、171bと重なっている部分の面積を容易に調節できる。

【0047】

好ましくは、第1副画素電極191aは切開部91を有し、第2副画素電極は切開部92、93を有する。その他に、切開部91、92、93に代え、突起（図示せず）や陥没部（図示せず）が設けられていても良い（特に突起は有機物または無機物で作ることができ、副画素電極191a、191b、または共通電極270の上または下に配置できる）。各切開部91/92、93は2つの斜辺を有する。各斜辺は、第1/第2副画素電極191a/191bを構成する平行四辺形状の電極片の斜辺196o/197oと実質的に平行である。切開部91、92、93の個数、模様、及び配置は多様に変更可能である。第1/第2副画素電極191a/191bは切開部91/92、93を境に複数の副領域に区画されている。各副領域は2つの主辺を有する。各主辺の位置は、切開部91/92、93の斜辺及び電極片196/197の斜辺196o/197oの位置で決まる。ここで、液晶分子が傾く方向は主に、副画素電極191a/191bの切開部91/92、93と副画素電極191a、191bの辺とにより主電場が歪曲して生じる水平成分の方向で決まる。このような主電場の水平成分は、切開部91、92、93の辺と副画素電極191a、191bの辺との各々に対してほぼ垂直である。従って、切開部91、92、93によって区画された各副領域では液晶分子が主辺に対してほぼ垂直に傾くので、各副画素では、液晶分子の傾斜方向がほぼ4つの方向に分かれている。このように液晶分子が傾く方向を多様にすれば、液晶表示装置の基準視野角が大きくなる。さらに、二つの副画素電極191a、191bの間での電圧の差によって生成される副電場の方向は副領域の主辺に対して垂直である。従って、副電場の方向が主電場の水平成分の方向と一致する。その結果、副画素電極191a、191bの間では副電場が、各副領域内での液晶分子の傾斜方向を安定化させるように作用する。

【0048】

第1副画素電極191aは接触孔185aを通じて第1ドレイン電極175aに連結されている。第2副画素電極191bは接触孔185bを通じて第2ドレイン電極175bに連結されている。第1副画素電極191aは第1データ線171aと第2データ線171bとのいずれにも重なっていない。一方、第2副画素電極191bは、保護膜180などを隔てて第1データ線171aと第2データ線171bとの各々に重なっている。第1/第2データ線171a/171bは第1部分171a1/171b1と第2部分171a2/171b2とを有する。第1部分171a1、171b1は第1副画素電極191aに隣接しているが、第1副画素電極191aには重なっていない。第2部分171a2/171b2は第2副画素電極191bに隣接し、かつ第2副画素電極191bに重なっている。第1部分171a1/171b1と第2部分171a2/171b2とは行方向（第1/第2データ線171a/171bの長手方向（列方向）に対して垂直な方向）での位置が異なる。それにより、第1データ線171aと第2データ線171bとの各々が、各画素の二つの副画素の間で折れ曲がっている。

【0049】

次に、このようなデータ線171a、171bと画素電極191の間の重なりによって得られる効果について、図8～図10を参照しながら詳細に説明する。図8はガンマ曲線を示すグラフである。図8には、第1副画素のガンマ曲線31、第2副画素のガンマ曲線32、及び画素全体での平均ガンマ曲線30が示されている。図9は、第1副画素での階調ごとの輝度変化率（すなわち、第1副画素電極191aの電圧変化率）を示すグラフである。図10は、第2副画素での階調ごとの輝度変化率（すなわち、第2副画素電極191bの電圧変化率）を示すグラフである。

【0050】

データ線171a、171bと画素電極191の間には寄生容量が発生する。この寄生容量の影響によって画素電極の電圧が変化する。第1副画素電極191aと第2副画素電極191bとに対しては異なるデータ電圧が印加される。従って、仮に二つの副画素電極間で寄生容量に起因する電圧の変動量が同じでも、その電圧の変動に伴う輝度の変動が第1副画素電極191aと第2副画素電極191bとでは異なる。

【0051】

図8～図10に示されているように、低階調領域では、階調の変化に対する第1副画素の

10

20

30

40

50

輝度変化率（すなわち、第1副画素電極の電圧変化率）は高く、第2副画素の輝度変化率（すなわち、第2副画素電極の電圧変化率）はほぼ0である。高階調領域では逆に、階調の変化に対する第1副画素の輝度変化率（すなわち、第1副画素電極の電圧変化率）は低く、第2副画素の輝度変化率（すなわち、第2副画素電極の電圧変化率）は高い。図9に示されているように、第1副画素の輝度変化率は低階調領域で高く、ピークが9%に達する。それに対し、図10に示されているように、第2副画素は低階調領域ではオフ状態であるので、輝度変化率が0%に近い。一方、高階調領域では第2副画素の輝度変化率が上昇するが、最高でも0.45%程度であるので、第1副画素の輝度変化率に比べれば極めて低い。

【0052】

一般に、低階調領域ではデータ電圧の絶対値自体が小さいので、副画素電極の電圧変動がわずかでも、副画素の輝度を過大に変動させ得る。特に第1副画素では上記の通り、第2副画素に比べて低階調領域での輝度変化率が極めて高いので、第1副画素電極191aの電圧変動が第1副画素の輝度を過大に変動させやすい。しかし、本発明の第1実施形態による上記の液晶表示装置では図4のように、第1副画素電極191aがデータ線171a、171bとは重ならないように配置されているので、両者間に生じる寄生容量が小さい。従って、電圧変動に伴う輝度変動が比較的大きい第1副画素では、上記の寄生容量に起因する輝度の過大な変動が防止される。一方、電圧変動に伴う輝度変動が比較的小さい第2副画素ではデータ線171a、171bを第2副画素電極191bと重ねている。それにより、画素の開口率を高く維持できる。

【0053】

副画素電極191a/191bの屈曲点を結ぶ直線は副画素電極191a/191bの縦中心線（列方向に延びている、行方向での副画素電極の中心を示す線）であり、副領域の境界線であるので、この直線の近傍では液晶分子の配列が壊れやすく、テクスチャーが現れやすい。しかし、図4に示されているように、維持電極線131a/131b、ドレイン電極175a/175bの拡張部177a/177b、及び接触孔185a/185bが、副画素電極191a/191bの縦中心線の上に位置している。従って、それらが上記のテクスチャーを覆うので、画素の実質的な開口率を高く維持できる。

【0054】

第1/第2副画素電極191a、191bと上部表示パネル200の共通電極270とは、それらの間の液晶層3の部分とともに、第1/第2液晶キャパシタClca/Clcbを構成し、薄膜トランジスタQa/Qbが遮断された後にも印加されたデータ電圧を維持する。一方、第1/第2副画素電極191a/191bと第1/第2ドレイン電極175a、175bとはゲート絶縁膜140を隔てて維持電極137a/137bと重なり、第1/第2ストレージキャパシタCsta/Cstbを構成している。第1/第2ストレージキャパシタCsta/Cstbは第1/第2液晶キャパシタClca/Clcbの電圧維持能力を補う。

【0055】

接触補助部材81/82は接触孔181/182を通じ、ゲート線121a、121bの端部129/データ線171の端部179に連結されている。接触補助部材81/82はゲート線121a、121bの端部129/データ線171の端部179と外部装置との間の接着を補完し、その接着部を保護する。

【0056】

次に、上部表示パネル200について説明する。

透明なガラスまたはプラスチックなどで作られた絶縁基板210の上に遮光部材220が形成されている。遮光部材220は、副画素電極191a、191bの屈曲辺に対向する屈曲部と、薄膜トランジスタに対向する四角形部分とを有し、それらで、副画素電極191a、191bに対向する開口領域を囲んでいる。それにより、遮光部材220は副画素電極191a、191bの間からの光漏れを防止する。

絶縁基板210及び遮光部材220の上には、複数の色フィルター230が形成されている。色フィルター230は遮光部材230で囲まれた開口領域内のほとんどを覆っている。色フィルター230が画素電極191の各列に沿って長く延びていても良い。各色フィルター230の色は、

10

20

30

40

50

三原色（赤色、緑色、及び青色）などの基本色の1つである。

色フィルター230及び遮光部材220の上にはオーバーコート膜250が形成されている。オーバーコート膜250は（有機）絶縁物で作ることができ、色フィルター230の露出を防止し、かつその表面を平坦化させる。尚、オーバーコート膜250は省略されてもよい。

オーバーコート膜250の上には共通電極270が形成されている。共通電極270はITO、IZOなどの透明な導電体などで作られている。共通電極270にはさらに、複数の切開部（図示せず）が形成されていてもよい。

【0057】

表示パネル100、200の内側には配向膜11、21が形成されている。これらは好ましくは垂直配向膜である。表示パネル100、200の外側には偏光子12、22が備えられている。好ましくは、2つの偏光子12、22の偏光軸が互いに直交している。このうち1つの偏光軸はゲート線121a、121bに対して平行であるのが好ましい。反射型液晶表示装置の場合には、2つの偏光子12、22のいずれか1つを省略してもよい。

10

液晶表示装置は、偏光子12、22、位相遅延膜（図示せず）、表示パネル100、200、及び液晶層3に光を供給する照明部（図示せず）を有しても良い。

【0058】

《第2実施形態》

図3に示した等価回路で表される画素は図11のような構造に具体化されても良い。図11は本発明の第2実施形態による液晶表示パネルアセンブリを示す平面図である。第2実施形態による液晶表示パネルアセンブリの積層構造は、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図11では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

20

【0059】

第2実施形態による液晶表示パネルアセンブリは、図4に示した第1実施形態による液晶表示パネルアセンブリとは、特に第2データ線171bの形態が異なる。第1データ線171aは図4に示した第1データ線と同様に各画素の中間で一度折れ曲がり、第1副画素電極191aに隣接する部分は第1副画素電極191aとは重ならず、第2副画素電極191bに隣接する部分は第2副画素電極191bと重なっている。一方、第2データ線191bは一直線に伸び、第1副画素電極191aとも第2副画素電極191bとも重なっていない。このように一对のデータ線171a、171bの一方のみを第2副画素電極191bと重ねることにより、副画素電極191a、191bの電圧変化に伴う輝度の変化を更に抑え、画面の垂直方向でのクロストークを防止できる。

30

尚、図4～図6に示した液晶表示パネルアセンブリの特徴の多くが、図11に示した液晶表示パネルアセンブリにも適用できる。

【0060】

《第3実施形態》

図3に示した等価回路で表される画素は図12のような構造に具体化されても良い。図12は本発明の第3実施形態による液晶表示パネルアセンブリを示す平面図である。第3実施形態による液晶表示パネルアセンブリの積層構造は、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図12では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

40

【0061】

第3実施形態による液晶表示パネルアセンブリは、図4に示した第1実施形態による液晶表示パネルアセンブリとは、特に各副画素電極191a、191bの形態が異なる。第1副画素電極191aは、ゲート線121に対して実質的に平行な一对の第1辺191a1、及び、データ線171a、171bに対して実質的に平行な一对の第2辺191a2を有する。つまり、第1副画素電極191aはほぼ長方形である。第2副画素電極191bは、ゲート線121に対して実質的に平行な一对の第1辺191b1、及び、データ線171a、171bに対して実質的に平行な第2辺191b2を有す

50

る。つまり、第2副画素電極191bはほぼ長方形である。第1副画素電極191aの高さは第2副画素電極191bの高さより小さく、第1副画素電極191aの幅は第2副画素電極191bの幅より多少狭い。各副画素電極191a、191bの高さ及び幅を調節して所望の面積比を得ることができる。また、列方向に隣接している第1副画素電極191aと第2副画素電極191bとの対が一つの画素電極を構成している。

【0062】

図12の液晶表示パネルアセンブリにおいては好ましくは、液晶層3が正の誘電率異方性を有する。その場合、液晶層3に電場のない状態では、液晶分子の長軸が2つの表示パネルの表面に対して水平である。副画素電極191a、191b、及び共通電極270に対して電圧が印加されてそれらの間に電場が形成されれば、液晶層3の液晶分子はその電場に対して平行な方向に傾く。

10

尚、図4～図6に示した液晶表示パネルアセンブリの特徴の多くが、図12に示した液晶表示パネルアセンブリにも適用できる。

【0063】

《第4実施形態》

図3に示した等価回路で表される画素は図13及び図14のような構造に具体化されても良い。図13は本発明の第4実施形態による液晶表示パネルアセンブリを示す平面図であり、図14は図13に示されている折線XIV-XIVに沿って切断した断面の展開図である。第4実施形態による液晶表示パネルアセンブリの積層構造は、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図13、図14では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

20

【0064】

第4実施形態による液晶表示パネルアセンブリでは、図4に示した第1実施形態による液晶表示パネルアセンブリとは異なり、各副画素電極191a、191bが図12に示した第3実施形態による副画素電極と同様な長方形である。さらに、第2データ線171bが図11に示した第2実施形態による第2データ線と同様に一直線である。その上、上部表示パネル200に代え、下部表示パネル100の保護膜180の下に複数の色フィルター230が形成されている。

【0065】

色フィルター230は画素電極191の各列に沿って長く延びている。色フィルター230の端は特に、第1データ線171aの折れ曲がりに沿って折れ曲がっている。尚、色フィルター230は、ゲート線121の端部129及びデータ線171の端部179が位置する液晶表示パネルの周辺領域には形成されていない。色フィルター230にはさらに貫通孔235が形成されている。貫通孔235を覆う保護膜180の部分には、貫通孔235より小さい接触孔185aが形成されている。貫通孔235と接触孔185aとを通して第1副画素電極191aがドレイン電極175aの拡張部177aに連結されている。隣接する色フィルター230はデータ線171の上で重なり、隣接する画素電極191の間から漏洩する光を遮断する。その場合、上部表示パネル200の遮光部材を省略することができる。その結果、製造工程が簡素化できる。

30

【0066】

尚、色フィルター230の下にも保護膜（図示せず）が設けられていても良い。

40

また、第4実施形態による液晶表示パネルアセンブリのように、半導体154a、154bがデータ線171a、171bに沿って延びて線状半導体151を構成していても良い。その場合、さらに、抵抗性接触部材163a、165bがデータ線171a、171bに沿って延びて線状抵抗性接触部材161を構成していても良い。

図4～図6に示した液晶表示パネルアセンブリの特徴の多くが、図13及び図14に示した液晶表示パネルアセンブリにも適用できる。

【0067】

《第5実施形態》

図3に示した等価回路で表される画素は図15のような構造に具体化されても良い。図15は本発明の第5実施形態による液晶表示パネルアセンブリを示す平面図である。第5実施

50

形態による液晶表示パネルアセンブリの積層構造は、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図15では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

【0068】

第5実施形態による液晶表示パネルアセンブリでは特に図4に示した第1実施形態による液晶表示パネルアセンブリとは異なり、第1副画素電極191aの両側に補助電極191atが、第1副画素電極191aの縦中心線に対して対称に形成されている。補助電極191atの端部は第1副画素電極191aに連結されている。各データ線171a、171bは補助電極191atと第1副画素電極191aとの間の間隙195を通して延びているので、第1副画素電極191aとは実質的に重なっていない。この構造では、成形時の誤差により第1副画素電極191aの縦中心線の位置が一对のデータ線171a、171bの（行方向での）中間から左右に外れていても、各データ線171a、171bと第1副画素電極191aとの間に発生する寄生容量の間の差が、各データ線171a、171bと補助電極191atとの間に発生する寄生容量の間の差で相殺される。従って、第1副画素電極191aと一对のデータ線171a、171bとの間の距離に対して要求される精度が緩和されるので、液晶表示パネルアセンブリの信頼性が高い。

【0069】

《第6実施形態》

次に、図16～図20、及び図1、図2を参照しながら、本発明の実施形態による液晶表示パネルアセンブリの他の構造について詳細に説明する。

図16は本発明の第6実施形態による液晶表示パネルアセンブリに含まれる1つの画素の等価回路図である。図16を参照すると、第6実施形態による液晶表示パネルアセンブリでは、画素PXが、一对のゲート線GLa、GLb、データ線DL、及び維持電極線SLに連結されている。画素PXは一对の副画素PXa、PXbを有する。各副画素PXa/PXbは、ゲート線GLa/GLbとデータ線DLとに連結されているスイッチング素子Qa/Qb、これに連結された液晶キャパシタClca/Clcb、及び、スイッチング素子Qa/Qbと維持電極線SLとに連結されているストレージキャパシタCsta/Cstbを有する。各スイッチング素子Qa/Qbは下部表示パネル100に備えられている薄膜トランジスタであり、その制御端子はゲート線GLa/GLbに連結され、その入力端子はデータ線DLに連結され、その出力端子は液晶キャパシタClca/ClcbとストレージキャパシタCsta/Cstbとに連結されている。

【0070】

液晶キャパシタClca、Clcb、ストレージキャパシタCsta、Cstb、及び、このような液晶表示パネルアセンブリを有する液晶表示装置の動作など、前述した実施形態と実質的に同様な部分の詳細については、前述の説明を援用する。但し、図3に示した液晶表示装置では1つの画素PXを構成する2つの副画素PXa、PXaが同一の時間にデータ電圧の印加を受けるのに対し、第6実施形態では2つの副画素PXa、PXbが異なる時間にデータ電圧の印加を受ける。

【0071】

以下では、図16に示した等価回路で表される画素の具体的な構造の一例について、図17を参照しながら詳細に説明する。図17は本発明の第6実施形態による液晶表示パネルアセンブリを示す平面図である。第6実施形態による液晶表示パネルアセンブリの積層構造は、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図17では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

【0072】

第6実施形態による液晶表示パネルアセンブリでは、図4～図6に示した第1実施形態による液晶表示パネルアセンブリとは異なり、一画素に連結されるゲート線121a、121bの本数が2倍である一方、データ線171o、171mの本数が半分である。また、1つの画素電極191を構成する第1副画素電極191aと第2副画素電極191bとの各々に連結された第1薄膜トラ

ンジスタQaと第2薄膜トランジスタQbとが、異なるゲート線121a、121bに連結され、同一のデータ線171mに連結されている。さらに、同じ画素に含まれている二つの薄膜トランジスタQa、Qbは、その画素を通るデータ線171mに対して同じ側（図17では左側）に位置する。

【0073】

図17に示したデータ線171m、171oの形状は、図4に示した第1データ線171aの形状と同様に、各画素の中間で一度折れ曲がっている。すなわち、第1副画素電極191aに隣接するデータ線171mの第1部分171m1は第1副画素電極191aとは重なっておらず、第2副画素電極191bに隣接する第2部分171m2は第2副画素電極191bと重なっている。一方、行方向に隣接する別の画素を通るデータ線171oの第1部分171o1は、元の画素の第1副画素電極191aとは重なっておらず、第2部分171o2は元の画素の第2副画素電極191bとは重なっていない。

尚、図4～図6に示した液晶表示パネルアセンブリの特徴の多くが、図17に示した液晶表示パネルアセンブリにも適用できる。

【0074】

《第7実施形態》

図16に示した等価回路で表される画素は図17のような構造の他に、図18～図20のような構造に具体化されても良い。図18～図20は本発明の第7実施形態による液晶表示パネルアセンブリを示す平面図である。第7実施形態による液晶表示パネルアセンブリの積層構造は、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図18～図20では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

【0075】

図18～図20に示されている液晶表示パネルではいずれも、図17に示されている液晶表示パネルと同様に、1つの画素電極191を構成する第1副画素電極191aと第2副画素電極191bとの各々に連結された第1薄膜トランジスタQaと第2薄膜トランジスタQbとが、異なるゲート線121a、121bに連結され、同一のデータ線171mに連結されている。さらに、同じ画素に含まれている二つの薄膜トランジスタQa、Qbは、その画素を通るデータ線171mに対して同じ側（図18～図20では左側）に位置する。

【0076】

図18に示した液晶表示パネルアセンブリでは図17の液晶表示パネルアセンブリとは異なり、データ線171mが各画素で2回折れ曲がっている。それにより、第1副画素電極191aに隣接する第1部分171m1が第1副画素電極191aとは重なっていないのに加え、第2副画素電極191bと隣接する第2部分171m2がさらに、第2副画素電極191bと重なっている第3部分171m3、及び第2副画素電極191bとは重なっていない第4部分171m4に分かれている。その画素に行方向で隣接する別の画素を通るデータ線171oもまた、データ線171mと同様に、各画素で2回折れ曲がっている。それにより、第1副画素電極191aと隣接する第1部分171o1が第1副画素電極191aとは重なっていないのに加え、第2副画素電極191bと隣接する第2部分171o2が、第2副画素電極191bとは重なっていない第3部分171o3、及び第2副画素電極191bと重なっている第4部分171o4を有する。このようにデータ線171mを各画素で2回折り曲げることにより、各薄膜トランジスタQa、Qbと画素電極191との間の重なり部分の面積を抑えることができるので、画素の開口率を高く維持できる。その上、隣接する二つのデータ線171o、171mではデータ電圧の極性が反対であるので、第2副画素電極191bと各データ線171o、171mとの間に形成される寄生容量の間で、第2副画素電極の電圧へ与える影響が互いに相殺される。その結果、画面の垂直方向でのクロストークの発生をさらに抑えることができる。

【0077】

図19に示した液晶表示パネルアセンブリは図17の液晶表示パネルアセンブリとは異なり、画素電極191の形態が図12の画素電極191の形態と同様な長方形である。尚、データ線17

10

20

30

40

50

1mの形態は図17に示したデータ線171mの形態と同様である。

図20に示した液晶表示パネルアセンブリは図18の液晶表示パネルアセンブリと同様に、データ線171mが各画素で2回折れ曲がっている。一方、画素電極191の形態が図12の画素電極191の形態と同様に長方形である。

尚、図4～図6に示した液晶表示パネルアセンブリの多くの特徴が図18～図20に示した液晶表示パネルアセンブリにも適用できる。

【0078】

《第8実施形態》

次に、図21及び図22を参照しながら、本発明の他の実施形態による液晶表示装置について説明する。図21は本発明の第8実施形態による液晶表示装置のブロック図であり、図22は本発明の第8実施形態による液晶表示パネルアセンブリに含まれる1つの画素の等価回路図である。

10

図21を参照すると、本発明の第8実施形態による液晶表示装置は、液晶表示パネルアセンブリ300、それに連結されたゲート駆動部400とデータ駆動部500と維持電極駆動部700、データ駆動部500に連結された階調電圧生成部800、及び、それらを制御する信号制御部600を有する。

【0079】

液晶表示パネルアセンブリ300は、複数の信号線G1 - Gn、D1 - Dm、それらに連結されていてほぼマトリックス状に配列された複数の画素PXを有する。さらに、図2に示した構造と同様に、液晶表示パネルアセンブリ300は、互いに対向する下部表示パネル100と上部表示パネル200、及びそれらの間に入っている液晶層3を有する。

20

信号線は、ゲート信号を伝達するゲート線G1 - Gn、データ電圧を伝達するデータ線D1 - Dm、及び維持電極信号を伝達する第1維持電極線と第2維持電極線との対、を複数ずつ有する。ゲート線G1 - Gnはほぼ行方向に延びて互いにほとんど平行である。データ線D1 - Dmはほぼ列方向に延びて互いにほとんど平行である。維持電極線はほぼ行方向に延びて互いにほとんど平行である。

【0080】

第8実施形態による液晶表示パネルアセンブリでは各画素PXが、図22に示されているように、ゲート線GL、データ線DL、及び一对の維持電極線SLa、SLbに連結されている。各画素PXは一对の副画素PXa、PXbを有する。各副画素PXa/PXbは、ゲート線GLとデータ線DLとに連結されているスイッチング素子Q、それに連結された第1/第2液晶キャパシタClca/Clcb、及び、スイッチング素子Qと維持電極線SLa/SLbとに連結されている第1/第2ストレージキャパシタCsta/Cstbを有する。スイッチング素子Qは下部表示パネル100に備えられている薄膜トランジスタであり、その制御端子はゲート線GLに連結され、その入力端子はデータ線DLに連結され、その出力端子は液晶キャパシタClca/ClcbとストレージキャパシタCsta/Cstbとに連結されている。第1液晶キャパシタClcaは下部表示パネル100の第1副画素電極と上部表示パネル200の共通電極とを2つの端子とする。第2液晶キャパシタClcbは下部表示パネル100の第2副画素電極と上部表示パネル200の共通電極とを2つの端子とする。各副画素電極と共通電極との間の液晶層3が各液晶キャパシタClca、Clcbの誘電体として機能する。第1副画素電極及び第2副画素電極はいずれも同じ薄膜トランジスタQに連結されている。共通電極は上部表示パネル200の全面に形成されていて、共通電圧Vcomの印加を受ける。第1ストレージキャパシタCstaは、下部表示パネル100に備えられた第1維持電極線SLaと第1副画素電極とが絶縁体を間に置いて重なっている部分から構成されている。第2ストレージキャパシタCstbは、第2維持電極線SLbと第2副画素電極とが絶縁体を間に置いて重なっている部分から構成されている。第1/第2維持電極線SLa/SLbに対しては維持電極信号Vsta/Vstbが印加される。

30

40

【0081】

次に、このような液晶表示パネルアセンブリ300の具体的な構造の一例について、図23を参照しながら詳細に説明する。図23は本発明の第8実施形態による液晶表示パネルアセンブリを示す平面図である。第8実施形態による液晶表示パネルアセンブリの積層構造は

50

、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図23では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

【0082】

図23に示されている第8実施形態による液晶表示装置では、図4に示した第1実施形態による液晶表示装置と同様に、各データ線171m、171oが各画素の二つの副画素の間で折れ曲がっている。それにより、各画素を通るデータ線171mが、その画素の第1副画素電極191aに隣接する第1部分171m1と、その画素の第2副画素電極191bに隣接する第2部分171m2とに分けられている。第1部分171m1と第2部分171m2とでは行方向（データ線171mの長手方向（列方向）に対して垂直な方向）での位置が異なる。第1部分171m1は第1副画素電極191aには重なっていない。第2部分171m2は第2副画素電極191bに重なっている。

【0083】

図23に示されている第8実施形態による液晶表示装置では、図3及び図16に示した等価回路で表される液晶表示装置を具体化したもの（例えば図4）とは異なり、各画素にゲート線121及びデータ線171が一本ずつ連結されている。各画素では、1つのゲート電極124、1つのソース電極173、及び第1ドレイン電極175aが、半導体151の突出部154と共に、1つの薄膜トランジスタQの一部を構成している。その部分では薄膜トランジスタのチャンネルが、ソース電極173と第1ドレイン電極175aとの間から露出する半導体151の突出部154に形成される。また、同じゲート電極124、同じソース電極173、及び第2ドレイン電極175bが、同じ半導体151の突出部154と共に、同じ薄膜トランジスタの別の部分を構成する。その部分では薄膜トランジスタのチャンネルが、ソース電極173と第2ドレイン電極175bとの間から露出する半導体151の突出部154に形成される。

【0084】

再び図21を参照すると、階調電圧生成部800は、画素PXの透過率に対応づけられている階調電圧群（または基準階調電圧群）を2つ生成する。一方の階調電圧群は共通電圧Vcomに対して正の値を有し、他方の階調電圧群は負の値を有する。ゲート駆動部400は液晶表示パネルアセンブリ300のゲート線G1 - Gnと連結され、ゲートオン電圧Vonとゲートオフ電圧Voffとの組み合わせから成るゲート信号をゲート線G1 - Gnに対して印加する。データ駆動部500は液晶表示パネルアセンブリ300のデータ線D1 - Dmに連結され、階調電圧生成部800からの階調電圧を選択し、これをデータ電圧としてデータ線D1 - Dmに対して印加する。尚、階調電圧生成部800が全ての階調に対する階調電圧ではなく、決められた数の基準階調電圧のみを提供する場合には、データ駆動部500は基準階調電圧を分圧して各階調に対する階調電圧を生成し、この中からデータ電圧を選択する。維持電極駆動部700は維持電極線SLa、SLbと連結され、互いに逆位相の維持電極信号の対Vsta、Vstbを維持電極線の対SLa、SLbに対して印加する。信号制御部600はゲート駆動部400及びデータ駆動部500などを制御する。

【0085】

これらの駆動装置400、500、600、800の各々は好ましくは、少なくとも1つの集積回路チップの形態で液晶表示パネルアセンブリ300の上に直接実装されている。その他に、可撓性印刷回路膜（図示せず）の上に実装され、TCPの形態で液晶表示パネルアセンブリ300に実装されていても良い。さらに、それらが別の印刷回路基板（図示せず）の上に実装されていても良い。それらとは異なり、駆動装置400、500、600、800が信号線G1 - Gn、D1 - Dm、SLa、SLb、及び薄膜トランジスタスイッチング素子Qなどと共に、液晶表示パネルアセンブリ300に集積化されていても良い。また、駆動装置400、500、600、800の全てが単一のチップに集積化されていても良い。その場合、それらのうちの少なくとも1つ、またはそれらを構成する少なくとも1つの回路素子とその単一チップの外側にあってもよい。

【0086】

以下では、このような液晶表示装置の動作について詳細に説明する。

信号制御部600は外部のグラフィックコントローラ（図示せず）から入力映像信号R、G

、B、及び、その表示を制御する入力制御信号を受信する。入力制御信号には好ましくは、垂直同期信号Vsync、水平同期信号Hsync、メインクロックMCLK、データインープル信号DEが含まれている。信号制御部600は、入力映像信号R、G、Bと入力制御信号とに基づき、入力映像信号R、G、Bを液晶表示パネルアセンブリ300の動作条件に合わせて適切に処理し、かつ、ゲート制御信号CONT1、データ制御信号CONT2、及び維持電極制御信号CONT3などを生成する。信号制御部600はその後、ゲート制御信号CONT1をゲート駆動部400に出力し、データ制御信号CONT2と処理された映像信号DATとをデータ駆動部500に出力し、維持電極制御信号CONT3を維持電極駆動部700に出力する。実施形態1でのものと同様に、ゲート制御信号CONT1は、走査開始信号、クロック信号、及び出力インープル信号を有し、データ制御信号CONT2は、水平同期開始信号、ロード信号、データクロック信号、及び反転信号を有する。

10

【0087】

維持電極駆動部700は、信号制御部600からの維持電極制御信号CONT3に従い、第1/第2維持電極信号Vsta/Vstbを第1/第2維持電極線SLa/SLbに対して印加する。第1維持電極信号Vstaと第2維持電極信号Vstbとの共通電圧Vcomに対する各極性は周期的に反転する。さらに、両信号Vsta、Vstb間では位相が互いに反対である。

【0088】

信号制御部600からのデータ制御信号CONT2に従い、データ駆動部500は、画素マトリックスの各行に対するデジタル映像信号DATを受信する。データ駆動部500はさらに、各デジタル映像信号DATに対応する階調電圧を選択することにより、デジタル映像信号DATをアナログデータ電圧に変換する。データ駆動部500はその後、アナログデータ電圧を目標のデータ線D1 - Dmに対して印加する。

20

【0089】

ゲート駆動部400は信号制御部600からのゲート制御信号CONT1に従ってゲートオン電圧Vonをゲート線G1 - Gnに対して印加する。図22に示されている画素PXでは、ゲートオン電圧Vonがゲート線GLに対して印加されると、そのゲート線GLに連結されたスイッチング素子Qが導通する。その結果、データ線DLに対して印加されたデータ電圧が、導通したスイッチング素子Qを通じ、その画素PXに含まれる2つの副画素PXa、PXbの両方に対して同時に印加される。そのとき、第1副画素PXaに対して印加されたデータ電圧と共通電圧Vcomとの間の差、すなわち、第1液晶キャパシタClcaの両端電圧は、図23では、共通電極の電圧に対する第1副画素電極191aの電圧に等しい。一方、第2副画素PXbに対して印加されたデータ電圧の電圧と共通電圧Vcomとの間の差、すなわち、第2液晶キャパシタClcbの両端電圧は、図23では、共通電極の電圧に対する第2副画素電極191bの電圧に等しい。

30

【0090】

スイッチング素子Qが遮断されれば、各副画素電極191a、191bがいずれもフローティング状態となる。ここで、第1/第2副画素電極191a/191bは第1/第2維持電極線131a/131bと第1/第2ストレージキャパシタCsta/Cstbを構成している。従って、第1/第2維持電極線131a/131bの電圧変化に伴い、第1/第2副画素電極191a/191bの電圧が変化する。各維持電極信号Vsta、Vstbの極性を適切に調節すれば、共通電圧Vcomに対する第2副画素電極191bの平均電圧を、共通電圧Vcomに対する第1副画素電極191aの平均電圧より高くすることができる。こうして、二つの副画素間で同じ薄膜トランジスタを共用する場合でも、各副画素電極の実際の電圧間に所定の差を与えることができる。

40

【0091】

《第9実施形態》

図22に示されている等価回路で表される画素は図24～図27に示されているように具体化されても良い。図24、図25、及び図27は本発明の第9実施形態による液晶表示パネルアセンブリの平面図であり、図26は図25に示されている折線XXVI - XXVIに沿って切断した断面の展開図である。第9実施形態による液晶表示パネルアセンブリの積層構造は、図4～図6に示した第1実施形態による液晶表示パネルアセンブリの積層構造とほぼ同様である。図24～図27では、図4～図6に示されている構成要素と同様な構成要素に対し、図4～図6に示

50

されている符号と同じ符号を付す。さらに、それら同様な構成要素については前述の説明を援用する。

【0092】

図24の液晶表示パネルアセンブリでは図23の液晶表示パネルアセンブリとは異なり、データ線171mが図18に示されているデータ線171mと同様に、各画素で2回折れ曲がっている。

【0093】

図25及び図26に示した液晶表示パネルアセンブリでは図23の液晶表示パネルアセンブリとは異なり、各副画素電極191a、191bが図19に示されている副画素電極と同様に長方形である。さらに、半導体154の一部がデータ線171mに沿って延び、線状半導体151を構成している。さらに、抵抗性接触部材163の一部がデータ線171mに沿って延び、線状抵抗性接触部材161を構成している。線状半導体151はデータ線171mと実質的に同様な平面形状をしている。線状抵抗性接触部材161、及び島状抵抗性接触部材165a、165bはそれぞれ、データ線171m、及びドレイン電極175a、175bと実質的に同様な平面形状をしている。

【0094】

図27に示した液晶表示パネルアセンブリでは図23の液晶表示パネルアセンブリとは異なり、各画素電極191a、191bの形態が図20に示されている副画素電極と同様に長方形である。さらに、データ線171mの形態が図20に示されているデータ線171mの形態と同様に、各画素で2回折れ曲がっている。

図4～図6に示した液晶表示パネルアセンブリの特徴の多くが、図24～図27に示した液晶表示パネルアセンブリにも適用できる。

【0095】

これらのような薄膜トランジスタの製造工程では好ましくは、データ線171m、ドレイン電極175a、175b、線状半導体151、及び抵抗性接触部材163、165a、165bが1回の写真工程で形成される。この写真工程では、感光膜の厚さが場所によって異なる。感光膜は特に、厚い第1部分と薄い第2部分とに分けられる。第1部分は、データ線171mとドレイン電極175a、175bとが形成されるべき領域に位置し、第2部分は、薄膜トランジスタのチャンネル領域が形成されるべき領域に位置する。ここで、場所によって感光膜の厚さを変化させる方法は多様である。好ましくは、光マスクに、透光領域及び遮光領域に加え、半透明領域を形成する。半透明領域には、スリットパターン、格子パターン、または、透過率若しくは厚さが透光領域と遮光領域との中間である薄膜が形成されている。スリットパターンを使用する場合には、スリットの幅やスリットの間隔が、写真工程に用いられる露光器の分解能より小さい。場所によって感光膜の厚さを変化させる方法にはその他に、リフローが可能な感光膜を使用する方法がある。まず、リフロー可能な感光膜で基板を覆い、透光領域と遮光領域とを有する通常の光マスクを通してその感光膜を露光し、現像する。その後、現像された感光膜をリフローさせ、現像直後には感光膜が残留していなかった領域に感光膜を流す。それにより、その領域には他の領域より薄い感光膜が形成される。このようにすると、薄膜トランジスタの製造に必要な写真工程の数を減らすことができるので、その製造が簡単になる。

【0096】

以上、本発明の好ましい実施形態について詳細に説明した。しかし、本発明の技術的範囲は上記の実施形態には限定されない。特許請求の範囲に定義されている本発明の基本概念を利用した当業者による多様な変形及び改良もまた本発明の技術的範囲に属する。

【図面の簡単な説明】

【0097】

【図1】本発明の第1実施形態による液晶表示装置のブロック図である。

【図2】本発明の第1実施形態による液晶表示装置に含まれる2つの副画素を示す模式図である。

【図3】本発明の第1実施形態による液晶表示パネルアセンブリに含まれる1つの画素の等価回路図である。

【図4】本発明の第1実施形態による液晶表示パネルアセンブリの平面図である。

【図5】図4に示した液晶表示パネルアセンブリを折線V-Vに沿って切断した断面の展開図である。

【図6】図4に示した液晶表示パネルアセンブリを折線VI-VIに沿って切断した断面の展開図である。

【図7A】図4に示した副画素電極の基本部品である一つの電極片の平面図である。

【図7B】図4に示した副画素電極の基本部品であるもう一つの電極片の平面図である。

【図8】本発明の第1実施形態による液晶表示装置のガンマ曲線を示すグラフである。

【図9】本発明の第1実施形態による液晶表示装置の第1副画素電極について、階調ごとの輝度変化率を示すグラフである。

10

【図10】本発明の第1実施形態による液晶表示装置の第2副画素電極について、階調ごとの輝度変化率を示すグラフである。

【図11】本発明の第2実施形態による液晶表示パネルアセンブリの平面図である。

【図12】本発明の第3実施形態による液晶表示パネルアセンブリの平面図である。

【図13】本発明の第4実施形態による液晶表示パネルアセンブリの平面図である。

【図14】図13に示した液晶表示パネルアセンブリを折線XIV-XIVに沿って切断した断面の展開図である。

【図15】本発明の第5実施形態による液晶表示パネルアセンブリの平面図である。

【図16】本発明の第6実施形態による液晶表示パネルアセンブリに含まれる1つの画素の等価回路図である。

20

【図17】本発明の第6実施形態による液晶表示パネルアセンブリの平面図である。

【図18】本発明の第7実施形態による液晶表示パネルアセンブリの具体的な構造の一例を示す平面図である。

【図19】本発明の第6実施形態による液晶表示パネルアセンブリの具体的な構造の別の例を示す平面図である。

【図20】本発明の第6実施形態による液晶表示パネルアセンブリの具体的な構造のさらに別の例を示す平面図である。

【図21】本発明の第8実施形態による液晶表示装置を示すブロック図である。

【図22】本発明の第8実施形態による液晶表示パネルアセンブリに含まれる1つの画素の等価回路図である。

30

【図23】本発明の第8実施形態による液晶表示パネルアセンブリの平面図である。

【図24】本発明の第9実施形態による液晶表示パネルアセンブリの具体的な構造のいち例を示す平面図である。

【図25】本発明の第9実施形態による液晶表示パネルアセンブリの具体的な構造の別の例を示す平面図である。

【図26】図25に示した液晶表示パネルアセンブリを折線XXVI-XXVIに沿って切断した断面の展開図である。

【図27】本発明の第9実施形態による液晶表示パネルアセンブリの具体的な構造のさらに別の例を示す平面図である。

【符号の説明】

40

【0098】

12、22 偏光板

11、21 配向膜

91、92、93 画素電極の切開部

81、81a、81b、82、82a、82b 接触補助部材

110、210 基板

121、121a、121b、129a、129b ゲート線

124、124a、124b ゲート電極

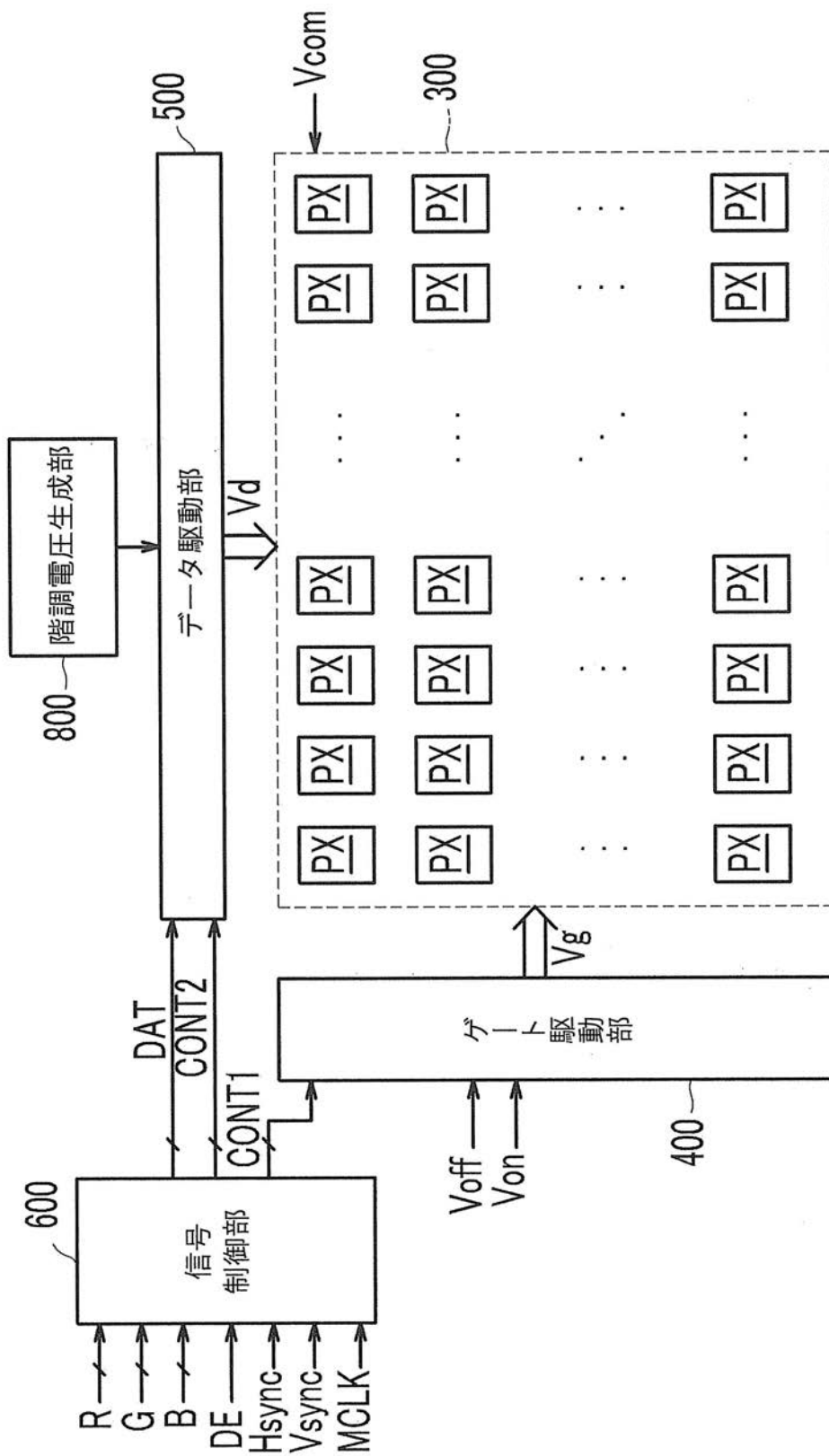
131、131a、131b 維持電極線

137、137a、137b 維持電極

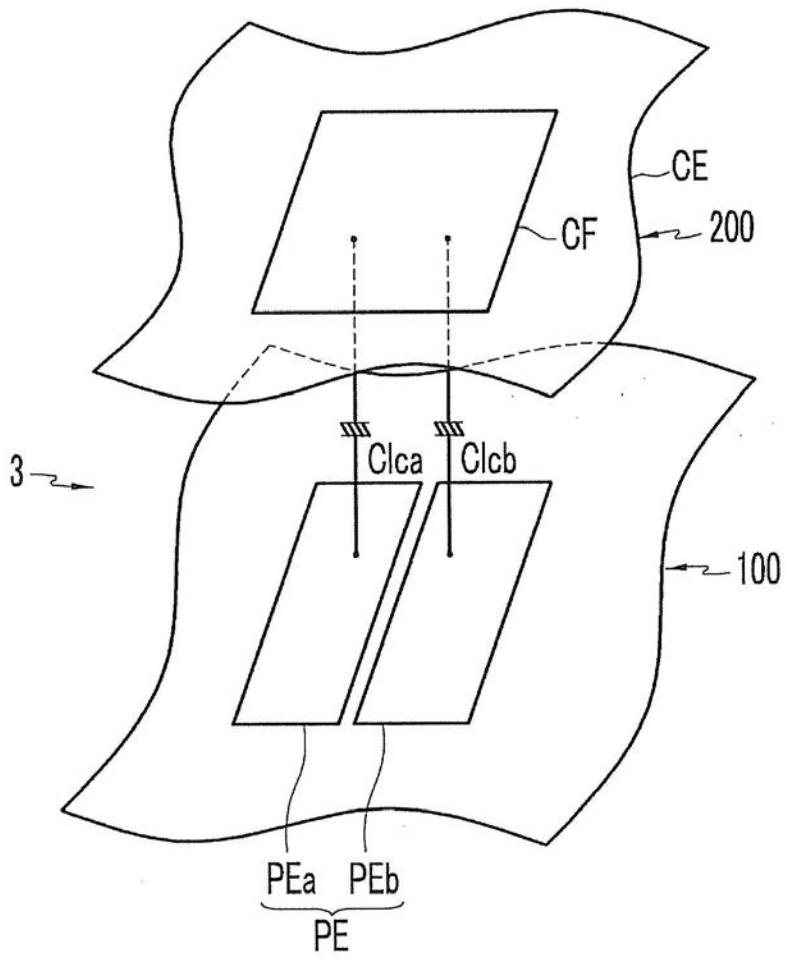
50

- 140 ゲート絶縁膜
- 154、154a、154b 半導体
- 161、163a、165a、163b、165b 抵抗性接触部材
- 171、171a、171b、179、179a、179b データ線
- 173、173a、173b ソース電極
- 175、175a、175b、177、177a、177b ドレイン電極
- 180 保護膜
- 181、181a、181b、182、182a、182b、185、185a、185b 接触孔
- 191、191a、191b 画素電極
- 220 遮光部材
- 230 色フィルター
- 250 オーバーコート膜
- 270 共通電極
- 300 液晶表示パネルアセンブリ
- 400 ゲート駆動部
- 500 データ駆動部
- 600 信号制御部
- 700 維持電極駆動部
- 800 階調電圧生成部

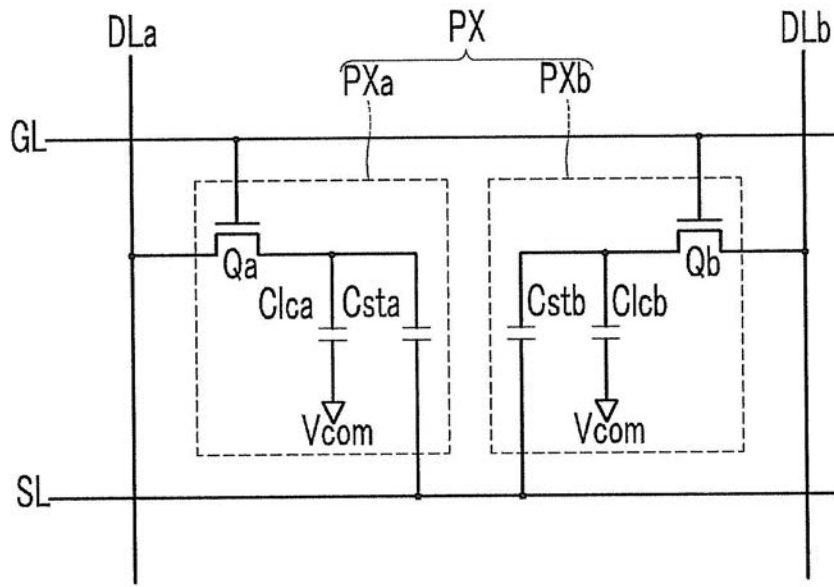
【図1】



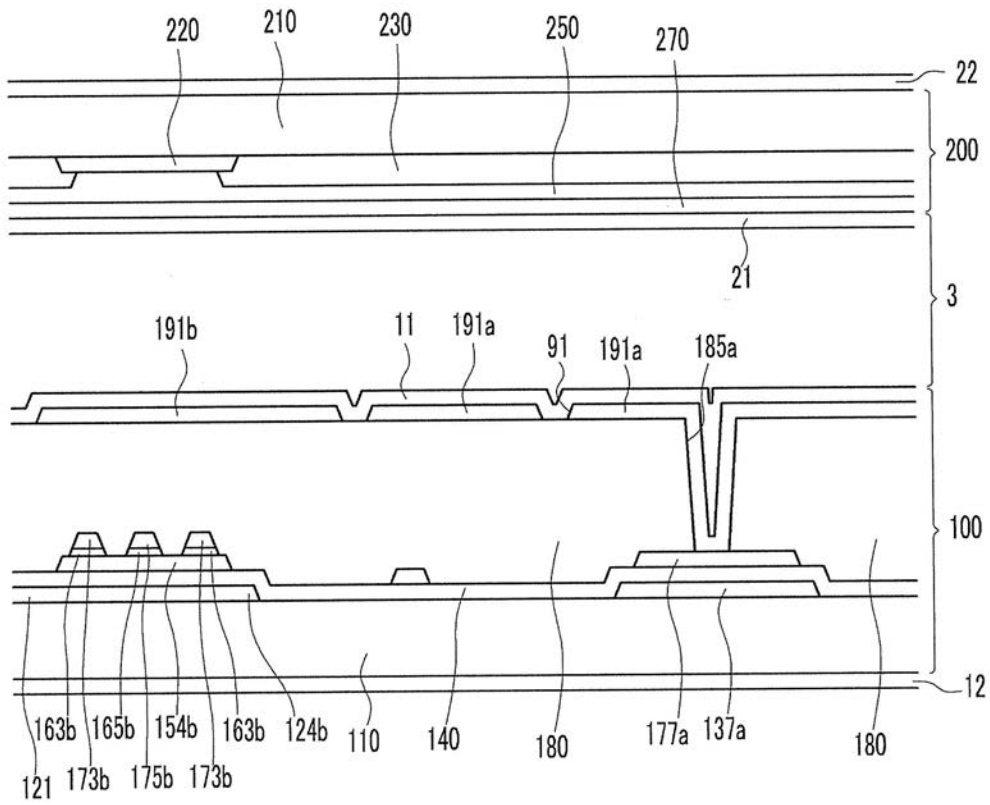
【 図 2 】



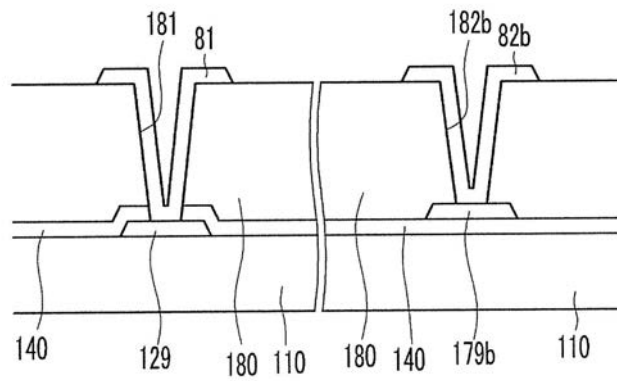
【 図 3 】



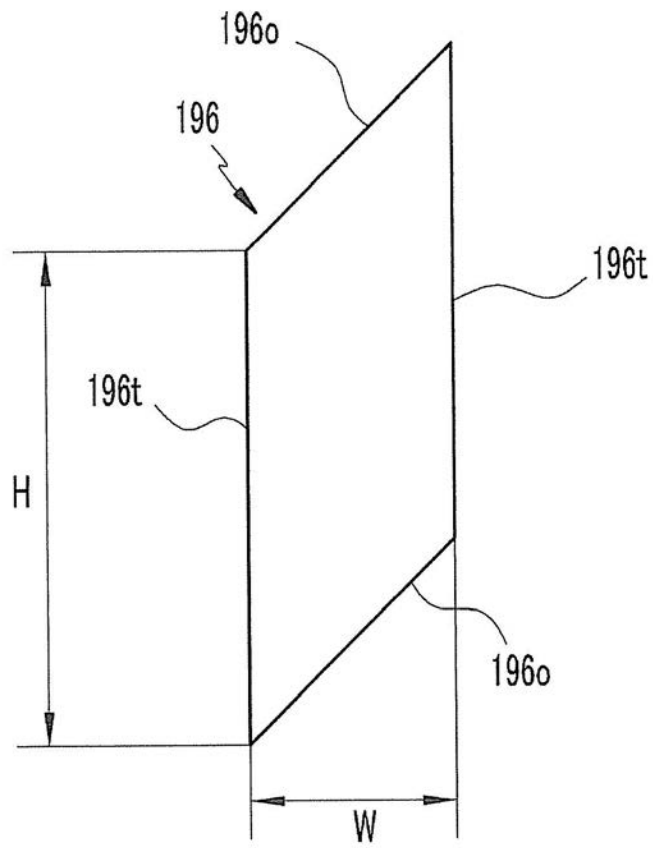
【 図 5 】



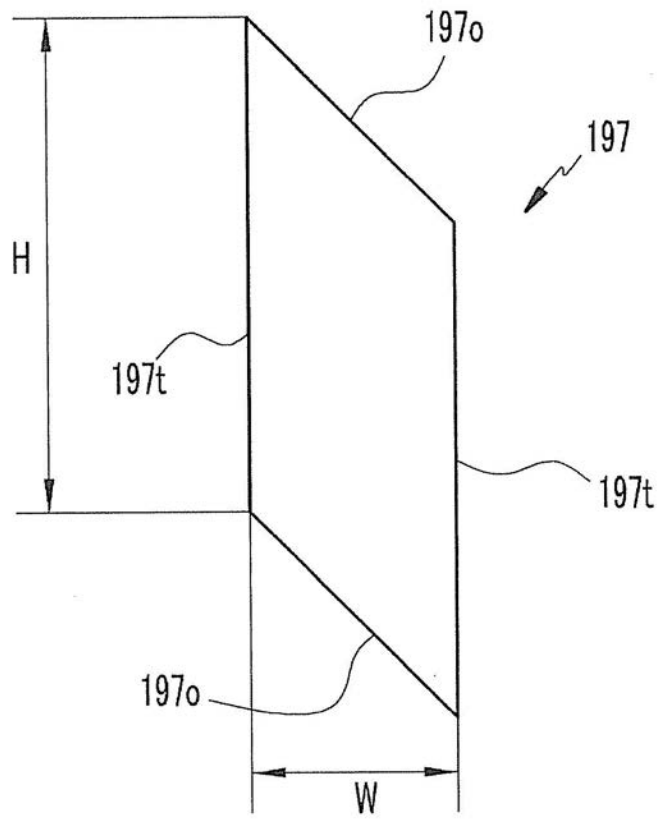
【 図 6 】



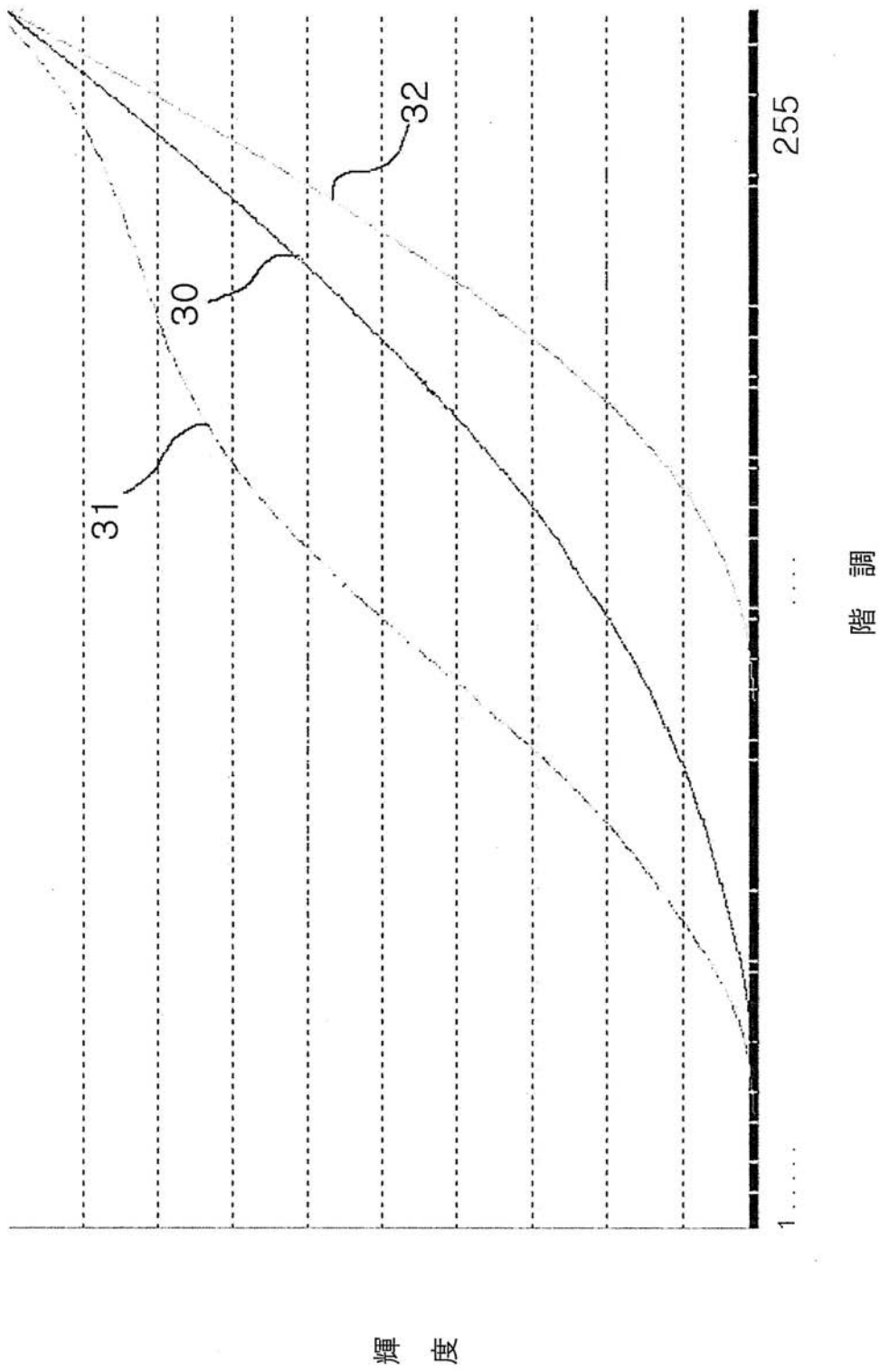
【 図 7 A 】



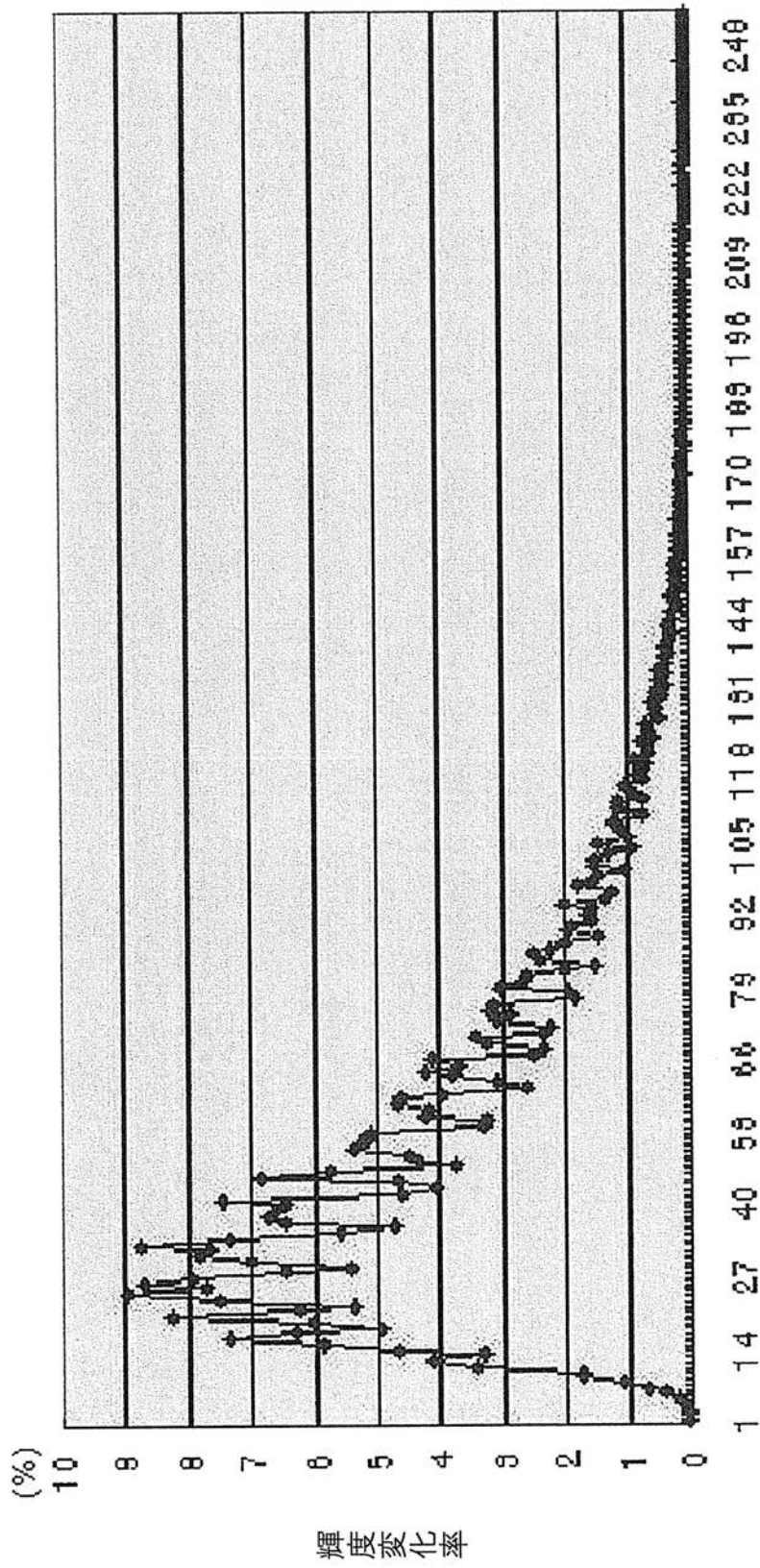
【 7 B 】



【図 8】

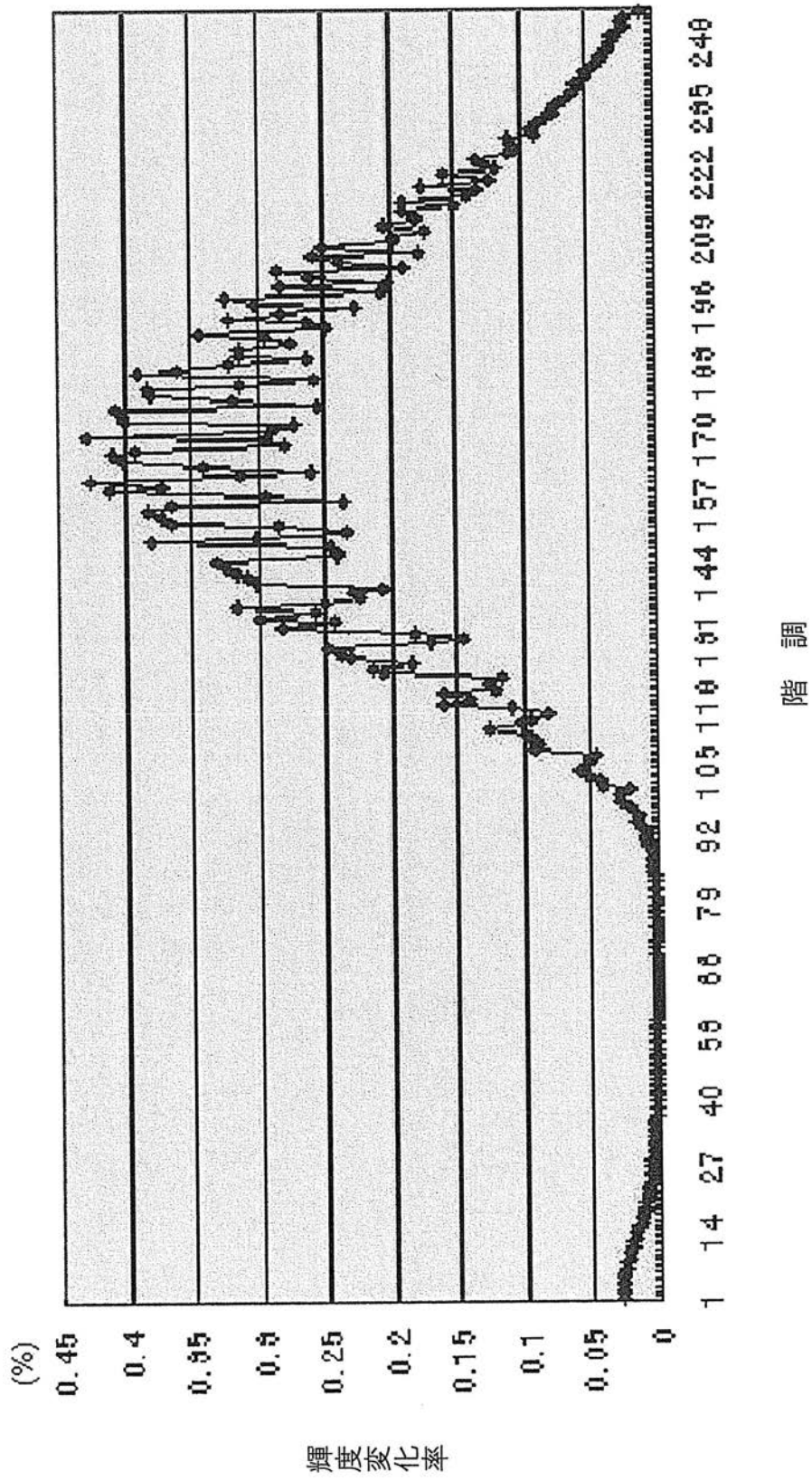


【図9】

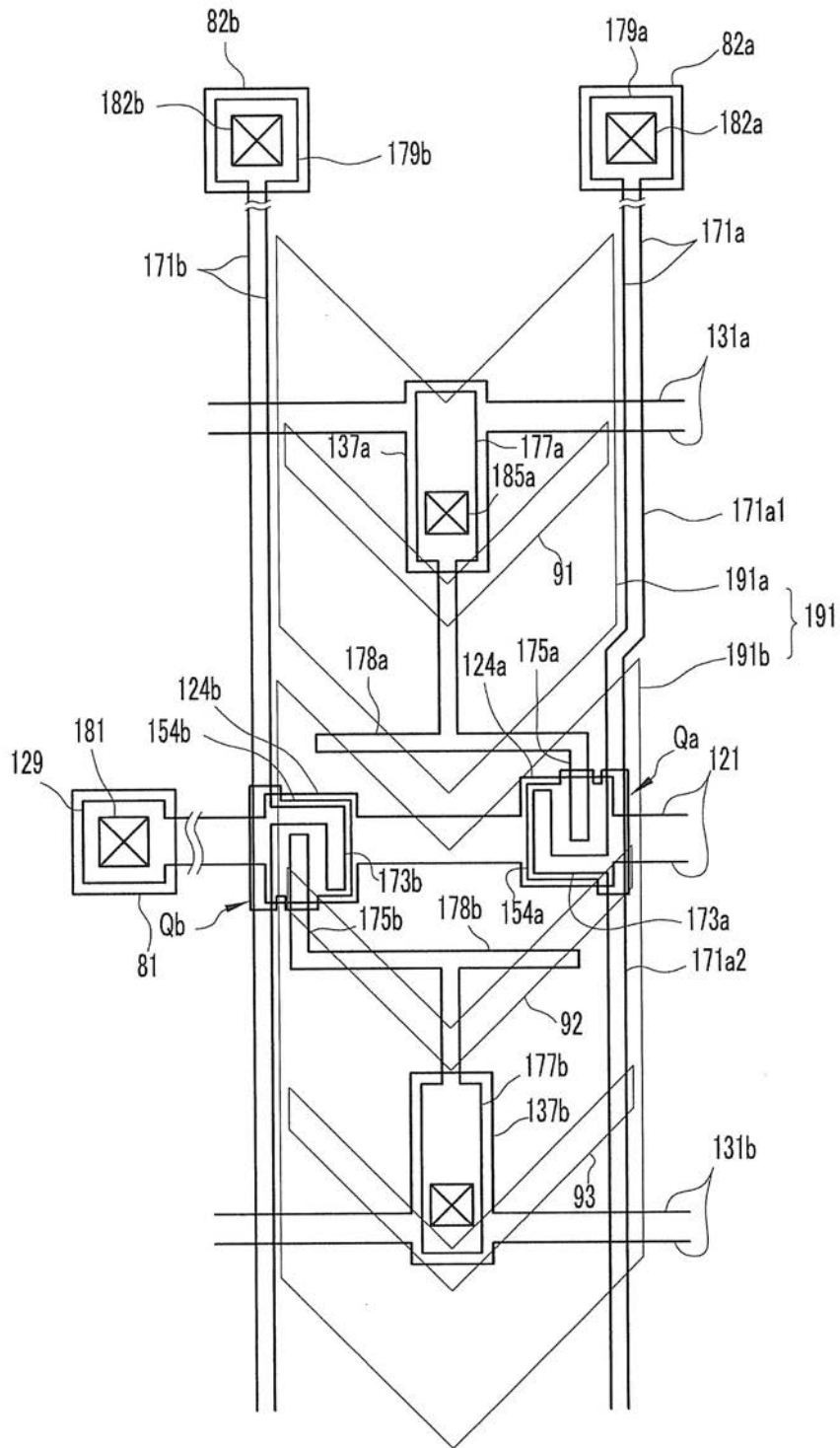


階調

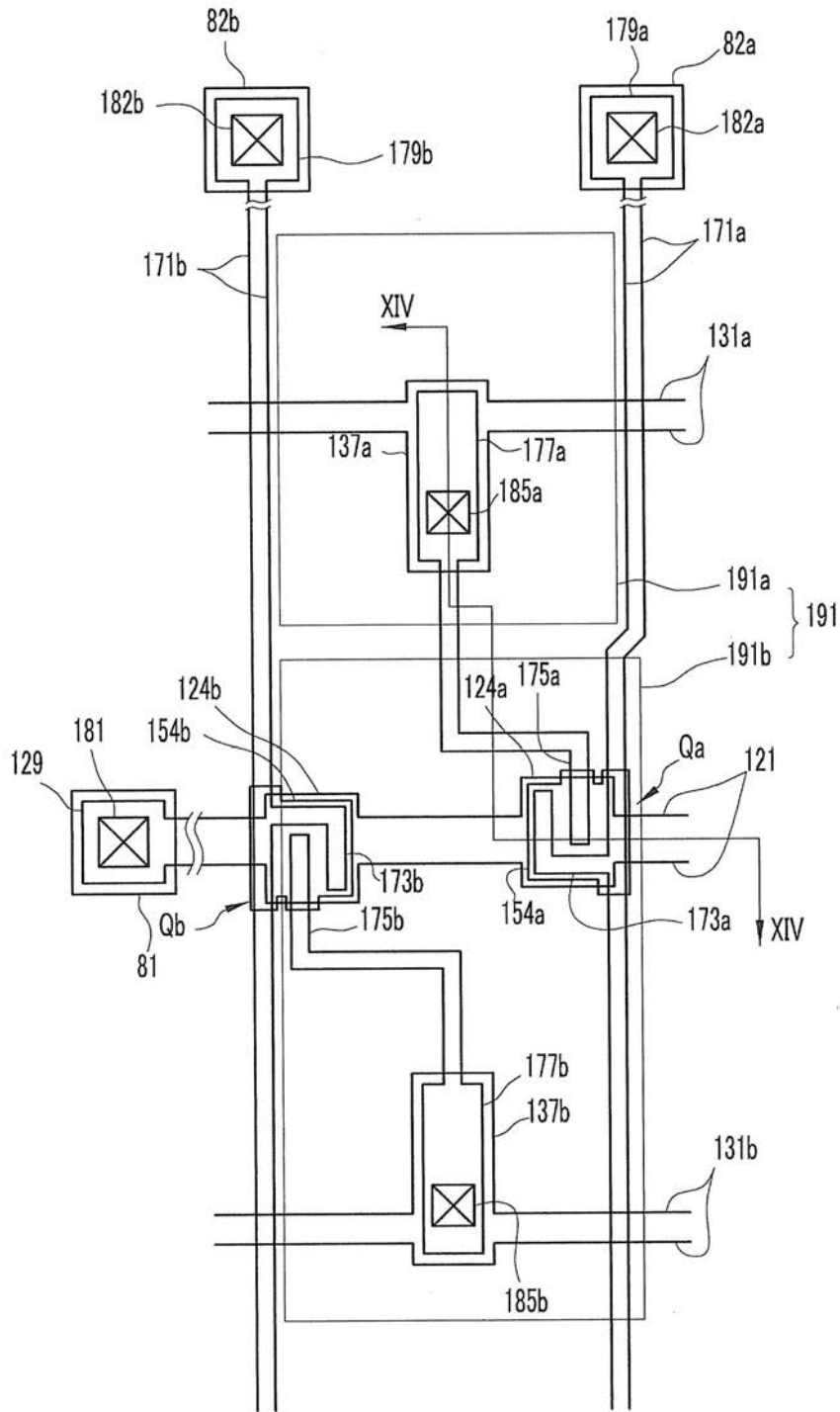
【 図 10 】



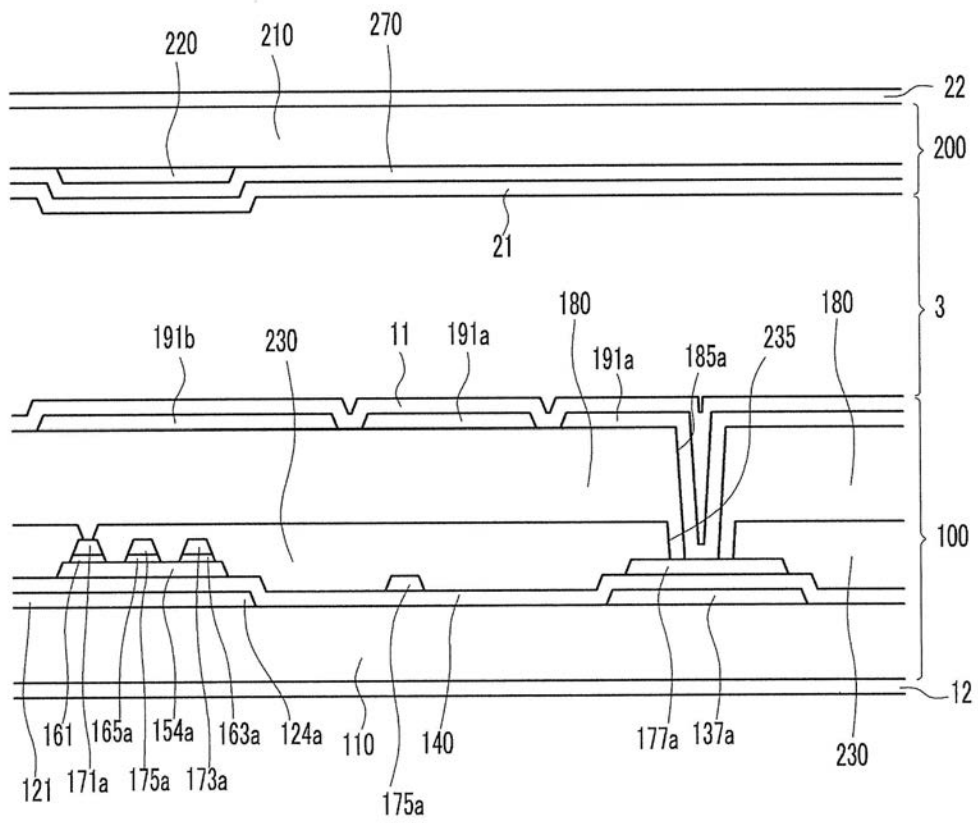
【 図 1 1 】



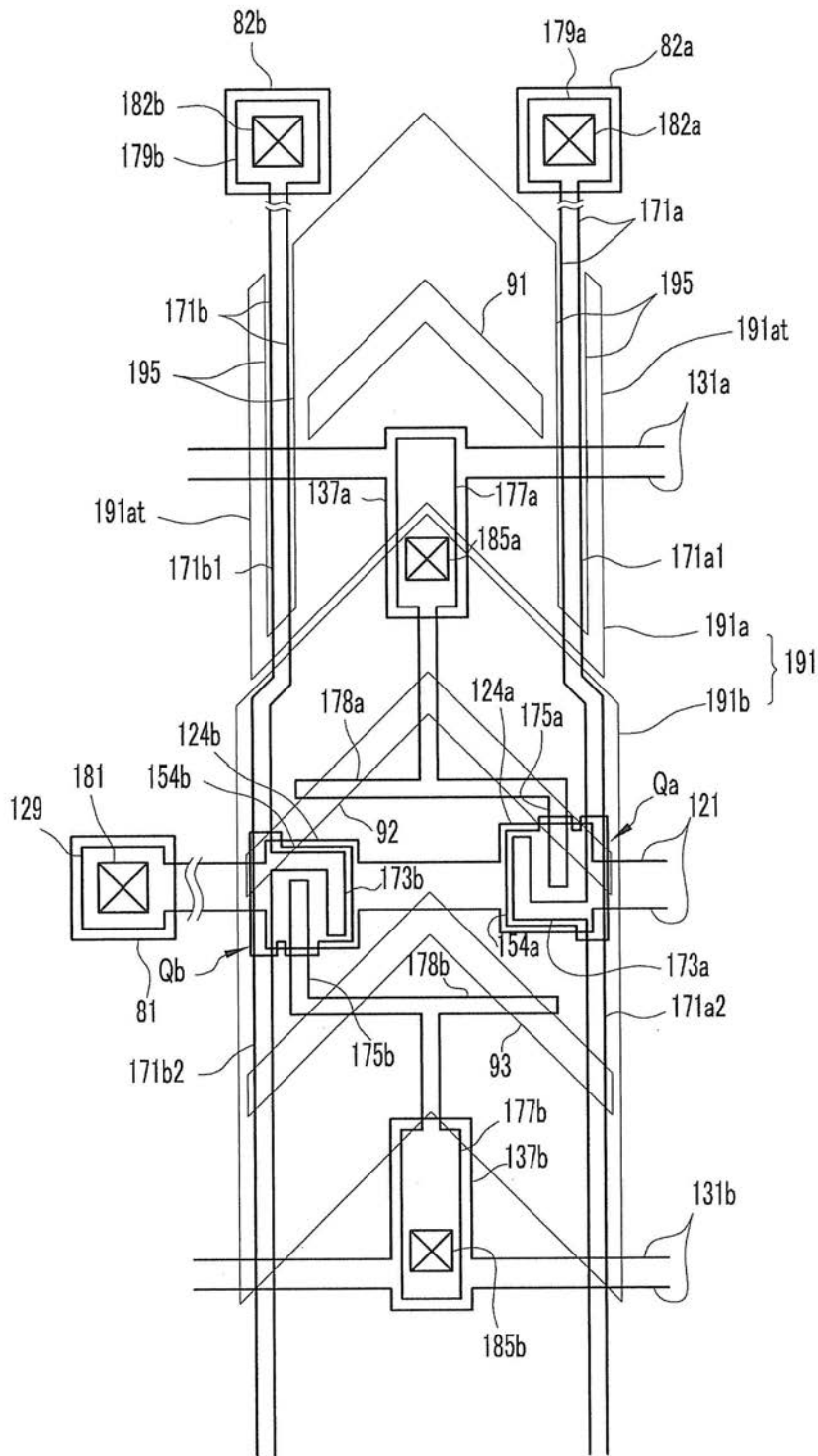
【 図 13 】



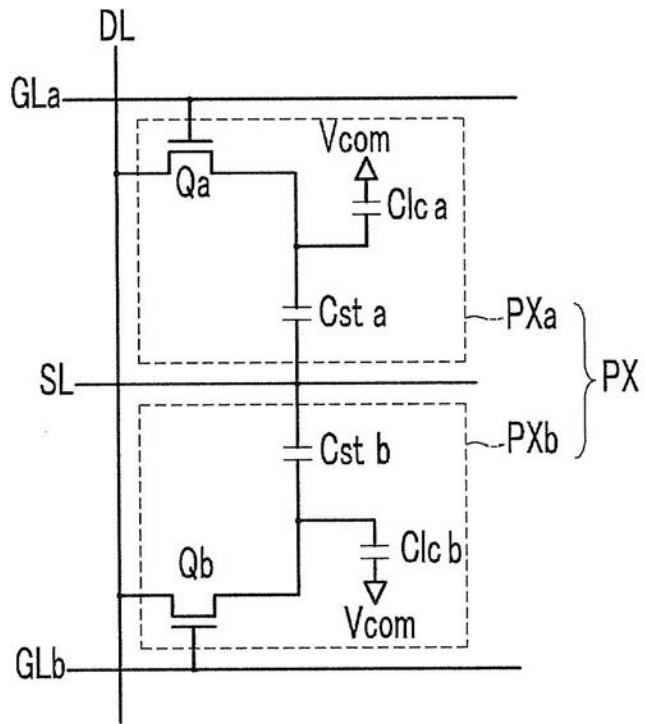
【 図 1 4 】



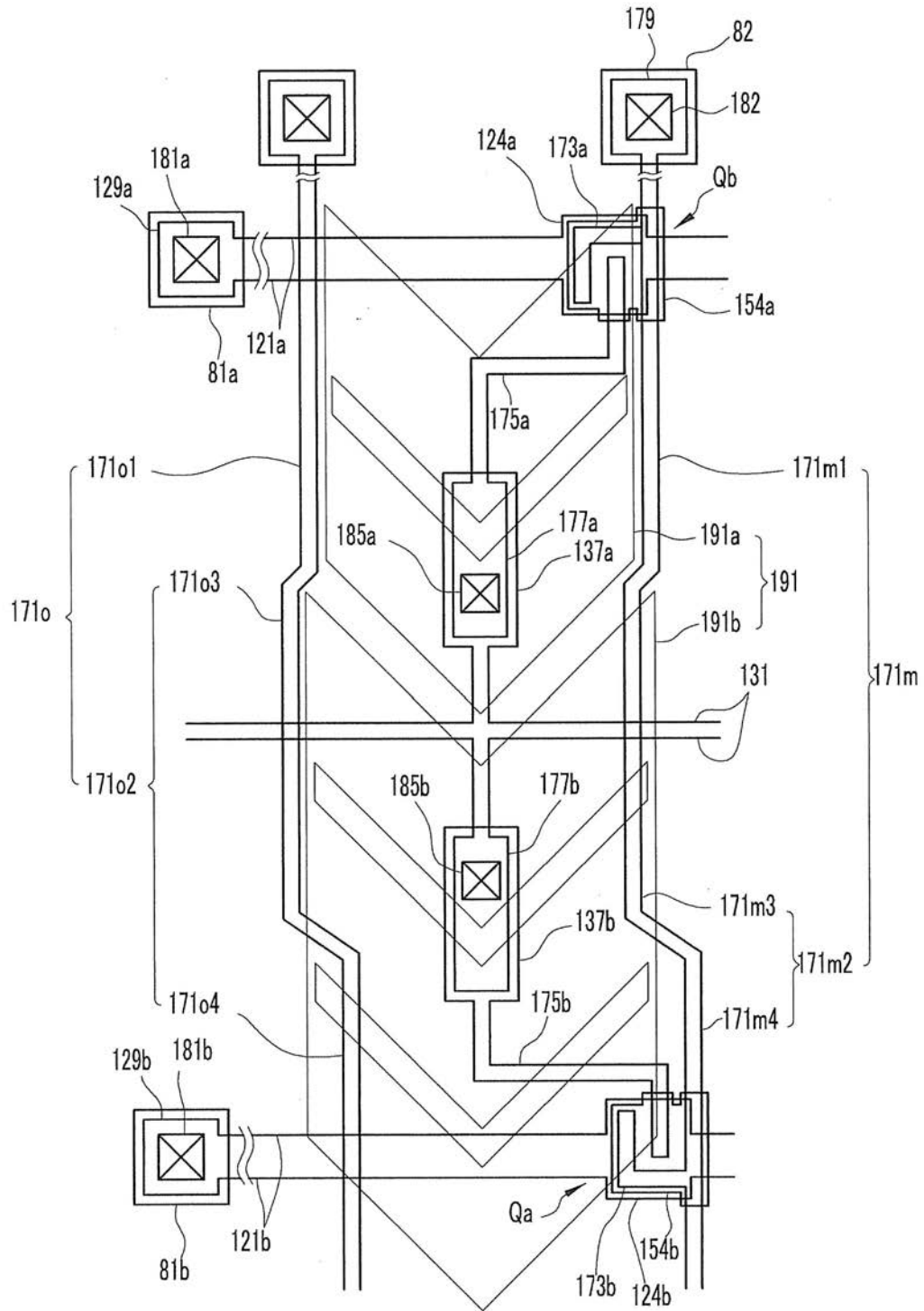
【 図 15 】



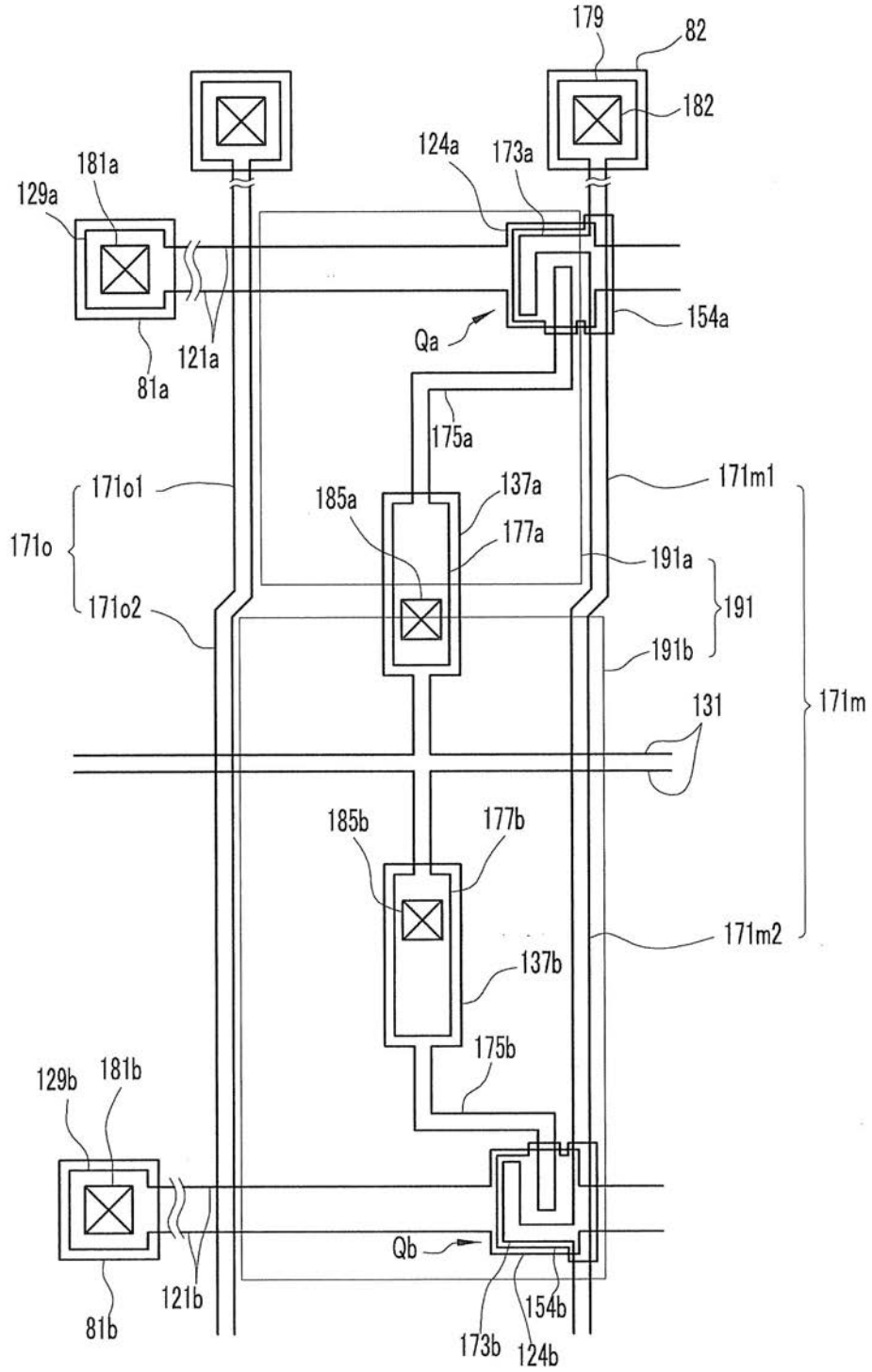
【 図 16 】



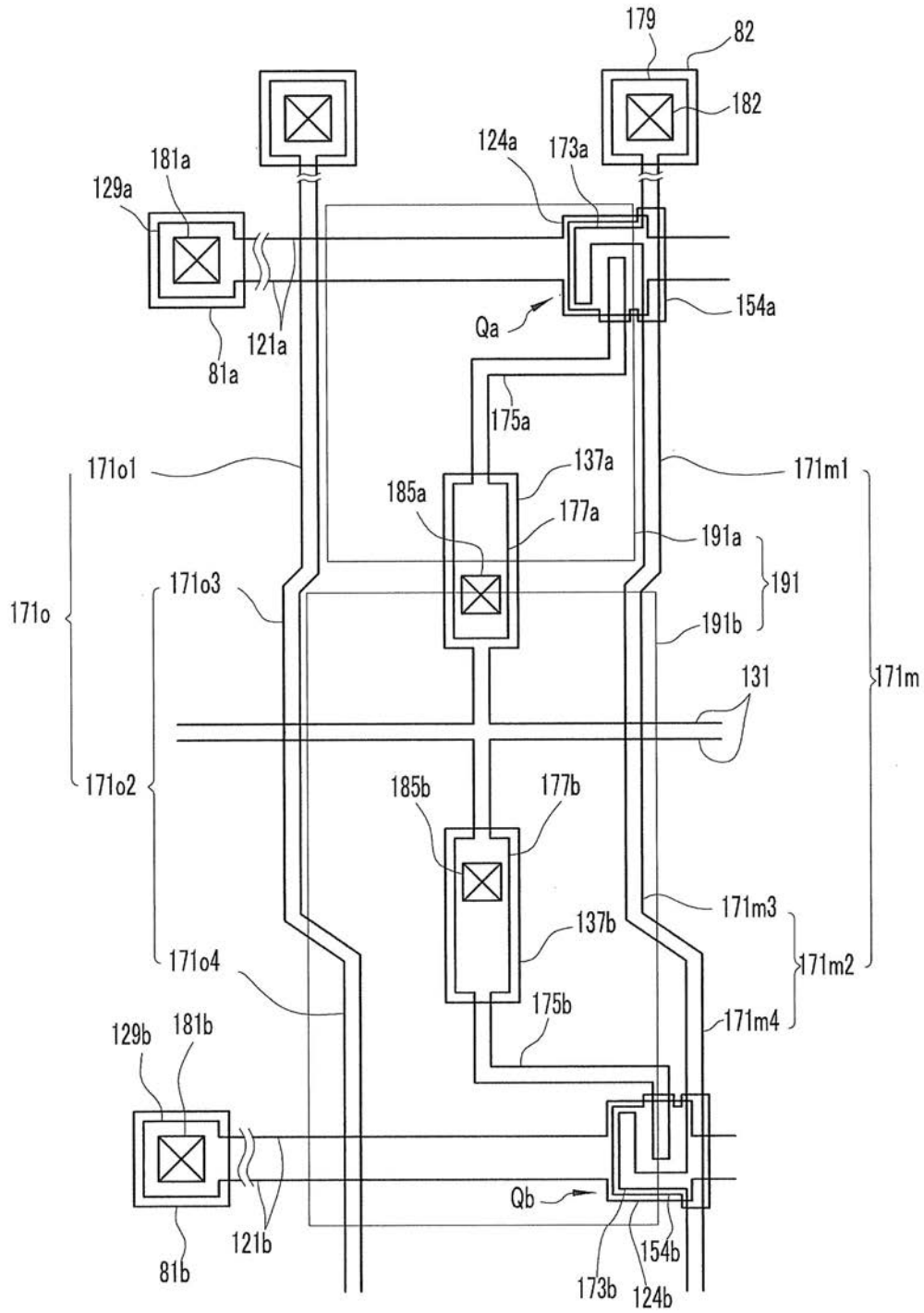
【 図 18 】



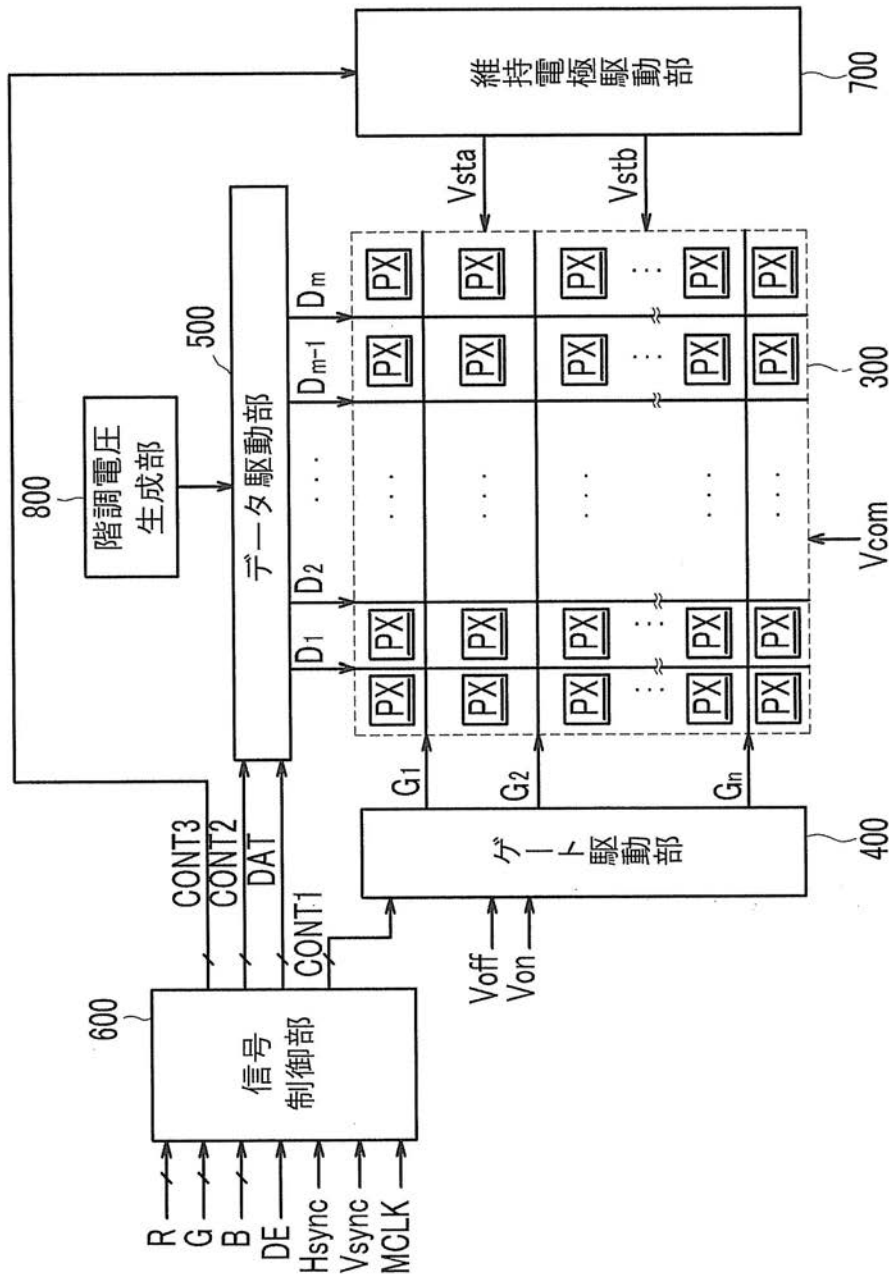
【図19】



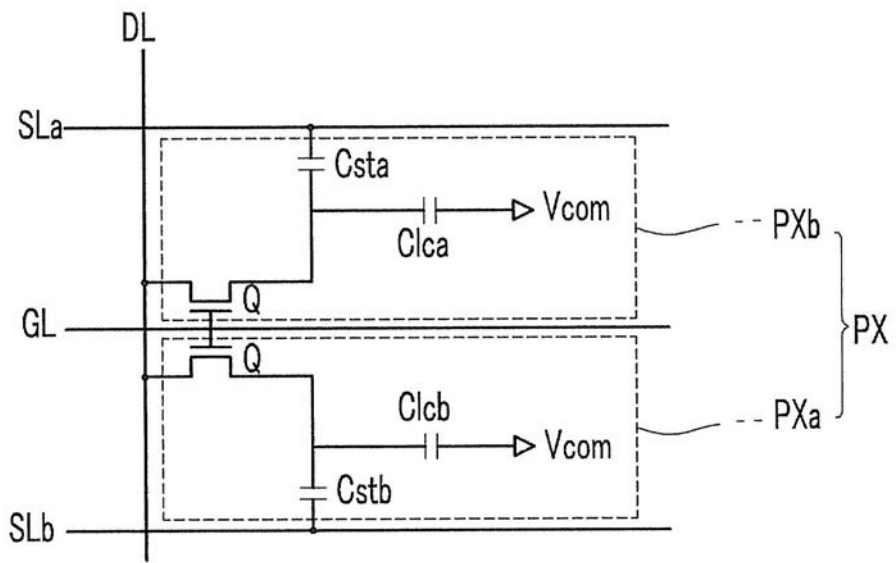
【 図 20 】



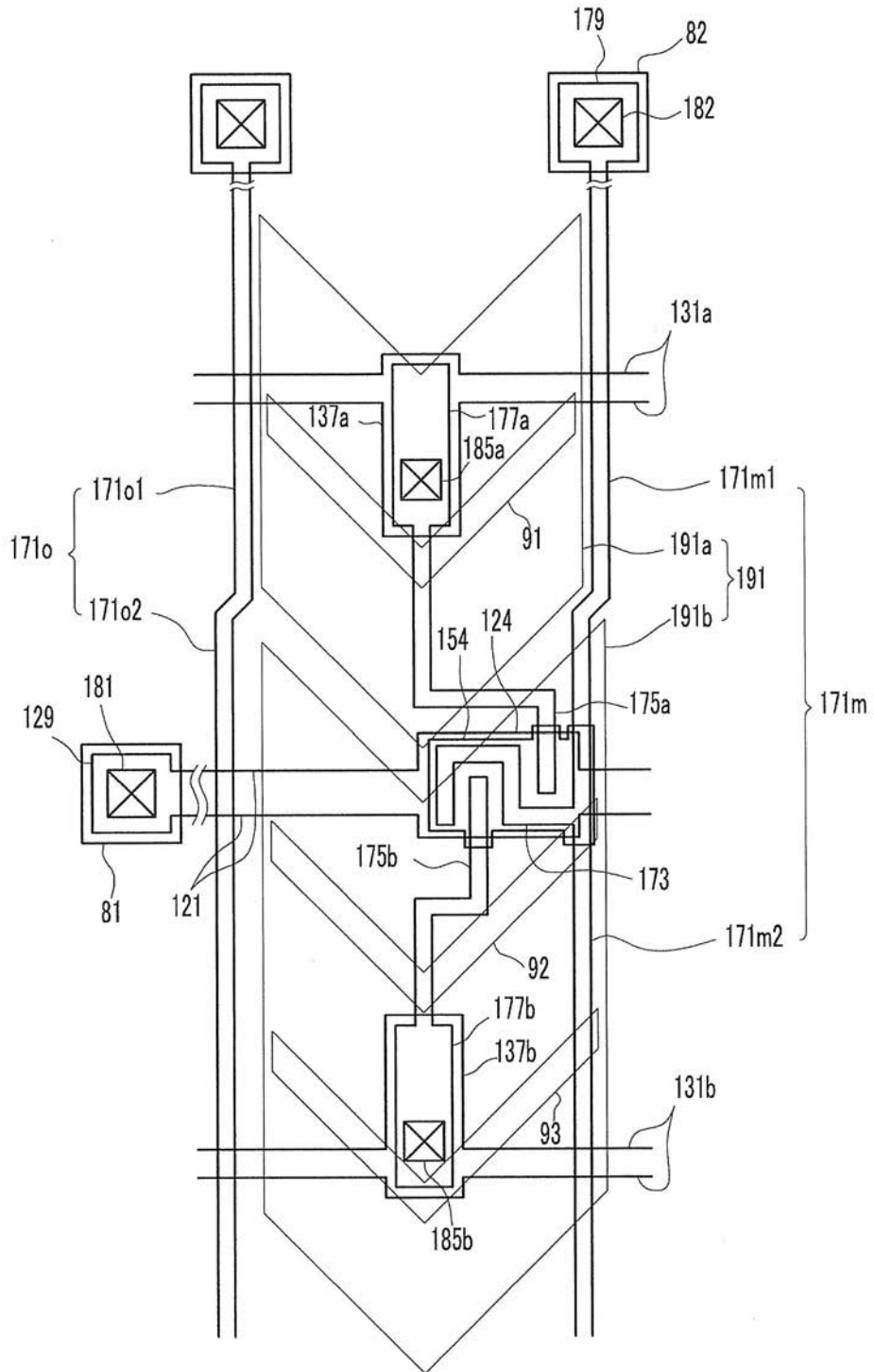
【図21】



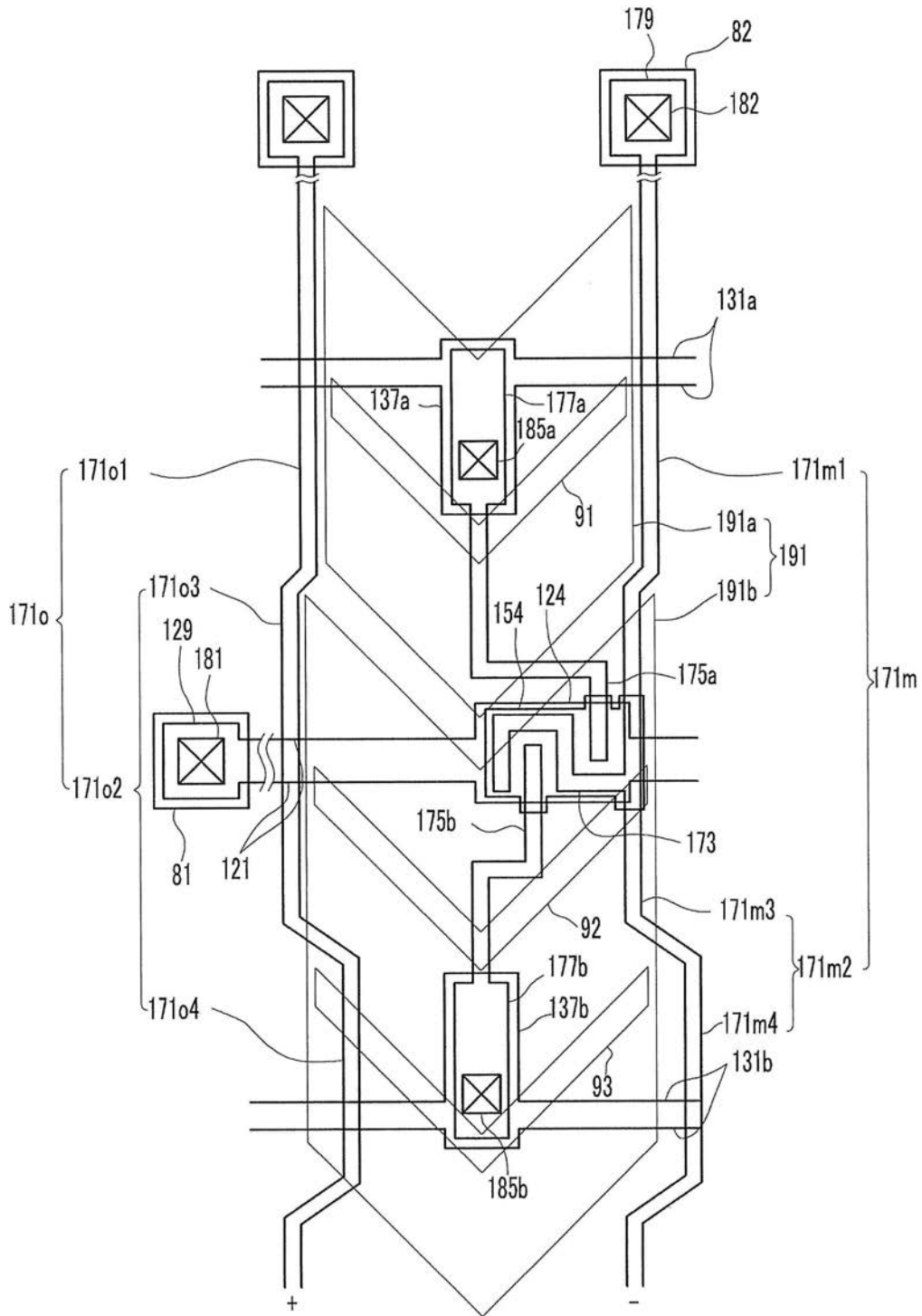
【 図 2 2 】



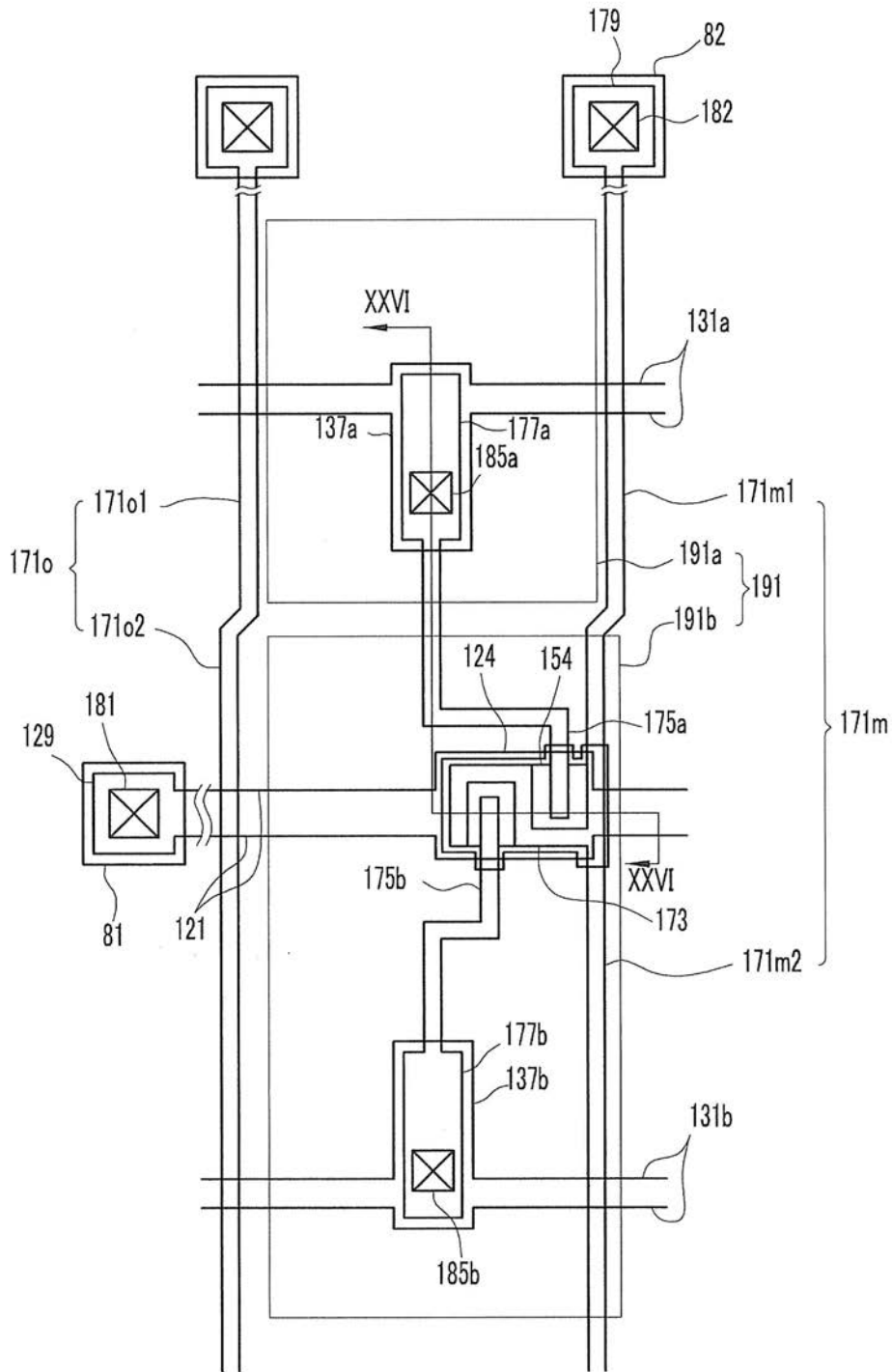
【 図 23 】



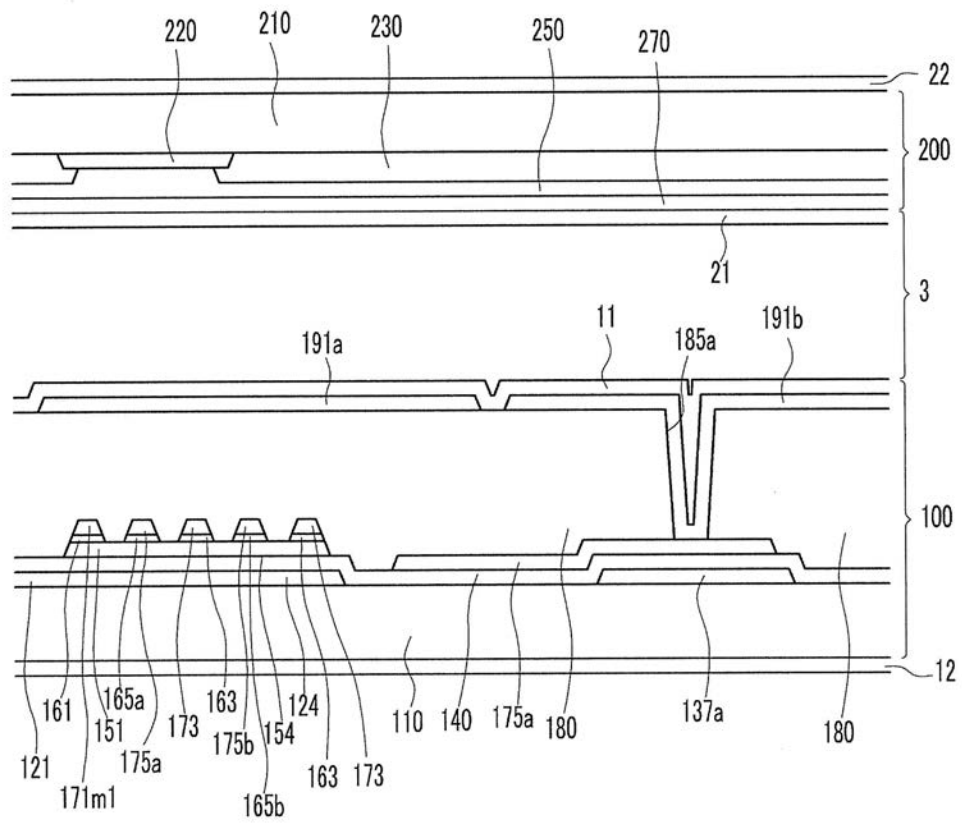
【 図 2 4 】



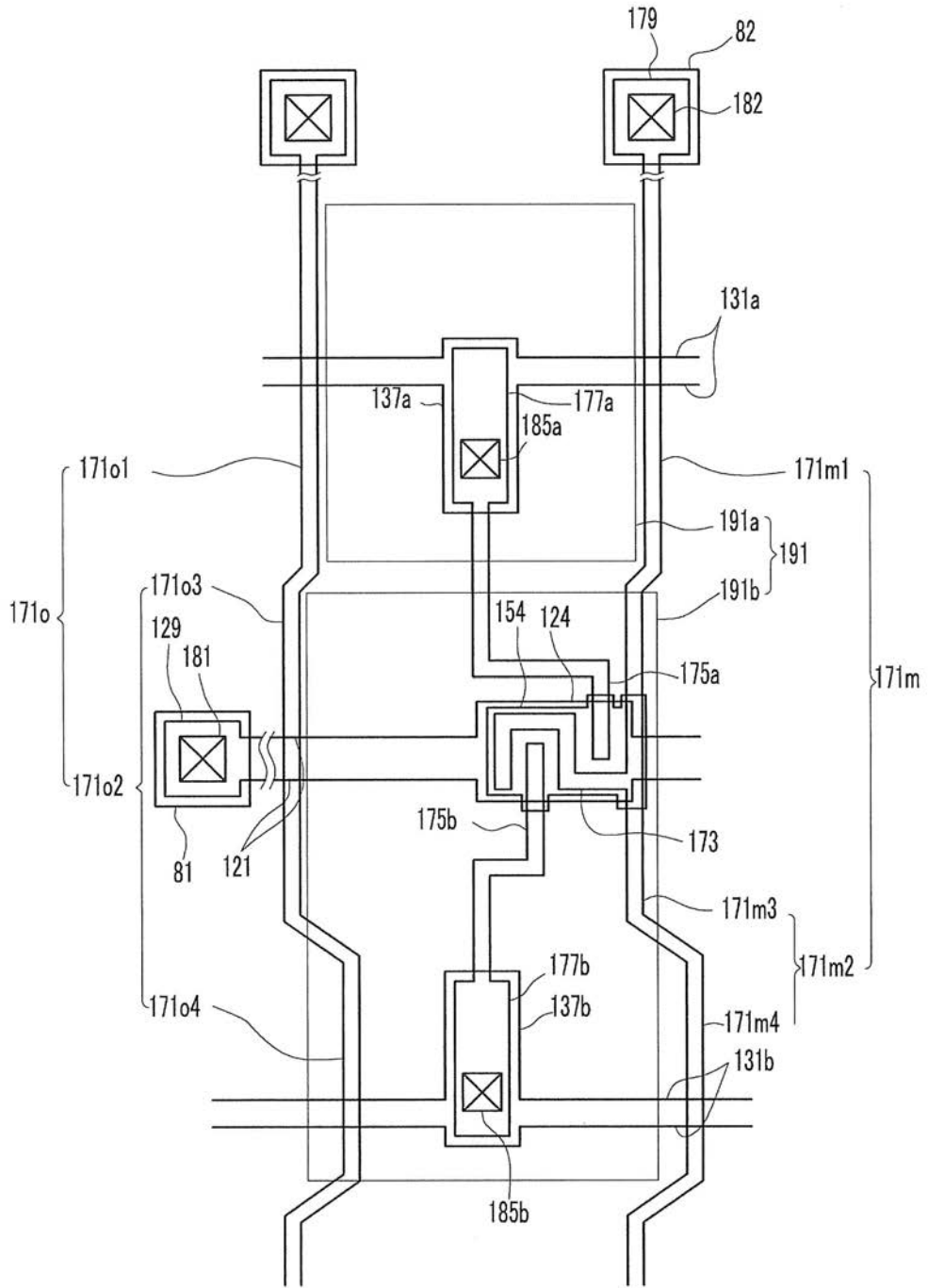
【 図 25 】



【 図 26 】



【 図 27 】



フロントページの続き

- (72)発明者 金 東 奎
大韓民国京畿道龍仁市豊徳川 2 洞三星 5 次アパート 5 2 3 棟 1 3 0 5 号
- (72)発明者 李 栢 遠
大韓民国忠清南道天安市佛堂洞テドンダスツプ 1 1 0 棟 8 0 2 号
- (72)発明者 白 承 洙
大韓民国ソウル市冠岳区南 ヒョン 洞 6 0 2 - 5 5 番地 3 0 2 号

審査官 藤田 都志行

- (56)参考文献 特開 2 0 0 0 - 0 8 9 2 4 6 (J P , A)
特開 2 0 0 3 - 3 3 0 3 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8
G 0 9 F 9 / 3 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP5143403B2	公开(公告)日	2013-02-13
申请号	JP2006321758	申请日	2006-11-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金東奎 李栢遠 白承洙		
发明人	金東奎 李栢遠 白承洙		
IPC分类号	G02F1/1343 G02F1/1368 G09F9/30		
CPC分类号	G02F1/136286 G02F2001/134345		
FI分类号	G02F1/1343 G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/JA26 2H092/JA29 2H092/JB04 2H092/JB05 2H092/JB13 2H092/JB32 2H092/JB43 2H092/JB63 2H092/JB69 2H092/KA12 2H092/KA18 2H092/MA05 2H092/MA08 2H092/MA12 2H092/MA35 2H092/MA37 2H092/NA01 2H092/QA07 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BC23 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB14 2H192/CB42 2H192/CB46 2H192/CC04 2H192/CC12 2H192/CC24 2H192/CC26 2H192/CC52 2H192/CC55 2H192/CC64 2H192/DA12 2H192/DA42 2H192/DA65 2H192/DA74 2H192/EA07 2H192/EA42 2H192/EA43 2H192/FA65 2H192/FB23 2H192/GD61 2H192/HA44 2H192/JA13 5C094/AA07 5C094/AA09 5C094/AA12 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA10		
代理人(译)	山下大洁嗣		
优先权	1020050116790 2005-12-02 KR		
其他公开文献	JP2007156468A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在保持像素的数值孔径足够高的同时抑制子像素之间的串扰发生的液晶显示装置。解决方案：本发明的液晶显示器的特征在于，每个像素电极具有两个子像素电极，这两个子像素电极在列方向上并排布置。此外，通过每个像素的数据线包括与第一子像素电极相邻的第一部分和与第二子像素部分相邻的第二部分。第一部分和第二部分在行方向上处于不同位置。因此，数据线在每个像素中间弯曲一次。第一部分不与第一子像素电极重叠。第二部分与第二子像素电极重叠。 Z

