

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5016225号
(P5016225)

(45) 発行日 平成24年9月5日 (2012.9.5)

(24) 登録日 平成24年6月15日 (2012.6.15)

(51) Int.Cl.

F I

GO 2 F 1/1343 (2006.01)

GO 2 F 1/1368 (2006.01)

GO 2 F 1/1337 (2006.01)

GO 2 F 1/1343

GO 2 F 1/1368

GO 2 F 1/1337 5 O 5

請求項の数 9 (全 30 頁)

(21) 出願番号	特願2006-7679 (P2006-7679)	(73) 特許権者	390019839
(22) 出願日	平成18年1月16日 (2006.1.16)		三星電子株式会社
(65) 公開番号	特開2006-201771 (P2006-201771A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成18年8月3日 (2006.8.3)		C o . , L t d .
審査請求日	平成21年1月16日 (2009.1.16)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2005-0004275		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成17年1月17日 (2005.1.17)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
(31) 優先権主張番号	10-2005-0117915		o f K o r e a
(32) 優先日	平成17年12月6日 (2005.12.6)	(74) 代理人	100121382
(33) 優先権主張国	韓国 (KR)		弁理士 山下 託嗣
		(74) 代理人	100094145
			弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子
			最終頁に続く

(54) 【発明の名称】 アレイ基板、それを有する液晶表示パネル及び液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板と、
前記絶縁基板上の互いに隣接する第1ゲート配線と第1データ配線によって画定される
ピクセル領域に形成されたスイッチング素子と、
前記ピクセル領域の中央領域に形成され、メインキャパシターを有するメインピクセル
部と、
一端が前記スイッチング素子に電氣的に接続されたカップリングキャパシターと、
前記カップリングキャパシターの他端に接続され、少なくとも1つのキャパシターを有
し、前記ピクセル領域の残余領域に形成されたサブピクセルと、
を含み、
前記サブピクセル部は、
前記絶縁基板に形成された第1下部ストレージパターンと、
前記第1下部ストレージパターンと電氣的に接続される第1サブ電極と、
前記絶縁基板に形成された第2下部ストレージパターンと、
前記第1サブ電極と離間して形成され前記第2下部ストレージパターンと電氣的に接
続される第2サブ電極と、
を含み、
前記第1サブ電極と前記第2サブ電極の少なくとも1つは、前記第1ゲート配線とオー
バーレイすることを特徴とするアレイ基板。

【請求項 2】

前記メインピクセル部は、前記第 1 ゲート配線に沿って前記ピクセル領域を 2 分割することを特徴とする請求項 1 記載のアレイ基板。

【請求項 3】

前記メインピクセル部は、
前記絶縁基板に形成された第 2 カップリングパターンと、
前記第 2 カップリングパターンと電氣的に接続されるメイン電極と、
を含むことを特徴とする請求項 1 記載のアレイ基板。

【請求項 4】

前記メイン電極には単位ピクセル領域の前記第 1 ゲート配線と略平行方向の軸を中心として対称である 2 つの Y 字形状の開口パターンが形成されることを特徴とする請求項 1 記載のアレイ基板。

10

【請求項 5】

前記ピクセル領域に形成されたサブゲートラインと、
前記サブゲートラインに接続されたサブスイッチング素子と、
をさらに含むことを特徴とする請求項 1 に記載のアレイ基板。

【請求項 6】

前記ゲートラインと平行に形成された第 1 下部ストレージパターンと、前記ピクセル領域を横方向に 2 分割する第 1 カップリングパターンとをさらに含み、
前記第 1 カップリングパターンは単位ピクセルの端部領域で前記第 1 下部ストレージパターンと電氣的に接続されることを特徴とする請求項 5 記載のアレイ基板。

20

【請求項 7】

透明基板及び前記透明基板に形成された共通電極を具備する上部基板と、
互いに隣接する第 1 ゲート配線と第 1 データ配線によって画定されるピクセル領域に形成された絶縁基板と、
前記ピクセル領域の中央領域に形成され、メインキャパシターを有するメインピクセル部と、
一端が前記絶縁基板上に形成されたスイッチング素子に電氣的に接続されるカップリングキャパシターと、
前記カップリングキャパシターの他端に接続され、少なくとも 1 つのキャパシターを有し、前記ピクセル領域の残余領域に形成されたサブピクセル部を含む下部基板と、
前記上部基板と前記下部基板との間に介在された液晶層と、
を含み、

30

前記サブピクセル部は、

前記絶縁基板に形成された第 1 下部ストレージパターンと、
前記第 1 下部ストレージパターンと電氣的に接続される第 1 サブ電極と、
前記絶縁基板に形成された第 2 下部ストレージパターンと、
前記第 1 サブ電極と離間して形成され前記第 2 下部ストレージパターンと電氣的に接続される第 2 サブ電極と、

を含み、

40

前記第 1 サブ電極と前記第 2 サブ電極の少なくとも 1 つは、前記第 1 ゲート配線とオーバーレイすることを特徴とする液晶表示装置。

【請求項 8】

前記メインピクセル部及び前記サブピクセル部それぞれには複数の開口パターンが形成され、

液晶表示装置の作動の際、前記ピクセル領域で前記液晶層を複数のドメイン領域に分割するために前記共通電極層に複数の開口パターンが形成されることを特徴とする請求項 7 記載の液晶表示装置。

【請求項 9】

前記カップリングキャパシターは、第 1 カップリングキャパシターと第 2 カップリング

50

キャパシターを含み、

前記サブピクセル部は、第1サブピクセル部と第2サブピクセル部を含み、

前記第1サブピクセル部は、前記絶縁基板に形成され、前記第1カップリングキャパシターを経由して前記スイッチング素子に電氣的に接続され、

前記第2サブピクセル部は、前記絶縁基板に形成され、前記第2カップリングキャパシターを経由して前記スイッチング素子に電氣的に接続されることを特徴とする請求項7に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明はアレイ基板、それを有する液晶表示パネル及び液晶表示装置に関し、より詳細には発生する画質不良を改善するためのアレイ基板、それを有する液晶表示パネル及び液晶表示装置に関する。

【背景技術】

【0002】

一般的に、液晶表示装置LCDは各画素をスイッチングする薄膜トランジスタTFTが形成されたアレイ基板（またはTFT基板）と、共通電極が形成された対向基板（またはカラーフィルター基板）と、2つの間に密封された液晶層とで構成される。このような液晶表示装置では液晶層に電圧を印加して光の透過率を制御することで画像を表示する。

液晶表示装置は、液晶によって遮蔽されない方向のみに光が透過して画像を具現するので、相対的に他の表示装置に比べて視野角が狭いという短所がある。それにより、広視野角を実現するために垂直配向モード（以下、VAモードと称す）の液晶表示装置が開発された。

20

【0003】

VAモードの液晶表示装置は、対向する面に対して垂直に配向処理された2つの基板と、2つの基板の間に密封されたネガティブ型の誘電率異方性を有する液晶層とで構成される。液晶層の液晶分子は垂直配向の性質を有する。

動作の際、2つの基板の間に電圧が印加されない時には、液晶分子が基板表面に対して略垂直方向に整列することでブラックを表示する。アレイ基板の制御電極とそれと連係されたカラーフィルター基板の共通電極に所定の電圧が印加される時には、液晶分子が基板表面に略水平方向に整列されホワイトを表示し、ホワイト表示のための電圧より小さい電圧が印加された時には、液晶分子が基板表面に対して斜め方向に傾くように配向されグレーを表示する。このとき、グレー・スケールは液晶分子の平均配向に依存して変わる。

30

【0004】

一方、液晶表示装置、特に中小型液晶表示装置には視野角を増加させるか、階調反転を抑制するためにPVAモード（Patterned Vertical Alignment）を採用するように構成されたLCD装置が使用される。PVAモードを採用する液晶表示装置は多重ドメインを画定するためにカラーフィルター基板にパターンニングされた共通電極層とアレイ基板にパターンニングされた画素電極層を有する。

【0005】

40

最近では、視野角の改善のために互いに異なるピクセル電圧を有する分離された2つのピクセル電極領域、即ち、メインピクセルとサブピクセルを1つのピクセル領域内に形成している。このように、1つのピクセル領域にメインピクセルとサブピクセルを形成する技術をスーパーPVA（SPVA）と称する。

前記したスーパーPVA技術は、単位ピクセル内に1つのTFTを形成し、メインピクセルには直接的にデータ電圧を印加し、サブピクセルにはカップリングキャパシターを経由して間接的にデータ電圧を印加し、電圧差異を誘導する方法である。即ち、前記したカップリングキャパシタンスを用いてサブピクセルにデータ電圧を印加すると、サブピクセルの電圧は、カップリングキャパシター用配線とサブピクセルのピクセル電極間のカップリングキャパシタンスの形成によって間接的に誘導され、カップリングキャパシタンスと

50

サブピクセル部分のストレージキャパシターによって決定される。

【 0 0 0 6 】

これにより、メインピクセルには相対的に高いキックバック電圧が印加されフリッカーのような画質不良が発生されるという問題点がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明の技術的な課題は、このような点に鑑み出されたもので、本発明の目的はメインピクセルのキックバック電圧を減少させ、発生する画質不良を改善するために最適化された P V A ピクセル構造を有するアレイ基板を提供することにある。

10

本発明の他の目的は、前記したアレイ基板を有する液晶表示パネルを提供することにある。

【 0 0 0 8 】

本発明のさらに他の目的は、前記したアレイ基板を有する液晶表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

前記した本発明の目的を実現するために一実施例によるアレイ基板は、スイッチング素子（例えば、T F Tのようなトランジスタスイッチ）、メインピクセル部、カップリングキャパシター及びサブピクセル部を含む。前記スイッチング素子は互いに隣接するゲート配線とデータ配線によって画定される単位ピクセル領域に形成される。例えば、前記ピクセル領域は第 1 ゲート配線と隣接した第 1 データ配線によって画定され、また、第 1 ゲート配線に繋がる第 2 ゲート配線と、第 1 データ配線に繋がる第 2 データ配線によっても画定される。前記ゲート及びデータ配線は絶縁基板上に形成される。前記メインピクセル部は前記単位ピクセル領域の第 1 領域（例えば、中央領域）に形成される。前記カップリングキャパシターは前記スイッチング素子に接続される。前記サブピクセル部は前記カップリングキャパシターに接続され、前記単位ピクセル領域の第 2 領域（例えば、周辺領域）に形成される。

20

【 0 0 1 0 】

前記メインピクセル部には複数の開口パターンが形成されることを特徴とする。

30

前記サブピクセル部には複数の開口パターンが形成されることを特徴とする。

前記メインピクセル部は前記ゲート配線と平行し前記単位ピクセル領域を 2 分割する領域に形成されることを特徴とする。

前記メインピクセル部は、前記スイッチング素子に接続されることを特徴とする。前記メインピクセル部は下部に形成された第 2 カップリングパターンと、上部に形成され前記第 2 カップリングパターンとコンタクトするメイン電極とを含むことが望ましい。前記サブピクセル部は下部に形成された第 1 下部ストレージパターン、前記第 1 下部ストレージパターンとコンタクトする第 1 サブ電極、下部に形成された第 2 下部ストレージパターン及び前記第 1 サブ電極と分離されながら前記第 2 下部ストレージパターンとコンタクトする第 2 サブ電極を含むことが望ましい。

40

【 0 0 1 1 】

このとき、前記メイン電極には単位ピクセル領域の第 1 ゲート配線と略平行方向の軸を中心として対称な 2 つの Y 字形状の開口パターンが形成されることを特徴とする。

前記第 1 サブ電極には前記メイン電極に形成された Y 字形状の開口パターンの第 1 ゲート配線と平行でない分岐部のうちの一方と平行な 2 つの開口パターンが形成されることを特徴とする。

【 0 0 1 2 】

前記第 2 サブ電極には、前記メイン電極に形成された Y 字形状の開口パターンの第 1 ゲート配線と平行でない分岐部のうちの他方と平行であり、前記第 1 ゲート配線に平行な軸を基準にして前記第 1 サブ電極に形成された開口パターンと対称である 2 つの開口パター

50

ンが形成されることを特徴とする。

前記した本発明の目的を実現するために他の実施例によるアレイ基板は、メインスイッチング素子、メインピクセル部、サブゲートライン、サブスイッチング素子及びサブピクセル部を含む。前記メインゲートラインは単位ピクセル領域に形成される。前記メインスイッチング素子は前記メインゲートラインに接続される。前記メインピクセル部は前記メインスイッチング素子に接続され前記単位ピクセル領域の中央領域に形成される。前記サブゲートラインは前記単位ピクセル領域に形成される。前記サブスイッチング素子は前記サブゲートラインに接続される。前記サブピクセル部は前記単位ピクセル領域の残余領域に形成される。

【 0 0 1 3 】

10

ここで、他の実施例によるアレイ基板は前記ゲートラインと平行に形成された第 1 下部ストレージパターンと、単位ピクセル領域を横方向に 2 分割する第 1 カップリングパターンとをさらに含み、前記第 1 カップリングパターンは単位ピクセルの端部領域で前記第 1 下部ストレージパターンと電氣的に接続されることを特徴とする。

前記した本発明の他の目的を実現するために一実施例による液晶表示パネルは、上部基板、液晶層及び下部基板を含む。前記上部基板は共通電極層を具備する。前記下部基板は前記上部基板との結合により前記液晶層を収容するものであり、単位ピクセル領域の第 1 領域（例えば、中央領域）に形成されたメインピクセル部、スイッチング素子に接続されたカップリングキャパシター及び前記カップリングキャパシターに接続され、前記単位ピクセル領域の第 2 領域（例えば、周辺領域）に形成されたサブピクセル部を具備する。

20

【 0 0 1 4 】

前記した本発明のさらにまたの目的を実現するために、一実施例による液晶表示装置はゲートライン、データライン、スイッチング素子、メインピクセル部、第 1 カップリングキャパシター、第 1 サブピクセル部、第 2 カップリングキャパシター及び第 2 サブピクセル部を含む。前記ゲートラインはゲート信号を伝達する。前記データラインはデータ信号を伝達する。前記スイッチング素子は前記ゲートライン及びデータラインに接続される。前記メインピクセル部は前記スイッチング素子に接続される。前記第 1 カップリングキャパシターは一端が前記スイッチング素子に接続される。前記第 1 サブピクセル部は前記第 1 カップリングキャパシターを経由して前記スイッチング素子に接続される。前記第 2 カップリングキャパシターは一端が前記スイッチング素子に接続される。前記第 2 サブピクセル部は前記第 2 カップリングキャパシターを経由して前記スイッチング素子に接続される。

30

【 0 0 1 5 】

前記メインピクセル部は一端が前記スイッチング素子に接続され、他端が共通電圧に接続されたメイン液晶キャパシター及び一端が前記スイッチング素子に接続され、他端がストレージ電圧に接続されたメインストレージキャパシターを含むことを特徴とする。

前記第 1 サブピクセル部は、一端が前記第 1 カップリングキャパシターに接続され、他端が共通電圧に接続された第 1 液晶キャパシター及び一端が前記第 1 カップリングキャパシターに接続され、他端がストレージ電圧に接続された第 1 ストレージキャパシターを含むことを特徴とする。

40

【 0 0 1 6 】

前記第 2 サブピクセル部は、一端が前記第 2 カップリングキャパシターに接続され、他端が前記共通電圧に接続された第 2 液晶キャパシター及び一端が前記第 2 カップリングキャパシターに接続され、他端が前記ストレージ電圧に接続された第 2 ストレージキャパシターを含むことを特徴とする。

このようなアレイ基板、それを有する液晶表示パネル及び液晶表示装置によると、PVA 構造でゲート配線とピクセル電極とが重畳され発生する追加的なゲート/ソース間キャパシターの面積をメインピクセルからサブピクセルに移転させることで、メインピクセルのキックバック電圧を減少させフリッカーのようにピクセルの R M S 原因によって発生される画質不良を改善することができる。

50

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して本発明の望ましい一実施例をより詳細に説明する。

ここで、紹介される実施例は当業者に本発明の思想が十分に伝達できるようにするために提供されたのである。図面において、多層（または膜）及び領域を明確に表現するために配線の幅や厚さを拡大して示している。全体的に、図面説明の際、観察者観点で説明し、層、膜、領域、板などの部分が他の部分の“上に”にあるとすると、これは他の部分“すぐ上”にある場合に限らず、その中間にさらに他の部分がある場合も含む。反対に、ある部分が他の部分の“すぐ上”にあるという場合には中間に他の部分がないことを意味する。

10

【0018】

（実施例1）

図1は本発明の第1実施例による液晶表示パネルを説明する平面図であり、図2は図1に示された液晶表示パネルをI-I'線に沿って切断した断面図である。特に、透過型アレ基板を有する液晶表示パネルを図示する。

図1及び図2に示すように、本発明の第1実施例による液晶表示パネルはアレ基板100、液晶層180及びアレ基板100との結合されることにより液晶層180を収容するカラーフィルター基板190を含む。

【0019】

アレ基板100は、基板105の上に図における横方向に伸張されたゲート配線110、ゲート配線110から延長されたゲート電極112、ゲート配線110とは離間され単位ピクセル領域内でゲートライン110に平行である方向に形成された第1及び第2下部ストレージパターンSTL1、STL2及び単位ピクセル領域を図横方向に2分割する第1カップリングパターンCPLを含む。

20

【0020】

アレ基板100は、窒化珪素SiNxなどの材質からなり、ゲート配線110及びゲート電極112をカバーするゲート絶縁層113及びゲート電極112をカバーするアクティブ層114を含む。アクティブ層114は、a-Siのような半導体層、及び半導体層上に形成されたn+a-Siのような半導体不純物層を含む。

アレ基板100は、縦方向に伸張されたソース配線120、ソース配線120から延長されたソース電極122及びソース電極122と一定間隔離間するドレイン電極123を含む。ここで、ゲート電極112、半導体層と半導体不純物層からなるアクティブ層114、ソース電極122及びドレイン電極123は薄膜トランジスタTFTを画定する。

30

【0021】

アレ基板100は、ドレイン電極123から延長された第1上部ストレージパターン124、単位ピクセル領域の図左側に形成され、ドレイン電極123から延長された第1延長パターン125、第1延長パターン125に接続された第2カップリングパターン126、単位ピクセル領域の図左側に形成され、第1延長パターン125に接続された第2延長パターン127及び第2延長パターン127に接続された第2上部ストレージパターン128を含む。

40

【0022】

ゲート配線110やソース配線120は、単一層または二重層などで形成することができる。単一層で形成する場合には、アルミニウム(Al)やアルミニウム(Al)-ネオジウム(Nd)合金で形成することができ、二重層で形成する場合にはクロム(Cr)、モリブデン(Mo)またはモリブデン合金膜などの物理/化学的特性の優れた物質を下部層として形成し、アルミニウム(Al)またはアルミニウム合金などの非抵抗の低い物質を上部層として形成する。

【0023】

アレ基板100は、薄膜トランジスタTFTを覆いながらドレイン電極126の一部を露出するように順に積層したパッシベーション層130と有機絶縁層132とを含む。

50

パッシベーション層 130 と有機絶縁層 132 は、ソース電極 122 とドレイン電極 123 との間のアクティブ層 114 をカバーして保護する役割、及び薄膜トランジスタ T F T とピクセルデータ部 140 を絶縁する役割を果たす。アクティブ層 114 は半導体層と半導体層上に形成された半導体不純物層を含む。

【0024】

有機絶縁層 132 の高さ調節を通じて液晶層 180 の厚さ（液晶層のセルギャップ）を調節することもできる。他の実施例においては、パッシベーション層 130 を省略することもできる。

アレイ基板 100 は薄膜トランジスタ（T F T）のドレイン電極 123 にコンタクトホールを通じて電氣的に接続され開口されたパターン形状を有するピクセル電極部 140 を含む。

10

【0025】

具体的に、ピクセルデータ部 140 は第 2 カップリングパターン 126 とコンタクトするメイン電極 144、第 1 下部ストレージパターン S T L 1 とコンタクトする第 1 サブ電極 142、第 1 サブ電極 142 と分離され第 2 下部ストレージパターンとコンタクトする第 2 サブ電極 146 を含む。

メイン電極 144 には単位ピクセル領域を図横方向の軸を中心として対称である 2 つの Y 字形状の開口パターンが形成される。対称に構成される Y 字形状の分岐部（ゲート配線と平行でない部分）は 90° の角度を有する 2 つの分岐部で構成される。第 1 サブ電極 142 には、Y 字形状の分岐部の一方と平行である 2 つの開口パターンが形成される。第 2 サブ電極 146 には、Y 字形状の分岐部の他方と平行であり、図横方向の軸を基準として、第 1 サブ電極 142 に形成された開口パターンと対称な 2 つの開口パターンが形成される。メイン電極 144、第 1 及び第 2 サブ電極 142、146 に複数の開口パターンを形成するのは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

20

【0026】

メイン電極 144、第 1 及び第 2 サブ電極 142、146 は透明な導電性物質で形成される。このような透明な導電性物質の例としてはインジウム錫酸化（I T O）、インジウム亜鉛酸化（I Z O）、亜鉛酸化（Z O）などを挙げることができる。

一方、カラーフィルター基板 190 は単位ピクセル領域に対応して透明基板 192 上に形成された色画素層 194 と、色画素層 194 上に形成され、アレイ基板 100 に形成されたピクセル電極 140 の開口パターンをカバーし一部領域が開口された共通電極部 196 とを含み、アレイ基板 100 との結合により液晶層 180 を収容する。液晶層 180 内の液晶分子は垂直配向 V A モードに配列される。

30

【0027】

平面上で観察するとき、メイン電極 144、第 1 及び第 2 サブ電極 142、146 それぞれによって互いに異なる複数のドメインが形成される。従って、前記したアレイ基板やカラーフィルター基板に形成され液晶を配向する配向膜の表面を一定の方向にラビングする工程の省略も可能で、前記配向膜を形成しなくてもよいのである。

図 3 は図 1 に示された液晶表示装置の単位ピクセルを説明する等価回路図である。

40

【0028】

図 3 に示すように、本発明の実施例による液晶表示装置はゲートライン G L、データライン D L、スイッチング素子 T F T、メインピクセル部 M P、第 1 カップリングキャパシター C c p 1、第 1 サブピクセル部 S P 1、第 2 カップリングキャパシター C c p 2 及び第 2 サブピクセル部 S P 2 を含む。

ゲートライン G L はスイッチング素子をアクティブにするゲート信号をスイッチング素子 T F T に伝達し、データライン D L はスイッチング素子 T F T にデータ信号を伝達する。

【0029】

メインピクセル部 M P は、一端がスイッチング素子 T F T に接続され、他端が共通電圧

50

(Vcom)に接続されたメイン液晶キャパシター(ClcM)及び一端がスイッチング素子TF Tに接続され、他端がストレージ電圧(Vst)に接続されたメインストレージキャパシター(CstM)を含む。

第1カップリングキャパシターCcp1は、一端がスイッチング素子TF Tに接続され、他端が前記第1サブピクセル部SP1に接続される。

【0030】

第1サブピクセル部SP1は、一端が第1カップリングキャパシターCcp1に接続され、他端が共通電圧に接続された第1液晶キャパシターClcs1及び一端が第1カップリングキャパシターCcp1に接続され、他端がストレージ電圧(Vst)に接続された第1ストレージキャパシターCsts1を含む。

10

第2カップリングキャパシターCcp2は、一端がスイッチング素子TF Tに接続され、他端が第2サブピクセル部SP2に接続される。

【0031】

第2サブピクセル部SP2は、一端が第2カップリングキャパシターCcp2に接続され、他端が共通電圧に接続された第2液晶キャパシターClcs2及び一端が第2カップリングキャパシターCcp2に接続され、他端がストレージ電圧Vstに接続された第2ストレージキャパシターCsts2を含む。

図4～図8は、図1に示されたアレイ基板の製造方法を説明する平面図である。特に、TF Tに近接する位置に配置されたドレイン配線とTF Tから離れた位置に配置されるドレイン配線のそれぞれに形成されたコンタクトホールを有するアレイ基板を示す。特に、図4はゲート配線の形成を説明し、図5はアクティブ開口パターンの形成を説明し、図6はソース/ドレイン配線の形成を説明し、図7はコンタクトホールが形成された有機絶縁膜を説明し、図8はITOのようなピクセル電極を説明する。

20

【0032】

図2及び図4に示すように、ガラスやセラミックなどの絶縁物質からなる透明基板105上にタンタルTa、チタンTi、モリブデンMo、アルミニウムAl、クロムCr、銅Cu、またはタンゲステンWなどのような材質の金属を蒸着して金属層を形成する。

続いて、蒸着された金属層をパターニングして図横方向に縁設され縦方向に配列される複数のゲートライン110、薄膜トランジスタを画定するためにゲートライン110から延長されたゲート電極112、単位ピクセル領域内でゲートライン110と平行方向に形成された第1及び第2下部ストレージパターンSTL1、STL2、及び単位ピクセル領域を横切る方向に設けられ単位ピクセル領域を2分割する第1カップリングパターンCPLを形成する。

30

【0033】

続いて、ゲートライン110、ゲート電極112、第1及び第2下部ストレージパターンSTL1、STL2及び第1カップリングパターンCPLを含む基板の全面に窒化シリコンなどをプラズマ化学気相蒸着法で積層してゲート絶縁層113を形成する。ゲート絶縁層113は基板105の全面に形成することもでき、ゲートライン110、ゲート電極112、第1及び第2下部ストレージパターンSTL1、STL2及び第1カップリングパターンCPLをカバーするようにパターニングすることもできる。

40

【0034】

図5に示すように、ゲート絶縁層113上にアモルファス・シリコン(a-Si)膜及びn+アモルファスシリコン(a-Si)膜を形成し、薄膜トランジスタを画定するために一部領域をパターニングし、ゲート電極112が位置する領域にアクティブ層114を形成する。

続いて、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、銅(Cu)またはタンゲステン(W)などのような金属を蒸着する。

【0035】

図6に示すように、蒸着された金属をパターニングして複数のデータライン120、デ

50

ータライン 120 から延長されたソース電極 122、ソース電極 122 から一定間隔離間して形成されるドレイン電極 123、ドレイン電極 123 から延長された第 1 上部ストレージパターン 124、ドレイン電極 123 から延長された第 1 延長パターン 125 に接続された第 2 カップリングパターン 126 と、第 1 延長パターン 125 に接続された第 2 延長パターン 127 及び第 2 延長パターン 127 に接続された第 2 上部ストレージパターン 128 を形成する。

【0036】

第 1 上部ストレージパターン 124 には、第 1 コンタクトホール CNTST1 が形成される。第 2 カップリングパターン 126 は、単位ピクセル領域を横切る方向に設けられ単位ピクセルを 2 分割して第 1 カップリングパターン CPL をカバーする。第 2 上部ストレージパターン 128 には第 2 コンタクトホール CNTST2 が形成される。

10

図 2 及び図 7 に示したように、アクティブ層 114、データライン 120、ソース電極 122、ドレイン電極 123、第 1 上部ストレージパターン 124、第 1 延長パターン 125、第 2 カップリングパターン 126、第 2 延長パターン 127 及び第 2 上部ストレージパターン 128 で構成されたゲート絶縁層 113 上にスパインコーティング方法でレジスタを積層してパッシベーション層 130 と有機絶縁 132 を形成する。本実施例において、ドレインラインはストレージパターン 124、第 1 延長パターン 125、第 2 カップリングパターン 126、第 2 延長パターン 127 及び第 2 上部ストレージパターン 128 を含む。

【0037】

20

連続するゲートライン 110 とデータライン 120 によって画定されるアレイ基板の単位ピクセル領域で、パッシベーション層 130 と有機絶縁 132 の一部を除去して第 1 コンタクトホール CNTST1 に対応する領域に第 3 コンタクトホール CNTST3 を形成する。また、第 2 コンタクトホール CNTST2 に対応する領域に第 4 コンタクトホール CNTST4 を形成し、第 2 カップリングパターン 126 に対応する領域に第 5 コンタクトホール CNTCP を形成する。

【0038】

図 2 及び図 8 に示すように、単位ピクセル領域内で、第 3 コンタクトホール CNTST3 と第 1 コンタクトホール CNTST1 を通じて第 1 下部ストレージパターン STL1 と接続され、第 4 コンタクトホール CNTST4 と第 2 コンタクトホール CNTST2 を通じて第 2 下部ストレージパターン STL2 と接続され、第 5 コンタクトホール CNTCP を通じて第 2 カップリングパターン 126 と接続されるピクセル電極部 140 が形成される。

30

【0039】

具体的に、ピクセル電極部 140 は第 2 カップリングパターン 126 とコンタクトするメイン電極 144、第 1 下部ストレージパターン STL1 とコンタクトする第 1 サブ電極 142、前記第 1 サブ電極 142 と分離され第 2 下部ストレージパターンとコンタクトする第 2 サブ電極 146 を含む。

メイン電極 144 には、単位ピクセル領域を図横方向の軸を中心として対称である 2 つの Y 字形状の開口パターンが形成される。対称である Y 字形状の 2 つの分岐部（ゲート配線と平行でない部分）は 90° の角度を有する。第 1 サブ電極 142 には、Y 字形状の分岐部の一方と平行である 2 つの開口パターンが形成される。第 2 サブ電極 146 には、Y 字形状の分岐部の他方と平行であり、図横方向の軸を基準として第 1 サブ電極に形成された開口パターンと対称である 2 つの開口パターンが形成される。メイン電極 144、第 1 及び第 2 サブ電極 142、146 に複数の開口パターンを形成することは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

40

【0040】

メイン電極 144、第 1 サブ電極 142 及び第 2 サブ電極 146 は透明な導電性物質で形成することができる。このような透明な導電性物質の例としては、インジウム錫酸化物

50

ITO、インジウム亜鉛酸化物IZO、亜鉛酸化物ZOなどを挙げることができる。メイン電極144、第1サブ電極142及び第2サブ電極146は全面塗布した後パターンニングすることが形成できる。メイン電極144、第1サブ電極142及び第2サブ電極146は部分的に形成されるように塗布することもできる。

【0041】

図面上では、観察者観点でメイン電極144、第1サブ電極142及び第2サブ電極146がゲートライン110のエッジとデータライン120のエッジで一定間隔分だけそれぞれ離間した構成を示したが、最小の幅を有しオーバーレイすることもできる。

以上、説明したように、本発明の第1実施例によると、単位ピクセル領域の中央領域にスイッチング素子TFEと直接的に接続されるメインピクセル部を形成し、単位ピクセル領域の端領域にカップリングキャパシターを通じてスイッチング素子TFEと間接的に接続されるサブピクセル部を形成することで、メインピクセル部のキックバック電圧を顕著に減少させることができる。

【0042】

これについては下記する図9を参照してより詳細に説明する。

図9は本発明によるゲート/ソース間キャパシターの移転を説明する平面図である。

図9に示すように、一般的なゲート/ソース間キャパシタンス C_{gs1} はチャンネル層上でゲート配線とドレイン配線がオーバーレイされる面積によって画定される。本発明による追加的なゲート/ソース間キャパシタンス C_{gs2} はゲート配線110とピクセル電極142がオーバーレイされる面積によって画定される。

【0043】

このように、追加的なゲート/ソース間キャパシタンスの面積をメインピクセルからサブピクセルに移転させることで、メインピクセルのキックバック電圧を顕著に減少させる。即ち、一般的なゲート/ソース間キャパシタンス C_{gs1} の面積と追加的なゲート/ソース間キャパシタンス C_{gs2} の面積比は略60:40である。

キックバック電圧 V_k は下記する数式1によって画定される。

【0044】

$$V_k = \{ C_{gs} \text{ over } \{ C_{gs} + C_{st} + C_{lc} \} \} \cdot (V_{on} - V_{off}) \cdots (\text{数式1})$$

ここで、 C_{gs} はゲート/ソース間キャパシタンスであり、 C_{st} はストレージキャパシタンスであり、 C_{lc} は液晶キャパシタンスであり、 V_{on} はゲートオン電圧であり、 V_{off} はゲートオフ電圧である。

【0045】

メインピクセルのキックバック電圧が減少されるとフリッカー現象のようなピクセルのRMS原因による画質不良が減少されるか除去される。

また、本発明によるPVAモードの液晶表示装置は低階調残象を改善する効果がある。それは、サブピクセルのガンマ曲線が中間階調までブラックを保持するからである。

(実施例2)

図10は本発明の第2実施例による液晶表示パネルを説明する平面図である。

【0046】

図11は図10に示されたアレイ基板200の平面図である。特に、スイッチング素子TFEから離れた位置に配置されるドレイン配線に形成されたコンタクトホールを有するアレイ基板を示す。

図2、図10及び図11に示すように、本発明の第2実施例によるアレイ基板200は基板上に図横方向に延設されるゲート配線210、ゲート配線210から延長されたゲート電極212、ゲート配線210から離間して設けられ単位ピクセル領域内でゲートライン210に平行に形成された第1及び第2下部ストレージパターンSTL1、STL2及び単位ピクセル領域を横切る方向に設けられ単位ピクセルを2分割する第1カップリングパターンCPLを含む。

【0047】

アレイ基板 200 は、窒化珪素 SiN_x などの材質からなり、ゲート配線 210 及びゲート電極 212 をカバーするゲート絶縁層（図示せず）、及びゲート電極 212 をカバーするアクティブ層 214 を含む。アクティブ層 214 は a-Si のような半導体層、及び半導体層上に形成された n+a-Si のような不純物層を含む。

アレイ基板 200 は図縦方向に延設されたソース配線 220、ソース配線 220 から延長されたソース電極 222、及びソース電極 222 と一定間隔離間して設けられるドレイン電極 223 を含む。ここで、ゲート電極 212、半導体層 214、半導体不純物層 215、ソース電極 222 及びドレイン電極 223 は薄膜トランジスタ TFT を画定する。

【0048】

アレイ基板 200 は、ドレイン電極 223 から延長された第 1 上部ストレージパターン 224、単位ピクセル領域の図右側に形成されドレイン電極 223 から延長された第 1 延長パターン 225、第 1 延長パターン 225 に接続された第 2 カップリングパターン 226、単位ピクセル領域の図右側に形成され第 1 延長パターン 225 に接続された第 2 延長パターン 227 及び第 2 延長パターン 227 に接続された第 2 上部ストレージパターン 228 を含む。

【0049】

アレイ基板 200 は薄膜トランジスタ TFT を覆いながらドレイン電極 226 の一部を露出するように順に積層されたパッシベーション層 230 と有機絶縁層（図示せず）を含む。パッシベーション層 230 と有機絶縁層は、ソース電極 222 とドレイン電極 223 との間のチャンネル層 214 をカバーして保護する役割及び薄膜トランジスタ TFT とピクセル電極部 240 を絶縁する役割を実施する。チャンネル層 214 は半導体層 214 と半導体層 214 上に形成された半導体不純物層 215 を含む。

【0050】

有機絶縁層の高さ調節を通じて液晶層 200 の厚さ（液晶層のセルギャップ）を調節することもできる。他の実施例においては、パッシベーション層 230 を省略することもできる。

アレイ基板 200 は、コンタクトホール CNTST1 を通じて下部の第 2 カップリングパターン 224 と接続され開口されたパターン形状を有するピクセル電極部を含む。

【0051】

具体的に、ピクセル電極部は、単位ピクセル領域の下側と上側にそれぞれ形成され単位ピクセル領域の図右側において、第 1 円超パターン 225 により電氣的に接続されたメイン電極 244 及びサブ電極 242 を含む。メイン電極 244 は、図右側方向に向かうウェッジ形状を画定し、サブ電極 242 はメイン電極 244 が未形成された領域に形成される。

【0052】

示された実施例において、メイン電極 244 には単位ピクセル領域において図横方向の軸を中心として対称な 2 つの Y 字形状の開口パターンが形成される。対称な Y 字形状の 2 つの分岐部（ゲート配線と平行でない部分）は 90° の角度を有する。この開口パターンによって形成されたサブ電極 242 の幅は均一であることが望ましい。

サブ電極 242 の下側には、Y 字形状の分岐部の一方と平行な 2 つの開口パターンが形成され、サブ電極 242 の上側には Y 字形状の分岐部の他方と平行な 2 つの開口パターンが形成される。サブ電極 242 の上側に形成された 2 つの開口パターンはサブ電極 242 の下側に形成された 2 つの開口パターンと、図横方向の軸を基準として対称に形成される。

【0053】

メイン及びサブ電極 244、242 に複数の開口パターンを形成することは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

メイン電極 244 及びサブ電極 242 は、透明な導電性物質で形成することができる。このような透明な導電性物質の例としてはインジウム錫酸化物 ITO、インジウム亜鉛酸

10

20

30

40

50

化物IZO、亜鉛酸化物ZOなどを挙げることができる。

【0054】

以上説明した本発明の第1実施例によると、ゲート配線とピクセル電極がオーバーレイされ発生する追加的なゲート/ソース間キャパシター(Cgs)面積をメインピクセルからサブピクセルに移行することで、メインピクセルのキックバック電圧を減少させ画質不良を改善することができる。

以上、説明した本発明の第2実施例によると、有機膜コンタクトホールの個数を2つに減少することで、工程及び有機膜材料の不良に対する信頼性を確保することができる。

【0055】

一般的なスーパーPVA構造におけるコンタクトホールは、ゲート配線とソース配線間のオーバーレイ部分に1ポイント、下部基板の共通電極層とソース配線間のオーバーレイ部分に2ポイント形成されるが、本発明の第2実施例においては、ゲート配線とソース配線間のオーバーレイ部分に1ポイント、下部基板の共通電極層とソース配線間のオーバーレイ部分に1ポイント形成するだけであり、ゲート/ソース間のショートポイントを減少することができる。ゲート/ソース間ショートポイント不良は三層膜MoAlMo上に有機膜を覆う工程でメイン不良中の1つである。

10

【0056】

一般的なスーパーPVA構造では、サブピクセルを2つ形成する場合にはピクセル欠陥による検査が不利であったが、本発明の第2実施例によると、サブピクセルを1つにすることで、ピクセル結合検査に有利にし、アレイ検査の所要時間を減少することができる。

20

(実施例3)

図12は本発明の第3実施例による液晶表示パネルを説明する平面図である。図13は図12に示されたアレイ基板300の平面図である。特に、スイッチング素子TFTに近接してストレージ配線と遠接するストレージ配線それぞれにコンタクトホールを形成し、中央部位のストレージ配線の幅を増加させアレイ基板を示す。

【0057】

図12及び図13に示すように、本発明の第3実施例によるアレイ基板300は基板上に図横方向に延設されたゲート配線310、ゲート配線310から延長されたゲート電極312、ゲート配線310から離間され単位ピクセル領域内でゲートライン310に平行に形成された第1及び第2下部ストレージパターンSTL1、STL2、及び単位ピクセル領域を横切るように形成され単位ピクセルを2分割する第1カップリングパターンCP

30

【0058】

アレイ基板300は、窒化珪素SiNxなどの材質からなり、ゲート配線310及びゲート電極312をカバーするゲート絶縁層(図示せず)及びゲート電極312をカバーするアクティブ層314を含む。アクティブ層314はa-Siのような半導体層及び半導体層上に形成されたn+a-Siのような半導体不純物層を含む。

アレイ基板300は、図縦方向に延設されたソース配線320、ソース配線320から延長されたソース電極322及びソース電極322と一定間隔で離間して設けられるドレイン電極323を含む。ここで、ゲート電極312、半導体層314、半導体不純物層315、ソース電極322及びドレイン電極323は薄膜トランジスタTFTを画定する。

40

【0059】

アレイ基板300は、ドレイン電極323から延長され第1下部ストレージパターンSTL1を露出させる第1上部ストレージパターン324、単位ピクセル領域の図左側に形成され第1上部ストレージパターン324から延長された第1延長パターン325、第1延長パターン325に接続された第2カップリングパターン326、単位ピクセル領域の図左側に形成され第1延長パターン325に接続された第2延長パターン327及び第2延長パターン327に接続され第2下部ストレージパターンSTL2を露出させる第2上部ストレージパターン328を含む。

【0060】

50

アレイ基板 300 は薄膜トランジスタ T F T を覆いながらドレイン電極 326 の一部を露出するように順に積層されたパッシベーション層（図示せず）と、有機絶縁層（図示せず）を含む。パッシベーション層と有機絶縁層は、ソース電極 322 とドレイン電極 323 との間のチャンネル層 314 をカバーして保護する役割及び薄膜トランジスタ T F T とピクセル電極部 340 を絶縁する役割を果たす。チャンネル層 314 は半導体層と半導体層上に形成された半導体不純物層を含む。

【0061】

アレイ基板 300 は、コンタクトホール C N T C P を通じて下部の第 2 カップリングパターン 326 と接続され開口された開口パターン形状を有するピクセル電極部を含む。

具体的に、ピクセル電極部は第 2 カップリングパターン 326 とコンタクトするメイン電極 344、第 1 下部ストレージパターン S T L 1 とコンタクトする第 1 サブ電極 342 及び第 1 サブ電極 342 と分離され第 2 下部ストレージパターン S T L 2 とコンタクトする第 2 サブ電極 346 を含む。

【0062】

示された実施例において、メイン電極 344 には単位ピクセル領域において図横方向の軸を中心として対称な 2 つの Y 字形状の開口パターンが形成される。対称な Y 字形状の 2 つの分岐部は 90° の角度を有する。第 1 サブ電極 342 には Y 字形状の分岐部のうち一方と平行な 2 つの開口パターンが形成される。第 2 サブ電極 346 には Y 字形状の分岐部の他方と平行であり第 1 サブ電極 342 に形成された開口パターンと図横方向の軸を基準として対称な 2 つの開口パターンが形成される。メイン電極 344、第 1 及び第 2 サブ電極 342、346 に複数の開口パターンを形成するのは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

【0063】

メイン電極 344、第 1 及び第 2 サブ電極 324、246 は透明な導電性物質で形成することができる。このような透明な導電性物質の例としてはインジウム錫酸化物 I T O、インジウム亜鉛酸化物 I Z O、亜鉛酸化物 Z O などを挙げることができる。

平面上で観察するとき、メイン電極 344、第 1 及び第 2 サブ電極 342、346 それぞれによって互いに異なる複数のドメインが形成される。従って、前記したアレイ基板やカラーフィルター基板に形成され液晶を配向する配向膜の表面を一定の方向にラビングする工程の省略も可能で、配向膜を形成しなくてもよい。

【0064】

以上、説明した本発明の第 3 実施例によると、ゲート配線とピクセル電極とがオーバーレイされ発生する追加的なゲート/ソース間キャパシター（C g s）面積をメインピクセルからサブピクセルに移転させることで、メインピクセルのキックバック電圧を減少させ画質不良を改善することができる。

（実施例 4）

図 14 は本発明の第 4 実施例による液晶表示パネルを説明する平面図である。図 15 は図 14 に示されたアレイ基板 400 の平面図である。特に、スイッチング素子 T F T に近接するドレイン配線、遠接するドレイン配線に形成されたコンタクトホール、及び中央部位のストレージ配線の幅を増加させたアレイ基板を示す。

【0065】

図 14 及び図 15 に示すように、本発明の第 4 実施例によるアレイ基板 400 は基板上に図横方向に延設されたゲート配線 410、ゲート配線 410 から延長されたゲート電極 412、ゲート配線 410 から離間して設けられ単位ピクセル領域内にゲートライン 410 と平行に形成された第 1 及び第 2 下部ストレージパターン S T L 1、S T L 2、及び単位ピクセル領域を横切って設けられ単位ピクセル領域を 2 分割する第 1 カップリングパターン C P L を含む。

【0066】

アレイ基板 400 は窒化珪素 S i N x などの材質からなりゲート配線 410 及びゲート電極 412 をカバーするゲート絶縁層（図示せず）、及びゲート電極 412 をカバーする

アクティブ層 414 を含む。アクティブ層 414 は a - Si のような半導体層、及び半導体層上に形成された n + a - Si のような半導体不純物層を含む。

アレイ基板 400 は、図縦方向に延設されたソース配線 420、ソース配線 420 から延長されたソース電極 422 及びソース電極 422 と一定間隔離間して設けられたドレイン電極 423 を含む。ここで、ゲート電極 412、半導体層 414、半導体不純物層 415、ソース電極 422 及びドレイン電極 423 は薄膜トランジスタ TFT を画定する。

【0067】

アレイ基板 400 は第 1 上部ストレージパターン 424、第 1 延長パターン 425、第 2 カップリングパターン 426、第 2 延長パターン 427 及び第 2 上部ストレージパターン 428 を含む。

10

具体的に、第 1 上部ストレージパターン 424 は、ドレイン電極 423 から延長され第 1 下部ストレージパターン STL1 上に形成される。第 1 延長パターン 425 は単位ピクセル領域を図縦に分割するようにセンターに形成され、第 1 上部ストレージパターン 424 から延長される。第 2 カップリングパターン 426 は、第 1 延長パターン 425 に接続され第 1 カップリングパターン CPL をカバーする。第 2 延長パターン 427 は単位ピクセル領域を図縦に分割するようにセンターに形成され、第 1 延長パターン 425 に接続される。第 2 上部ストレージパターン 428 は第 2 延長パターン 427 に接続され第 2 下部ストレージパターン STL2 上に形成される。

【0068】

アレイ基板 400 は薄膜トランジスタ TFT を覆いながらドレイン電極 426 の一部を露出するように、順に積層されたパッシベーション層（図示せず）と有機絶縁層（図示せず）を含む。パッシベーション層と有機絶縁層はソース電極 422 とドレイン電極 423 との間のチャンネル層 414 をカバーして保護する役割及び薄膜トランジスタ TFT とピクセル電極部 440 とを絶縁する役割を果たす。チャンネル層 414 は、半導体層と、半導体層上に形成された半導体不純物層を含む。

20

【0069】

アレイ基板 400 はコンタクトホール（CNTCP）を通じて下部の第 2 カップリングパターン 426 と接続され開口された開口パターン形状を有するピクセル電極部を含む。

具体的に、ピクセル電極部は第 2 カップリングパターン 426 とコンタクトするメイン電極 444、第 1 下部ストレージパターン STL1 とコンタクトする第 1 サブ電極 442、第 1 サブ電極 442 と分離され第 2 下部ストレージパターン STL2 とコンタクトする第 2 サブ電極 446 を含む。

30

【0070】

示された実施例において、メイン電極 444 には単位ピクセル領域において横方向の軸を中心として対称な 2 つの Y 字形状の開口パターンが形成される。対称な Y 字形状の 2 つの分岐部は 90° の角度を有する。

第 1 サブ電極 442 には Y 字形状の分岐部の一方と平行な 2 つの開口パターンが形成される。

【0071】

第 2 サブ電極 446 には Y 字形状の分岐部の他方と平行であり第 1 サブ電極 442 に形成された開口パターンと図横方向の軸を基準として対称な 2 つの開口パターンが形成される。メイン電極 444、第 1 及び第 2 サブ電極 442、446 に複数の開口パターンを形成するのは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

40

【0072】

メイン電極 444、第 1 及び第 2 サブ電極 442、446 は透明な導電性物質で形成することができる。このような透明な導電性物質の例としてはインジウム錫酸化物 ITO、インジウム亜鉛酸化物 IZO、亜鉛酸化物 ZOなどを挙げることができる。

平面上で観察するとき、メイン電極 444、第 1 及び第 2 サブ電極 442、446 それぞれによって互いに異なる複数のドメインが形成される。従って、前記したアレイ基板や

50

カラーフィルター基板に形成され液晶を配向する配向膜の表面を一定の方向にラビングする工程の省略も可能で、配向膜を省略することもできる。

【 0 0 7 3 】

以上で、説明した本発明の第 4 実施例によると、ゲート配線とピクセル電極がオーバーレイされ発生する追加的なゲート/ソース間キャパシター (C g s) 面積をメインピクセルからサブピクセルに移行することで、メインピクセルのキックバック電圧を減少させ画質不良を改善することができる。

(実施例 5)

図 1 6 は本発明の第 5 実施例による液晶表示パネルを説明する平面図である。図 1 7 は図 1 6 に示されたアレイ基板 5 0 0 の平面図である。特に、スイッチング素子 T F T に近接してドレイン配線にコンタクトホールを形成し、中央部位のストレージ配線の幅を増加させたアレイ基板を示す。

10

【 0 0 7 4 】

図 1 6 及び図 1 7 に示すように、本発明の第 5 実施例によるアレイ基板 5 0 0 は基板上に図横方向に延設されたゲート配線 5 1 0、ゲート配線 5 1 0 から延長されたゲート電極 5 1 2、ゲート配線 5 1 0 から離間して設けられ単位ピクセル領域内でゲートライン 5 1 0 と平行に形成された第 1 下部ストレージパターン S T L 及び単位ピクセル領域を横切って単位ピクセルを 2 分割する第 1 カップリングパターン C P L を含む。

【 0 0 7 5 】

アレイ基板 5 0 0 は、窒化珪素 S i N x などの材質からなり、ゲート配線 5 1 0 及びゲート電極 5 1 2 をカバーするゲート絶縁層 (図示せず) 及びゲート電極 5 1 2 をカバーするアクティブ層 5 1 4 を含む。アクティブ層 5 1 4 は a - S i のような半導体層及び半導体層上に形成された n + a - S i のような半導体不純物層を含む。

20

アレイ基板 5 0 0 は縦方向に伸長されたソース配線 5 2 0、ソース薄膜 5 2 0 から延長されたソース電極 5 2 2 及びソース電極 5 2 2 と一定間隔離間して形成されるドレイン電極 5 2 3 を含む。ここで、ゲート電極 5 1 2、半導体層 5 1 4、半導体不純物層 5 1 5、ソース電極 5 2 2 及びドレイン電極 5 2 3 は薄膜トランジスタ T F T を画定する。

【 0 0 7 6 】

アレイ基板 5 0 0 は、ドレイン電極 5 2 3 から延長され第 1 下部ストレージパターン (S T L) 上に形成された第 1 上部ストレージパターン 5 2 4、単位ピクセル領域の図左側に形成され第 1 上部ストレージパターン 5 2 4 から延長された第 1 延長パターン 5 2 5 及び第 1 延長パターン 5 3 5 に接続され第 1 カップリングパターン C P L をカバーする第 2 カップリングパターン 5 2 6 を含む。

30

【 0 0 7 7 】

アレイ基板 5 0 0 は、薄膜トランジスタ T F T を覆うとともにドレイン電極 5 2 6 の一部を露出するように順に積層されたパッシベーション層 (図示せず) と有機絶縁層 (図示せず) を含む。パッシベーション層と有機絶縁層はソース電極 5 2 2 とドレイン電極 5 2 3 との間のチャンネル層 5 1 4 をカバーし保護する役割及び薄膜トランジスタ T F T とピクセル電極部 5 4 0 を絶縁する役割を果たす。チャンネル層 5 1 4 は半導体層と半導体層上に形成された半導体不純物層を含む。

40

【 0 0 7 8 】

アレイ基板 5 0 0 は、コンタクトホール C N T C P を通じて下部の第 2 カップリングパターン 5 2 6 と接続され開口された開口パターン形状を有するピクセル電極部を含む。

具体的に、ピクセル電極部は、単位ピクセル領域の中央部を介して第 2 カップリングパターン 5 2 6 を経由して電氣的に接続されたメイン電極 5 4 4 およびサブ電極 5 4 2 を含む。メイン電極 5 4 4 は図右側方向に尖端を有するくさび形状であり、サブ電極 5 4 2 はメイン電極 5 4 4 が形成されていない領域に形成される。

【 0 0 7 9 】

示された実施例において、メイン電極 5 4 4 には単位ピクセル領域において図横方向の軸を中心として対称な 2 つの Y 字形状の開口パターンが形成される。対称な Y 字形状の 2

50

つの分岐部は 90° の角度を有する。

サブ電極542のうちメイン電極544の下側に位置する領域には、メイン電極544に設けられたY字形状の開口パターンのうち一方の分岐部と平行な2つの開口パターンが形成される。また、サブ電極542のうちメイン電極544の上側に位置する領域には、メイン電極544に設けられたY字形状の開口パターンのうち他方の分岐部と平行な2つの開口パターンが形成される。メイン電極544の上側に位置する領域に形成された2つの開口パターンと、メイン電極544の下側に位置する領域に形成された2つの開口パターンとは、横方向の軸を基準として対称に形成される。

【0080】

メイン及びサブ電極544、542に複数の開口パターンを形成するのは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

メイン電極544及びサブ電極542は透明な導電性物質で形成される。このような透明な導電性物質の例としてはインジウム錫酸化物ITO、インジウム亜鉛酸化物IZO、亜鉛酸化物ZOなどを挙げることができる。

【0081】

平面上で観察するとき、メイン電極544及びサブ電極542それぞれによって互いに異なる複数のドメインが形成される。従って、前記したアレイ基板やカラーフィルター基板に形成され液晶を配向する配向膜の表面を一定の方向にラビングする工程の省略も可能であり、配向膜を省略することも可能である。

以上、説明した本発明の第5実施例によると、ゲート配線とピクセル電極とのオーバーレイにより発生する追加的なゲート/ソース間キャパシター(Cgs)面積をメインピクセルからサブピクセルに移転させることで、メインピクセルのキックバック電圧を減少させ画質不良を改善することができる。

【0082】

以上、説明した本発明の第5実施例によると、有機膜コンタクトホールを2つに減少することで、工程及び有機膜材料の不良に対する信頼性を確保することができる。

一般的なスーパーPVA構造におけるコンタクトホールは、ゲート配線とソース配線と間のオーバーレイ部分に1ポイント、下部基板の共通電極層とソース配線と間のオーバーレイ部分に2ポイントに形成される反面、本発明の第5実施例におけるコンタクトホールは、ゲート配線とソース配線と間のオーバーレイ部分に1ポイント、下部基板の共通電極層とソース配線と間のオーバーレイ部分に1ポイント形成するだけであり、ゲート/ソース間ショートポイントを減少することができる。ゲート/ソース間ショートポイント不良は、三層膜配線MoAlMo上に有機膜を覆う工程でメイン不良中の1つである。

【0083】

一般的なスーパーPVA構造ではサブピクセルが2つに形成され、ピクセル欠陥の検査において不利であったが、本発明の第5実施例によると、サブピクセルを1つに形成することで、ピクセル欠陥検査に有利で、アレイ検査の所要時間を減少させることができる。

(実施例6)

図18は本発明の第6実施例による液晶表示パネルを説明する平面図である。図19は図18に示されたアレイ基板600の平面図である。特に、図1と比較するときスイッチング素子に近接する位置に配置されるドレイン配線とスイッチング素子から遠い位置に配置されたドレイン配線それぞれにコンタクトホールを形成し、スイッチング素子に近接する位置のドレイン配線と素子Tin具素子から遠い位置のドレイン配線とを接続する配線をピクセルの中央部位に移動したアレイ基板を示す。

【0084】

図18及び図19に示すように、本発明の第6実施例によるアレイ基板600は基板上に図横方向に延設されたゲート配線610、ゲート配線610から延長されたゲート電極612、ゲート配線610から離間して設けられ単位ピクセル領域内でゲートライン610と平行するように形成された第1及び第2下部ストレージパターンSTL1、STL2

10

20

30

40

50

及び単位ピクセル領域を横切って設けられ単位ピクセルを2分割する第1カップリングパターンCPLを含む。

【0085】

アレイ基板600は、窒化珪素(SiNx)などの材質からなり、ゲート配線610及びゲート電極612をカバーするゲート絶縁層(図示せず)及びゲート電極612をカバーするアクティブ層614を含む。アクティブ層614はa-Siのような半導体層及び半導体層上に形成されたn+a-Siのような半導体不純物層を含む。

アレイ基板600は、図縦方向に延設されたソース配線620、ソース配線620で延長されたソース電極622及びソース電極622と一定間隔離間して設けられるドレイン電極623を含む。ここで、ゲート電極612、半導体層614、半導体不純物層615、ソース電極622及びドレイン電極623は薄膜トランジスタTFTを画定する。

10

【0086】

アレイ基板600は、第1上部ストレージパターン624、第1延長パターン625、第2カップリングパターン626、第2延長パターン627及び第2上部ストレージパターン628を含む。

具体的に、第1上部ストレージパターン624は、ドレイン電極623から延長され第1下部ストレージパターンSTL1上に形成される。第1延長パターン625は単位ピクセル領域を上下に分割するようにセンターに形成され第1上部ストレージパターン624から延長される。第2カップリングパターン626は、第1延長パターン625に接続され第1カップリングパターンCPLをカバーする。第2延長パターン627は単位ピクセル領域を上下に分割するようにセンターに形成され第1延長パターン625に接続される。第2上部ストレージパターン628は、第2延長パターン627に接続され第2下部ストレージパターンSTL2上に形成される。

20

【0087】

アレイ基板600は、薄膜トランジスタTFTを覆うとともにドレイン電極626の一部を露出するように順に積層されたパッシベーション層(図示せず)と有機絶縁層(図示せず)を含む。パッシベーション層と有機絶縁層はソース電極622とドレイン電極623との間のチャンネル層614をカバーして保護する役割及び薄膜トランジスタTFTとピクセル電極部640を絶縁する役割を果たす。チャンネル層614は半導体層と半導体層上に形成された半導体不純物層を含む。

30

【0088】

アレイ基板600は、所定形状の開口パターンを有し、コンタクトホールCNTCPを通じて下部の第2カップリングパターン626と接続されるピクセル電極部を含む。

具体的に、ピクセル電極部は第2カップリングパターン626とコンタクトするメイン電極644、第1下部ストレージパターンSTL1とコンタクトする第1サブ電極642及び第1サブ電極642と分離され第2下部ストレージパターンSTL2とコンタクトする第2サブ電極646を含む。

【0089】

示された実施例において、メイン電極644には単位ピクセル領域において横方向の軸を中心として対称な2つのY字形状の開口パターンが形成される。この対称なY字形状の2つの分岐部は90°の角度を有する。

40

第1サブ電極642にはメイン電極644に形成されたY字形状の開口パターンのうち一方の分岐部と平行な2つの開口パターンが形成される。

【0090】

第2サブ電極646にはメイン電極644に形成されたY字形状の開口パターンのうち他方の分岐部と平行であり第1サブ電極642に形成された開口パターンと横方向の軸を基準として対称な2つの開口パターンが形成される。メイン電極644、第1及び第2サブ電極642、646に複数の開口パターンを形成するのは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

【0091】

50

メイン電極 6 4 4、第 1 及び第 2 サブ電極 6 4 2、4 4 6 は透明な導電性物質から形成される。このような透明な導電性物質の例としてはインジウム錫酸化物 I T O、インジウム亜鉛酸化物 I Z O、亜鉛酸化物 Z Oなどを挙げることができる。

平面上で観察するとき、メイン電極 6 4 4、第 1 及び第 2 サブ電極 6 4 2、4 4 6 はそれぞれによって互いに異なる複数のドメインが形成される。従って、前記したアレイ基板やカラーフィルター基板に形成され液晶を配向する配向膜の表面を一定の方向にラビングする工程の省略も可能で、配向膜を省略することも可能である。

【 0 0 9 2 】

以上、本発明の第 6 実施例によると、ゲート配線とピクセル電極がオーバーレイすることにより発生する追加的なゲート/ソース間キャパシター (C g s) 面積をメインピクセルからサブピクセルに移行することで、メインピクセルのキックバック電圧を減少し画質不良を改善することができる。

10

以上、説明した本発明の第 6 実施例によると、ドレイン配線を単位ピクセルの中央に配置することで、ソース配線とドレイン配線と間に発生するショートを防止することができる。

【 0 0 9 3 】

(実施例 7)

図 2 0 は本発明の第 7 実施例による液晶表示パネルを説明する平面図である。図 2 1 は図 2 0 に示されたアレイ基板 7 0 0 の平面図である。特に、図 1 7 と比較するときスイッチング素子 T F T から離れた位置に配置されるドレイン配線にコンタクトホールを形成し、スイッチング素子 T F T に近接する位置に配置されるドレイン配線とスイッチング素子 T F T から離れた位置に配置されるドレイン配線を接続する配線をピクセルの中央部位に移動したアレイ基板を示す。

20

【 0 0 9 4 】

図 2 0 及び図 2 1 に示すように、本発明の第 7 実施例によるアレイ基板 7 0 0 は基板上に図横方向に延設されたゲート配線 7 1 0、ゲート配線 7 1 0 から延長されたゲート電極 7 1 2、ゲート配線 7 1 0 から離間して形成され単位ピクセル領域内でゲートライン 7 1 0 と平行に形成された第 1 及び第 2 下部ストレージパターン S T L 1、S T L 2 及び単位ピクセル領域を横切って単位ピクセルを 2 分割する第 1 カップリングパターン C P L を含む。

30

【 0 0 9 5 】

アレイ基板 7 0 0 は窒化珪素 S i N x などの材質からなり、ゲート配線 7 1 0 及びゲート電極 7 1 2 をカバーするゲート絶縁層 (図示せず) と、ゲート電極 7 1 2 をカバーするアクティブ層 7 1 4 を含む。アクティブ層 7 1 4 は a - S i のような半導体層と、半導体層上に形成された n + a - S i のような半導体不純物層を含む。

アレイ基板 7 0 0 は図縦方向に延設されたソース配線 7 2 0、ソース配線 7 2 0 から延長されたソース電極 7 2 2 及びソース電極 7 2 2 と一定間隔離間して形成されるドレイン電極 7 2 3 を含む。ここで、ゲート電極 7 1 2、半導体層 7 1 4、半導体不純物層 7 1 5、ソース電極 7 2 2 及びドレイン電極 7 2 3 は薄膜トランジスタ T F T を画定する。

【 0 0 9 6 】

40

アレイ基板 7 0 0 は、第 1 上部ストレージパターン 7 2 4、第 1 延長パターン 7 2 5、第 2 カップリングパターン 7 2 6、第 2 延長パターン 7 2 7 及び第 2 上部ストレージパターン 7 2 8 を含む。

具体的に、第 1 上部ストレージパターン 7 2 4 は、ドレイン電極 7 2 3 から延長され第 1 下部ストレージパターン S T L 1 上に形成される。第 1 延長パターン 7 2 5 は単位ピクセル領域を上下に分割するようにセンターに形成され第 1 上部ストレージパターン 7 2 4 から延長される。第 2 カップリングパターン 7 2 6 は、第 1 延長パターン 7 2 5 に接続され第 1 カップリングパターン C P L をカバーする。第 2 延長パターン 7 2 7 は、単位ピクセル領域を上下に分割するようにセンターに形成され第 1 延長パターン 7 2 5 に接続される。第 2 上部ストレージパターン 7 2 8 は第 2 延長パターン 7 2 7 に接続され第 2 下部ス

50

トレージパターン S T L 2 上に形成される。

【 0 0 9 7 】

アレイ基板 7 0 0 は薄膜トランジスタ T F T を覆うとともにドレイン電極 7 2 6 の一部を露出するように順に積層されたパッシベーション層（図示せず）と有機絶縁層（図示せず）を含む。パッシベーション層と有機絶縁層はソース電極 7 2 2 とドレイン電極 7 2 3 との間のチャンネル層 7 1 4 をカバーして保護する役割及び薄膜トランジスタ T F T とピクセル電極部 7 4 0 とを絶縁する役割を果たす。チャンネル層 7 1 4 は半導体層と半導体層上に形成された半導体不純物層を含む。

【 0 0 9 8 】

アレイ基板 7 0 0 は所定形状で形成される開口パターンを有し、コンタクトホール C N T C P を通じて下部の第 2 カップリングパターン 7 2 6 と接続されたピクセル電極部を含む。

10

具体的に、ピクセル電極部は、単位ピクセル領域の中央領域に位置して形成されるサブ電極 7 4 4 と、サブ電極 7 4 4 の下側と上側にそれぞれ形成され単位ピクセル領域の図右側を通じて接続されたメイン電極 7 4 2 を含む。サブ電極 7 4 4 は右側方向に向かって尖端を有するくさび形状で構成され、メイン電極 7 4 2 はサブ電極 7 4 4 が形成されていない領域に形成される。

【 0 0 9 9 】

示された実施例において、サブ電極 7 4 4 には単位ピクセル領域において横方向の軸として対称な 2 つの Y 字形状の開口パターンが形成される。開口パターンの対称な Y 字形状の 2 つの分岐部は 9 0 ° の角度を有する。

20

メイン電極 7 4 2 のうちサブ電極 7 4 4 の下側に位置する領域には、サブ電極 7 4 4 に形成される開口パターンの一方の分岐部と平行な 2 つの開口パターンが形成され、メイン電極 7 4 2 のうちサブ電極 7 4 4 の上側に位置する領域には、サブ電極 7 4 4 に形成される開口パターンの他方の分岐部と平行な 2 つの開口パターンが形成される。メイン電極 7 4 2 の上側領域に形成された 2 つの開口パターンはメイン電極 7 4 2 の下側領域に形成された 2 つの開口パターンと、横方向の軸を基準として対称に形成される。

【 0 1 0 0 】

メイン電極 7 4 2 及びサブ電極 7 4 4 に複数の開口パターンを形成するのは、この後カラーフィルタとの結合により収容される液晶層のドメインを複数個に分割するためである。

30

メイン電極 7 4 2 及びサブ電極 7 4 4 は透明な導電性物質で形成することができる。このような透明な導電性物質の例としてはインジウム錫酸化物 I T O、インジウム亜鉛酸化物 I Z O、亜鉛酸化物 Z O などを挙げることができる。

【 0 1 0 1 】

本発明の第 7 実施例によると、ゲート配線とピクセル電極とがオーバーレイして発生する追加的なゲート/ソース間キャパシター（ C g s ）面積をメインピクセルからサブピクセルに移行することで、メインピクセルキックバック電圧を減少させ画質不良を改善することができる。

以上、説明した本発明の第 7 実施例によると、有機膜コンタクトホールの個数を 2 つに減少させることで、工程及び有機膜材料の不良に対する信頼性を確保することができる。

40

【 0 1 0 2 】

一般的なスーパー P V A 構造におけるコンタクトホールは、ゲート配線とソース配線と間のオーバーレイ部分に 1 ポイント、下部基板の共通電極層とソース配線と間のオーバーレイ部分に 2 ポイントに形成される反面、本発明の第 7 実施例においてはゲート配線とソース配線と間のオーバーレイ部分に 1 ポイント、下部基板の共通電極層とソース配線と間のオーバーレイ部分に 1 ポイントだけ形成されるので、ゲート/ソース間ショートポイントを減少することができる。ゲート/ソース間ショートポイント不良は三層膜配線 M o A l M o 上に有機膜を覆う工程においてメイン不良中の 1 つである。

【 0 1 0 3 】

50

一般的なスーパー P V A 構造では、サブピクセルが 2 つ形成されることによりピクセル欠陥の検査において不利であったが、本発明の第 7 実施例によると、サブピクセルを 1 つに形成することで、ピクセル欠陥検査に有利で、アレイ検査の所要時間を減少することができる。

以上、説明した本発明の第 7 実施例によると、ドレイン配線を単位ピクセルの中央に配置することで、ソース配線とドレイン配線と間に発生するショートを防止することができる。

【 0 1 0 4 】

前述した本発明の第 1 乃至第 7 実施例においては、1 つのスイッチング素子が単位ピクセル領域に形成された構造において、メインピクセルとサブピクセルの構成の変更が行われる場合を説明したが、下記の本発明の第 8 実施例のように 2 つのスイッチング素子が単位ピクセル領域に形成された構造にも適用することができる。

(実施例 8)

図 2 2 は本発明の第 8 実施例による液晶表示パネルを説明する平面図である。図 2 3 は図 2 2 に示されたアレイ基板 8 0 0 の平面図である。特に、単位ピクセル領域に 2 つのスイッチング素子 T F T を形成し、中央部位のストレージ配線と接続されたドレイン電極を有するスイッチング素子 T F T が形成された領域をメインピクセルと画定し、端部位のストレージ配線と接続されたドレイン電極を有するスイッチング素子 T F T が形成された領域をサブピクセルとして画定する。

【 0 1 0 5 】

図 2 2 及び図 2 3 に示すように、本発明の第 8 実施例によるアレイ基板 8 0 0 は単位ピクセル領域で図横方向に延設された第 1 及び第 2 ゲート配線 8 1 0 M、8 1 0 S、第 1 及び第 2 ゲート配線 8 1 0 M、8 1 0 S のそれぞれから延長された第 1 及び第 2 ゲート電極 8 1 2 M、8 1 2 S、第 1 及び第 2 ゲート配線 8 1 0 M、8 1 0 S から離間して設けられ単位ピクセル領域内で第 1 ゲートライン 8 1 0 M と垂直方向に形成された第 1 下部ストレージパターン S T L 及び単位ピクセル領域を横切って単位ピクセルを 2 分割する第 1 カップリングパターン C P L を含む。第 1 カップリングパターン C P L は単位ピクセルの右側領域で第 1 下部ストレージパターン S T L と接続される。

【 0 1 0 6 】

アレイ基板 8 0 0 は、窒化珪素などの材質からなり第 1 及び第 2 ゲート配線 8 1 0 M、8 1 0 S、第 1 及び第 2 ゲート電極 8 1 2 M、8 1 2 S をカバーするゲート絶縁層 (図示せず) 及び第 1 及び第 2 ゲート電極 8 1 2 M、8 1 2 S それぞれをカバーする第 1 及び第 2 アクティブ層 8 1 4 M、8 1 4 S を含む。第 1 及び第 2 アクティブ層 8 1 4 M、8 1 4 S は a - S i のような半導体層と、半導体層上に形成された n + a - S i のような半導体不純物層を含む。

【 0 1 0 7 】

アレイ基板 8 0 0 は、図縦方向に延設されたソース配線 8 2 0、ソース配線 8 2 0 から延長された第 1 及び第 2 ソース電極 8 2 2 M、8 2 2 S 及び第 1 及び第 2 ソース電極 8 2 2 M、8 2 2 S とそれぞれ一定間隔で離間して設けられる第 1 及び第 2 ドレイン電極 8 2 3 M、8 2 3 S を含む。ここで、第 1 ゲート電極 8 1 2 M、第 1 アクティブ層 8 1 4 M、第 1 ソース電極 8 2 2 M 及び第 1 ドレイン電極 8 2 3 M はメイン薄膜トランジスタ T F T を画定する。また、第 2 ゲート電極 8 1 2 S、第 2 アクティブ層 8 1 4 S、第 2 ソース電極 8 2 2 S 及び第 2 ドレイン電極 8 2 3 S はサブ薄膜トランジスタ T F T を画定する。

【 0 1 0 8 】

アレイ基板 8 0 0 は、第 2 ドレイン電極 8 2 3 S から延長され第 1 下部ストレージパターン S T L 上に形成された上部ストレージパターン 8 2 4 S 及び単位ピクセル領域の右側に形成され上部ストレージパターン 8 2 4 S から延長された第 1 延長パターン 8 2 5 S を含む。

アレイ基板 8 0 0 は第 1 ドレイン電極 8 2 3 M から延長され第 1 カップリングパターン C P L をカバーする第 2 カップリングパターン 8 2 6 を含む。

【0109】

アレイ基板800はメイン及びサブ薄膜トランジスタを覆うとともにストレージパターン824Sの一部と第2カップリングパターン826の一部を露出するように順に積層されたパッシベーション層(図示せず)と有機絶縁層(図示せず)を含む。

パッシベーション層と有機絶縁層は第1ソース電極822Mと第1ドレイン電極823Mとの間の第1チャンネル層814M及び第2ソース電極822Sと第2ドレイン電極823Sとの間の第2チャンネル層814Sをカバーして保護する役割と、メイン及びサブ薄膜トランジスタとピクセル電極部とを絶縁する役割を果たす。第1及び第2チャンネル層814M、814Sそれぞれは半導体層及び半導体層上に形成された半導体不純物層を含む。

10

【0110】

アレイ基板800は、コンタクトホールCNTCPを通じて下部の第2カップリングパターン826と電氣的に接続され所定形状の開口パターンを有するメイン電極部844及びコンタクトホールCNTST1を通じて下部の上部ストレージパターン824Sと電氣的に接続され所定形状の開口パターンを有するサブ電極部842を含む。

メイン電極部844は図右側方向に向かって尖端を有するくさび形状に形成され、サブ電極842はメイン電極844が形成されていない領域、即ち、単位ピクセル領域においてメイン電極844の下側及び上側に形成される。

【0111】

メイン電極部844は、単位ピクセル領域において図横方向の軸を中心として対称であり互いに接続された3つのV字形状を構成しており、このような形状を構成するための開口パターンを含む。V字形状の領域のうち大きいサイズの領域と中間サイズの領域は図左側領域のエッジで接続され、中間サイズの領域と小さいサイズの領域は中央部で接続される。V字形状の内角は90°である。V字形状の領域の幅は均一であることが望ましい。

20

【0112】

サブ電極842のうちメイン電極844の下側に位置する部分には、V字形状の領域の一方の領域と平行な2つの開口パターンが形成され、サブ電極842のうちメイン電極844の上側に位置する領域にはV字形状の領域のうち他方の領域と平行な2つの開口パターンが形成される。サブ電極842のうちメイン電極844の上側に位置する領域に形成された2つの開口パターンは、サブ電極842のうちメイン電極844の下側に位置する領域に形成された2つの開口パターンと図横方向の軸を基準として対称に形成される。

30

【0113】

メイン及びサブ電極844、842に複数の開口パターンを形成するのは、この後カラーフィルター基板との結合により収容される液晶層のドメインを複数個に分割するためである。

メイン電極844及びサブ電極842は透明な導電性物質で形成される。このような透明な導電性物質の例としてはインジウム錫酸化物ITO、インジウム亜鉛酸化物IZO、亜鉛酸化物ZOなどを挙げることができる。

【0114】

平面上で観察するとき、メイン電極844及びサブ電極842それぞれによって互いに異なる複数のドメインが形成される。従って、前記したアレイ基板やカラーフィルター基板に形成され液晶を配向する配向膜の表面を一定の方向にラビングする工程の省略も可能で、配向膜を省略することも可能である。

40

以上、説明したように、本発明によると、PVA構造で、ゲート背面とピクセル電極が重畳されることによって発生する追加的なゲート/ソース間キャパシターの面積をメインピクセルからサブピクセルに移行することで、メインピクセルのキックバック電圧を減少しフリッカーのようにピクセルのRMS原因により発生される画質不良を改善することができる。

【0115】

また、サブピクセルのガンマ曲線が中間階調までブラックを保持するのでPVAの低階

50

調残像改善に効果がある。

また、有機膜コンタクトホールを2つに減少することで、工程及び有機膜材料の不良に対する信頼性を確保することができる。

また、一般的なスーパーPVA構造では、コンタクトホールをゲート配線とソース配線と間のオーバーレイ部分に1ポイント、下部基板の共通電極層とソース配線と間のオーバーレイ部分に2ポイントに形成しているが、本発明においてはゲート配線とソース配線と間のオーバーレイ部分に1ポイント、下部基板の共通電極層とソース配線間のオーバーレイ部分に1ポイント形成するだけであり、ゲート/ソース間ショートポイントを減少することができる。

【0116】

10

また、一般的なスーパーPVA構造では、サブピクセルを2つ形成しておりピクセル欠陥検査において不利であったが、本発明によると、サブピクセルを1つに形成することで、ピクセル欠陥検査において有利であり、アレ検査の所要時間を減少することができる。

また、以上で説明した本発明によると、ドレイン配線を単位ピクセルの中央に配置することで、ソース配線とドレイン配線と間に発生するショートを防止することができる。

【0117】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

20

【図面の簡単な説明】

【0118】

【図1】本発明の第1実施例による液晶表示パネルを説明する平面図である。

【図2】図1に示された液晶表示パネルをI-I'線に沿って切断した断面図である。

【図3】図2に示されたアレ基板の平面図である。

【図4】図3に示されたアレ基板の製造方法を説明する平面図である。

【図5】図3に示されたアレ基板の製造方法を説明する平面図である。

【図6】図3に示されたアレ基板の製造方法を説明する平面図である。

【図7】図3に示されたアレ基板の製造方法を説明する平面図である。

【図8】図3に示されたアレ基板の製造方法を説明する平面図である。

30

【図9】本発明によるゲート/ソース間キャパシタの以前を説明する平面図である。

【図10】本発明の第2実施例による液晶表示パネルを説明する平面図である。

【図11】図10に示されたアレ基板の平面図である。

【図12】本発明の第3実施例による液晶表示パネルを説明する平面図である。

【図13】図12に示されたアレ基板の平面図である。

【図14】本発明の第4実施例による液晶表示パネルを説明する平面図である。

【図15】図14に示されたアレ基板の平面図である。

【図16】本発明の第5実施例による液晶表示パネルを説明する平面図である。

【図17】図16に示されたアレ基板の平面図である。

【図18】本発明の第6実施例による液晶表示パネルを説明する平面図である。

40

【図19】図18に示されたアレ基板の平面図である。

【図20】本発明の第7実施例による液晶表示パネルを説明する平面図である。

【図21】図20に示されたアレ基板の平面図である。

【図22】本発明の第8実施例による液晶表示パネルを説明する平面図である。

【図23】図22に示されたアレ基板の平面図である。

【符号の説明】

【0119】

100 アレ基板

110 ゲート配線

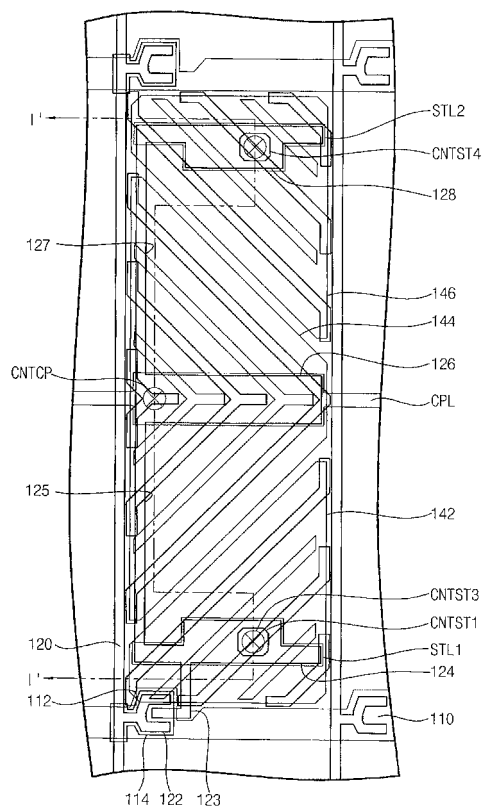
180 液晶層

50

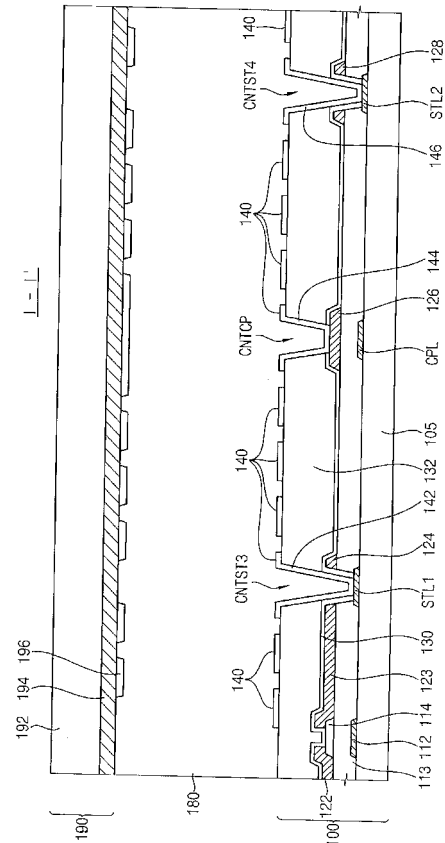
- 190 カラーフィルター基板
 STL1、STL2 下部ストレージパターン
 CPL、126 カップリングパターン
 120 ソース配線
 124、128 上部ストレージパターン
 125、127 延長パターン
 142、146 サブ電極
 144 メイン電極
 GL ゲートライン
 DL データライン
 MP メインピクセル部
 Ccp1、Ccp2 カップリングキャパシター
 SP1、SP2 サブピクセル部

10

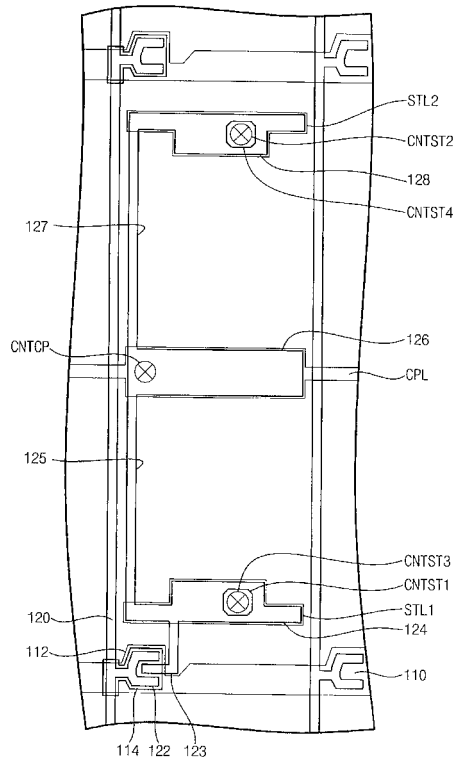
【図1】



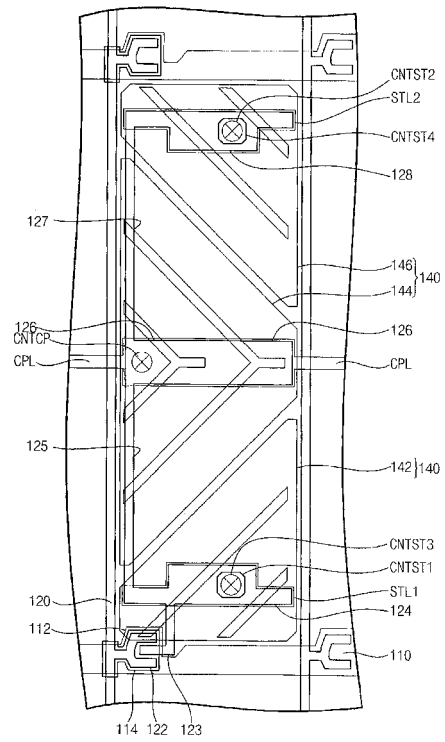
【図2】



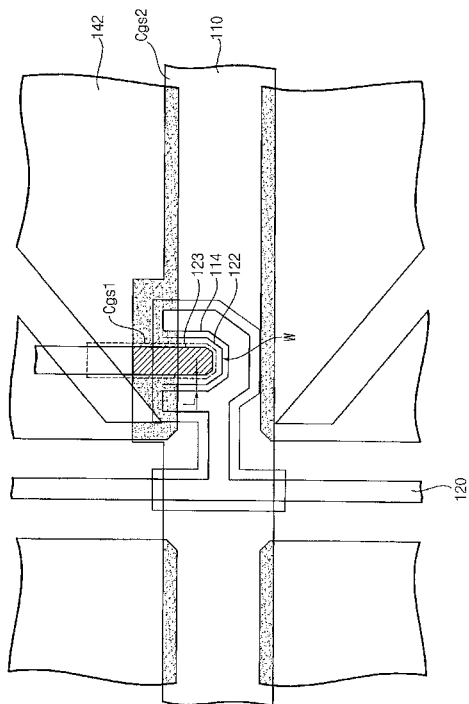
【図 7】



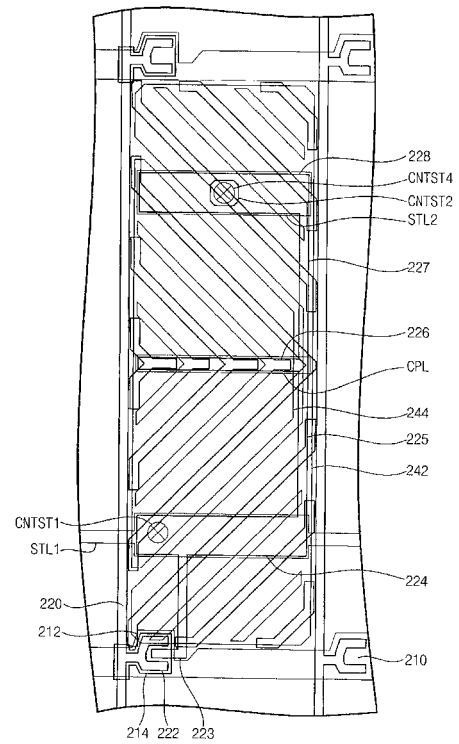
【図 8】



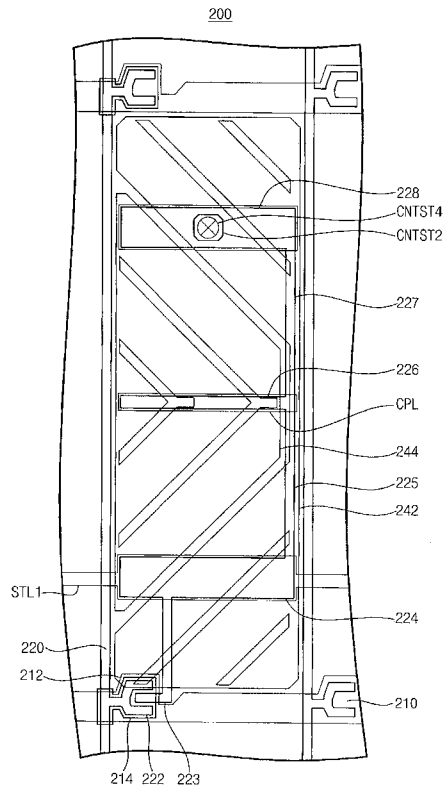
【図 9】



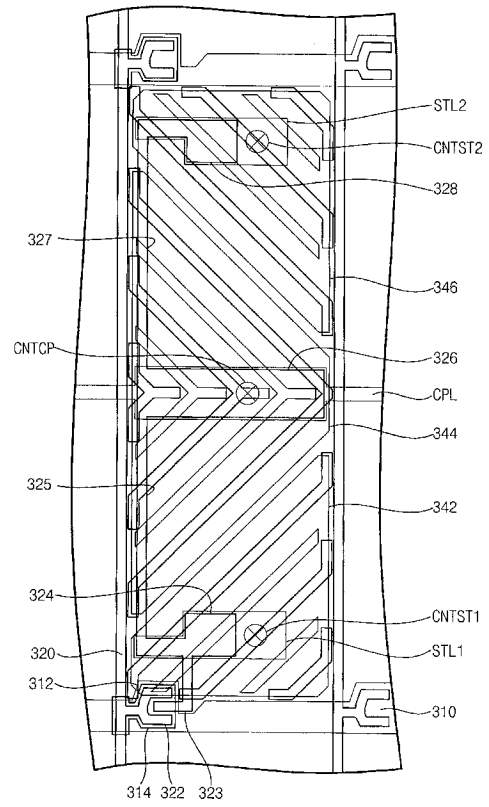
【図 10】



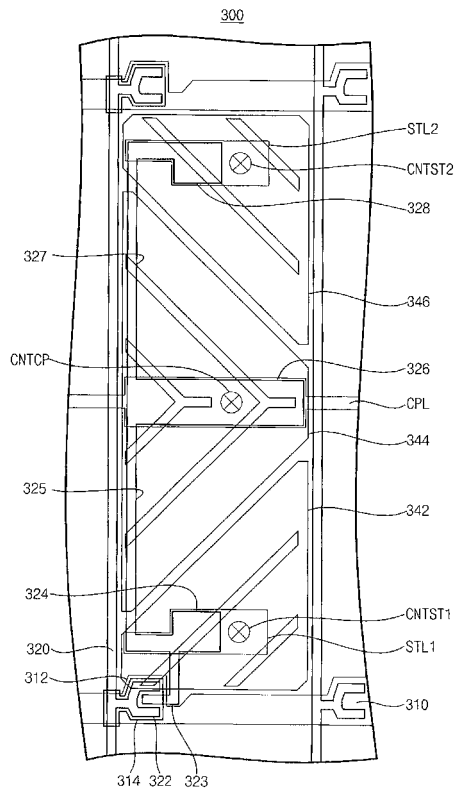
【図 1 1】



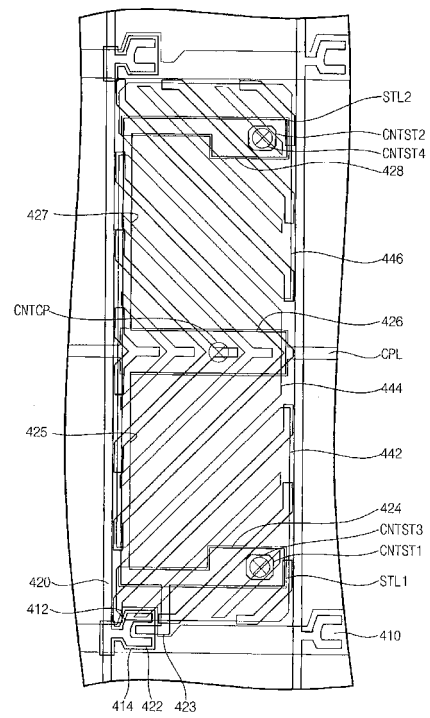
【図 1 2】



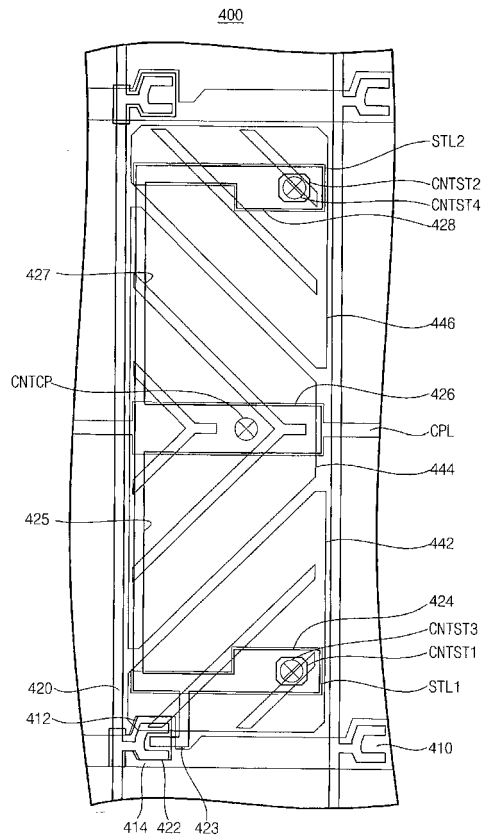
【図 1 3】



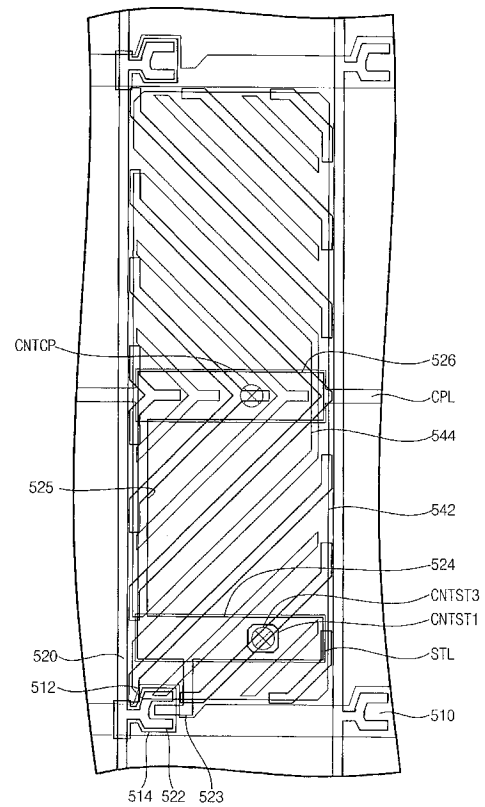
【図 1 4】



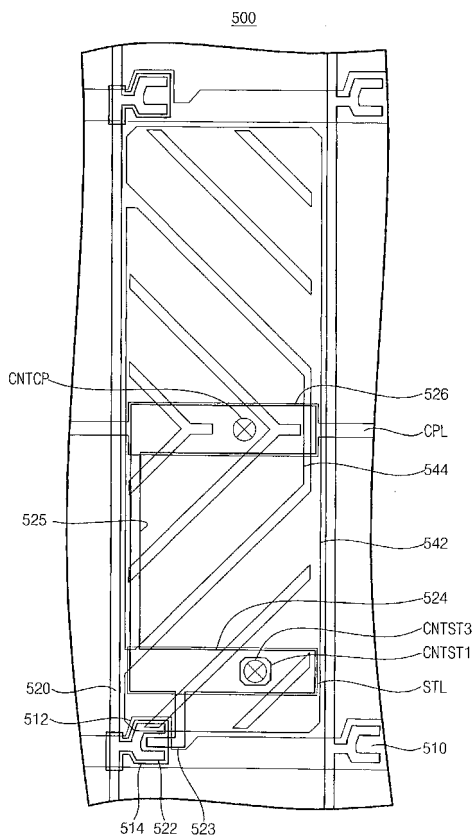
【図 15】



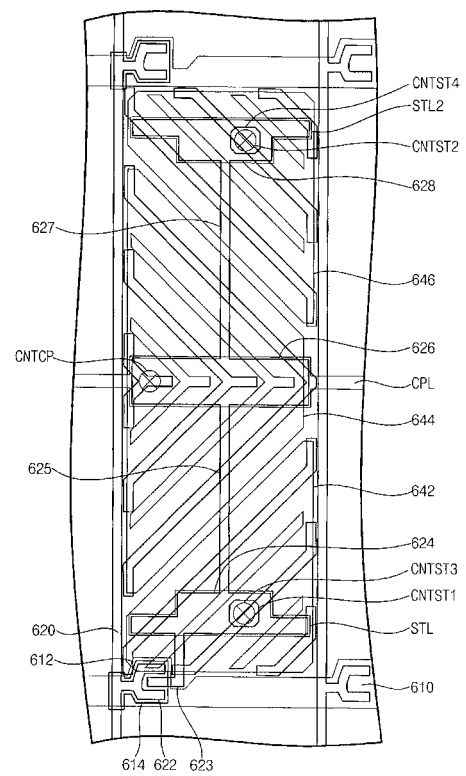
【図 16】



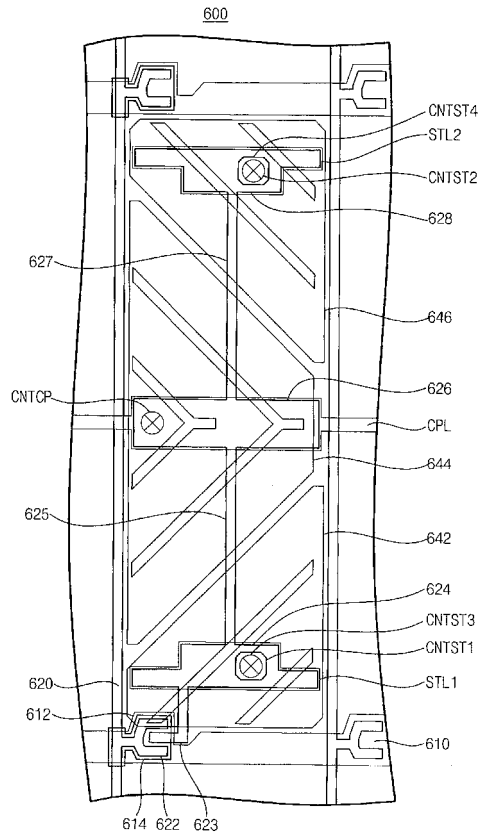
【図 17】



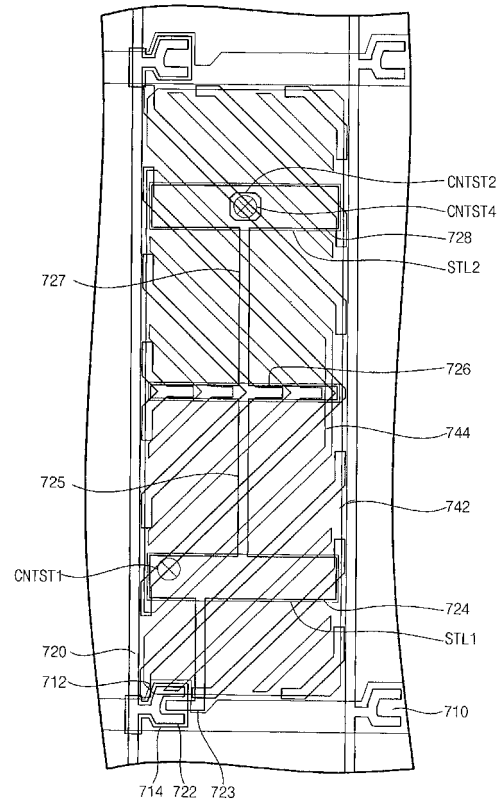
【図 18】



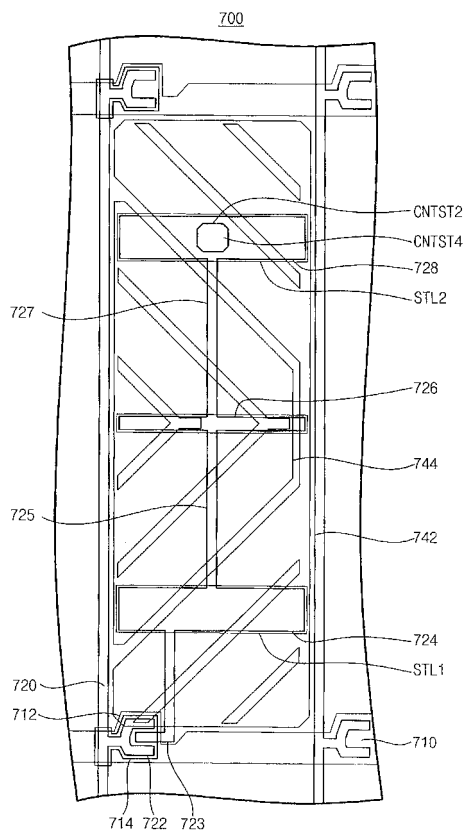
【 図 1 9 】



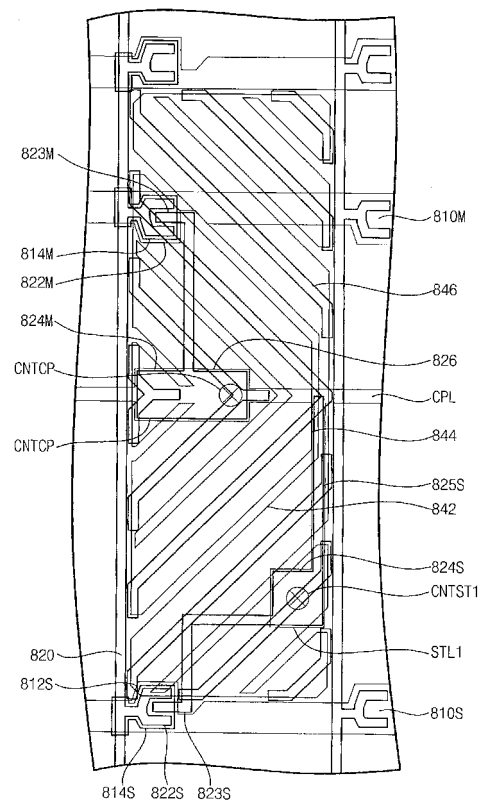
【 図 2 0 】



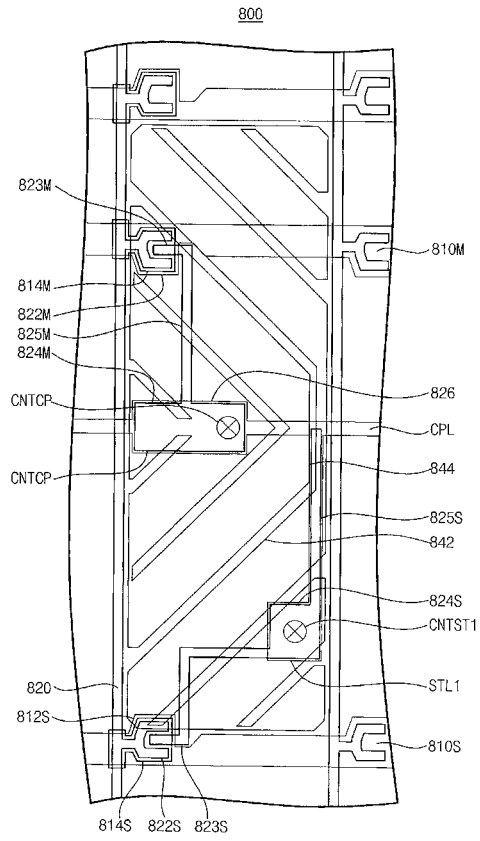
【 図 2 1 】



【圖 2 2】



【図 23】



フロントページの続き

(72)発明者 金 東 奎

大韓民国京畿道龍仁市豊徳川 2 洞三星 5 次アパート 5 2 3 棟 1 3 0 5 号

(72)発明者 田 尚 益

大韓民国ソウル特別市江南区駅三洞 7 3 3 - 1 2 番地ビー棟 4 0 1 号

審査官 藤田 都志行

(56)参考文献 特開 2 0 0 5 - 2 9 2 3 9 7 (J P , A)

特開 2 0 0 6 - 1 8 4 7 3 7 (J P , A)

特開 2 0 0 6 - 3 9 2 9 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 3 7

专利名称(译)	阵列基板，具有该阵列基板的液晶显示面板，以及液晶显示装置		
公开(公告)号	JP5016225B2	公开(公告)日	2012-09-05
申请号	JP2006007679	申请日	2006-01-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金東奎 田尚益		
发明人	金 東 奎 田 尚 益		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1337		
CPC分类号	G02F1/136213 G02F1/1393 G02F2001/134345		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337.505		
F-TERM分类号	2H090/JB02 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA07 2H090/MA15 2H090/MB14 2H092/GA14 2H092/JA26 2H092/JB13 2H092/JB58 2H092/JB69 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA35 2H092/MA37 2H092/NA01 2H092/NA04 2H092/NA21 2H092/NA22 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA42 2H192/DA65 2H192/EA43 2H192/EA74 2H192/JA13 2H290/AA34 2H290/BB44 2H290/BB73 2H290/BC01 2H290/CA42 2H290/CA46		
代理人(译)	山下大沽嗣		
优先权	1020050004275 2005-01-17 KR 1020050117915 2005-12-06 KR		
其他公开文献	JP2006201771A5 JP2006201771A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于校正由像素RMS引起的缺陷图像质量的阵列基板，并提供各自具有阵列基板的液晶显示面板和液晶显示装置。解决方案：开关元件形成在由彼此相邻的栅极布线划分的单位像素区域和彼此相邻的数据布线上。主像素部分形成在单位像素区域的第一区域上。耦合电容器连接到开关元件。子像素部分连接到耦合电容器并形成在单位像素区域的第二区域上。因此，通过根据PVA结构在像素电极上叠加栅极布线而形成的栅极和源极之间的附加电容器的区域从主像素移位到子像素，主像素的反冲电压减小并且有缺陷可以校正由像素RMS引起的图像质量。 Z

图 1

