

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4972526号
(P4972526)

(45) 発行日 平成24年7月11日 (2012. 7. 11)

(24) 登録日 平成24年4月13日 (2012. 4. 13)

(51) Int. Cl. F I
GO 2 F 1/1368 (2006. 01) GO 2 F 1/1368
GO 2 F 1/1343 (2006. 01) GO 2 F 1/1343

請求項の数 20 (全 42 頁)

(21) 出願番号	特願2007-297295 (P2007-297295)	(73) 特許権者	390019839
(22) 出願日	平成19年11月15日 (2007. 11. 15)		三星電子株式会社
(65) 公開番号	特開2008-122972 (P2008-122972A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成20年5月29日 (2008. 5. 29)		C o . , L t d .
審査請求日	平成22年5月17日 (2010. 5. 17)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	10-2006-0112798		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成18年11月15日 (2006. 11. 15)		Gyeonggi-do, Republic of Korea
(33) 優先権主張国	韓国 (KR)	(74) 代理人	110000671
			八田国際特許業務法人
		(72) 発明者	馬 元 錫
			大韓民国京畿道城南市盆唐区二梅洞#12
			2 4/6 二梅村105棟1004号
			最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

N (Nは自然数) 番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素と、

前記水平ラインに沿って形成されたゲートラインと、

前記ジグザグ状に配列された第1及び第2サブ画素に沿って屈曲するように形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインと、

前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、

前記第1及び第2サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、

前記第1及び第2サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、

を含み、

前記N+1番目の水平ラインにおける赤色の第2サブ画素のストレージキャパシタの容量が、前記N番目の水平ラインにおける赤色の第1サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする液晶表示装置。

【請求項 2】

10

20

前記N番目の水平ラインにおける緑色及び青色の第1サブ画素のストレージキャパシタの容量は、前記N番目の水平ラインにおける赤色の第1サブ画素のストレージキャパシタの容量よりも大きく、

前記N+1番目の水平ラインにおける緑色及び青色の第2サブ画素のストレージキャパシタの容量は、前記N番目の水平ラインにおける赤色の第1サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記N番目の水平ラインにおける緑色及び青色の第1サブ画素のストレージキャパシタの容量はそれぞれ同じであり、かつ、前記N+1番目の水平ラインにおける緑色及び青色の第2サブ画素のストレージキャパシタの容量はそれぞれ同じであり、

10

前記N番目の水平ラインにおける緑色及び青色の第1サブ画素のストレージキャパシタの容量が、前記N+1番目の水平ラインにおける緑色及び青色の第2サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする請求項2記載の液晶表示装置。

【請求項4】

前記N番目の水平ラインにおける赤色、緑色、及び青色の第1サブ画素のストレージキャパシタの容量の合計と、前記N+1番目の水平ラインにおける緑色、青色、及び赤色の第2サブ画素のストレージキャパシタの容量の合計とは、同じであることを特徴とする請求項3記載の液晶表示装置。

【請求項5】

前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極の広さが、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする請求項1記載の液晶表示装置。

20

【請求項6】

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極の広さが、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極の広さよりも大きく、

前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極の広さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする請求項5記載の液晶表示装置。

【請求項7】

30

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極の広さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする請求項6記載の液晶表示装置。

【請求項8】

前記N番目及びN+1番目の水平ラインの赤色、緑色、及び青色の第1及び第2サブ画素に形成されたストレージ電極の広さは同一であり、

前記N+1番目の水平ラインの赤色の第2サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さが、前記N番目の水平ラインの赤色の第1サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さよりも小さいことを特徴とする請求項1記載の液晶表示装置。

40

【請求項9】

前記N番目の水平ラインの青色及び緑色の第1サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記N番目の水平ラインの赤色の第1サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さよりも小さく、

前記N+1番目の水平ラインの赤色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さよりも小さいことを特徴とする請求項8記載の液晶表示装置。

【請求項10】

50

前記N番目の水平ラインの緑色及び青色の第1サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、かつ、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、

前記N番目の水平ラインの緑色及び青色の第1サブ画素における前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さは、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素における前記ストレージ電極と前記画素電極との間に形成された前記保護膜の厚さよりも小さいことを特徴とする請求項9記載の液晶表示装置。

【請求項11】

前記ゲートラインにスキャン信号を供給するゲート駆動回路と、

10

複数の前記データラインに接続された一の出力ラインを有し、前記データラインに画素データ信号を供給するデータ駆動回路と、をさらに含むことを特徴とする請求項1記載の液晶表示装置。

【請求項12】

前記データ駆動回路の一の出力ラインと前記複数のデータラインとの間にそれぞれ形成され、前記データラインを順次にターンオンさせる複数のトランジスタをさらに含むことを特徴とする請求項11記載の液晶表示装置。

【請求項13】

N(Nは自然数)番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素の前記水平ラインに沿って、ゲートラインを形成する段階と、

20

前記ジグザグ状に配列された前記第1及び第2サブ画素に沿って屈曲し、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインを形成する段階と、

前記ゲートライン及び前記データラインのそれぞれと電氣的に接続される薄膜トランジスタを形成する段階と、

前記第1及び第2サブ画素のそれぞれに、前記薄膜トランジスタと電氣的に接続される画素電極を形成する段階と、

前記第1及び第2サブ画素のそれぞれに、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極を形成する段階と

30

、

を含み、

前記N+1番目の水平ラインにおける赤色の第2サブ画素のストレージキャパシタの容量を、前記N番目の水平ラインにおける赤色の第1サブ画素のストレージキャパシタの容量よりも大きく形成することを特徴とする液晶表示装置の製造方法。

【請求項14】

前記ストレージ電極を形成する段階は、

前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極の広さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極の広さよりも大きく形成する段階を含むことを特徴とする請求項13記載の液晶表示装置の製造方法。

40

【請求項15】

前記ストレージ電極を形成する段階は、

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、

前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さを、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さよりも大きく形成し、

50

前記N番目及びN+1番の水平ラインの緑色及び青色の第1及び第2サブ画素に形成されるストレージ電極を、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極よりも大きく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極よりも小さく形成する段階を含むことを特徴とする請求項14記載の液晶表示装置の製造方法。

【請求項16】

前記ストレージ電極を形成する段階は、
前記ストレージ電極を同一の面積で形成し、
前記保護膜を形成する段階は、

前記N番目及びN+1番目の水平ラインの赤色、緑色、及び青色の第1及び第2サブ画素に形成されたストレージ電極に重ねられる保護膜の厚さをそれぞれ異なるように形成する段階を含むことを特徴とする請求項13記載の液晶表示装置の製造方法。

10

【請求項17】

前記保護膜を形成する段階は、

前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく形成する段階を含むことを特徴とする請求項16記載の液晶表示装置の製造方法。

【請求項18】

前記保護膜を形成する段階は、

前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも大きく形成する段階と、

20

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも大きく形成する段階と、を含むことを特徴とする請求項17記載の液晶表示装置の製造方法。

30

【請求項19】

前記保護膜を形成する段階は、

前記保護膜上にフォトレジストを形成する段階と、

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極と重ねられる第1スリット領域、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極と重ねられる第2スリット領域、ならびに前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる第3スリット領域を有するマスクを用いて、前記フォトレジストを露光する段階と、

前記露光されたフォトレジストを介して前記保護膜をエッチングする段階と、をさらに含み、

40

前記第1～第3スリット領域の大きさは、互いに同じであり、

前記第1スリット領域のスリットの個数は、前記第2スリット領域のスリットの個数よりも少なく、前記第3スリット領域のスリットの個数は、前記第1スリット領域のスリットの個数よりも少なく形成され、

前記第1～第3スリット領域の前記スリット間の距離が同じであることを特徴とする請求項18記載の液晶表示装置の製造方法。

【請求項20】

N(Nは自然数)番目の水平ラインに沿って、赤色、緑色、及び青色の順に反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に

50

形成され、N + 1 番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第 2 サブ画素と、

前記水平ラインに沿って形成されたゲートラインと、

前記ジグザグ状に配列された第 1 及び第 2 サブ画素に沿って屈曲するように形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインと、

前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、

前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、

前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、

を含み、

前記 N 番目の水平ラインにおける赤色、緑色、及び青色の第 1 サブ画素のストレージキャパシタと、前記 N + 1 番目の水平ラインにおける赤色、緑色、及び青色の第 2 サブ画素のストレージキャパシタとが異なることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその製造方法に係り、特に、デルタ形態で配列されたサブ画素を有する液晶表示装置の縦線雑音 (vertical line defects) を防止した液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

現在、表示装置として最も使用されているのは、性能及び価格的な側面で有利な CRT (Cathode Ray Tube) である。しかし、CRT は、軽量、薄型、及び小型化が困難であるため、近年は、液晶表示装置が幅広く使用されている。

【0003】

従来の薄膜トランジスタ基板は、スキャン信号を供給するゲートライン GL1 ~ GLn と、ゲートライン GL1 ~ GLn と交差して形成され、データ信号を供給するデータライン DL1 ~ DLn と、ゲートライン GL1 ~ GLn 及びデータライン DL1 ~ DLm の間に接続された薄膜トランジスタと、赤色、緑色、青色の画素領域に形成され、薄膜トランジスタと連結された画素電極と、を具備する。

【0004】

この際、薄膜トランジスタは、ゲートラインと接続されたゲート電極と、データラインと接続されたソース電極と、画素電極と接続されたドレイン電極と、ゲート電極及びゲート絶縁膜を間に置いて重畳され、ソース電極とドレイン電極との間にチャンネルを形成する半導体層と、ソース電極及びドレイン電極と半導体層との間のオーミック接触のためのオーミックコンタクト層と、を具備する。このような薄膜トランジスタは、ゲートラインのスキャン信号に応答してデータラインの画像データ信号を画素電極に供給して保持する。

【0005】

画素電極は、薄膜トランジスタからの画像データ信号が供給されると、カラーフィルタ基板の共通電極との電圧差で液晶を駆動して、光透過率を調節する。

【0006】

ゲートラインは、横方向に平行に形成され薄膜トランジスタにスキャン信号を供給する。このような液晶表示装置の薄膜トランジスタ基板は、文字を除いたイメージを表現するために、DSC (Digital Still Camera) などの画像情報が重要視される低解像度表示装置の場合、曲線表示に有利なデルタ画素配列を有する薄膜トランジスタ基板が使用されている。

【0007】

この際、データラインは、デルタ配列で形成された画素電極と重畳されないように曲がって形成され、薄膜トランジスタに画像データ信号を供給する。デルタ配列で形成された画素電極では、一番目水平方向のサブ画素領域は、赤色 R 1、緑色 G 1、青色 B 1 で形成され、二番目水平方向へのサブ画素領域は、緑色 G 2、青色 B 2、赤色 R 2 で形成され、一番目水平方向のサブ画素と二番目水平方向のサブ画素とが繰り返し配列され形成される。この際、一番目水平方向の赤色サブ画素と二番目水平方向の緑色及び青色サブ画素が一つの画素を構成する。このようなデルタ形態でサブ画素が配列された液晶表示装置の駆動の際、一番目データ駆動回路の一つの出力端に 3 個のデータラインが接続され、スキャン信号が供給される毎に、3 個のデータラインに順次に画素データ信号が供給される。

【0008】

10

このようにして 3 個のデータラインが一つのデータ駆動回路の出力端と接続されると一番目ゲートラインと連結された一番目画素電極に充電される画素データ信号と、その次のゲートラインの三番目画素電極に充電される画素データ信号の充電時間が互いに異なって、同一の色を表示する画素電極の充電率差によって縦線の不良などの表示不良が発生される。

【発明の開示】

【発明が解決しようとする課題】

【0009】

従って、本発明が達成しようとする技術的課題は、第 2 水平ラインに沿って配置された赤色サブ画素のストレージキャパシタ容量を、第 1 水平ラインに沿って配置された赤色サブ画素のストレージキャパシタ容量よりも大きくして、赤色サブ画素の充電率の差異による縦線不良を防止した液晶表示装置及びその製造方法を提供することにある。

20

【課題を解決するための手段】

【0010】

上記の技術的課題を解決するために、本発明は、N（N は自然数）番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第 1 サブ画素、ならびに前記 N 番目の水平ラインの第 1 サブ画素とジグザグ状に形成され、N + 1 番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第 2 サブ画素と、前記水平ラインに沿って形成されたゲートラインと、前記ジグザグ状に配列された第 1 及び第 2 サブ画素に沿って屈曲して形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインと、前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、を含み、前記 N + 1 番目の水平ラインにおける赤色の第 2 サブ画素のストレージキャパシタの容量が、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする液晶表示装置を提供する。

30

【0011】

この際、前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量は、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きく、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量は、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする。

40

【0012】

また、前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量はそれぞれ同じであり、かつ、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量はそれぞれ同じであり、前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量が、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタ

50

の容量よりも大きいことを特徴とする。

【0013】

ここで、前記N番目の水平ラインにおける赤色、緑色、及び青色の第1サブ画素のストレージキャパシタの容量の合計と、前記N+1番目の水平ラインにおける緑色、青色、及び赤色の第2サブ画素のストレージキャパシタの容量の合計とは、同じであることを特徴とする。

【0014】

この際、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極の広さが、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする。

10

【0015】

そして、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極の広さが、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極の広さよりも大きく、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極の広さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする。

【0016】

また、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極の広さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする。

20

【0017】

一方、前記N番目及びN+1番目の水平ラインの赤色、緑色、及び青色の第1及び第2サブ画素に形成されたストレージ電極の広さは同一であり、前記N+1番目の水平ラインの赤色の第2サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さが、前記N番目の水平ラインの赤色の第1サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さよりも小さいことを特徴とする。

【0018】

また、前記N番目の水平ラインの青色及び緑色の第1サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記N番目の水平ラインの赤色の第1サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さよりも小さく、前記N+1番目の水平ラインの赤色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さよりも小さいことを特徴とする。

30

【0019】

また、前記N番目の水平ラインの緑色及び青色の第1サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、かつ、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、前記N番目の水平ラインの緑色及び青色の第1サブ画素における前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さは、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素における前記ストレージ電極と前記画素電極との間に形成された前記保護膜の厚さよりも小さいことを特徴とする。

40

【0020】

そして、前記ゲートラインにスキャン信号を供給するゲート駆動回路と、複数の前記データラインに接続された一の出力ラインを有し、前記データラインに画素データ信号を供給するデータ駆動回路と、さらにを含む。

【0021】

この際、前記データ駆動回路の一の出力ラインと前記複数のデータラインとの間にそれぞれ形成され、前記データラインを順次にターンオンさせる複数のトランジスタをさらに

50

含む。

【0022】

また、上記の技術的課題を解決するために、本発明は、N（Nは自然数）番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素の前記水平ラインに沿って、ゲートラインを形成する段階と、前記ジグザグ状に配列された前記第1及び第2サブ画素に沿って屈曲し、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインを形成する段階と、前記ゲートライン及び前記データラインのそれぞれと電氣的に接続される薄膜トランジスタを形成する段階と、前記第1及び第2サブ画素のそれぞれに、前記薄膜トランジスタと電氣的に接続される画素電極を形成する段階と、前記第1及び第2サブ画素のそれぞれに、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極を形成する段階と、を含み、前記N+1番目の水平ラインにおける赤色の第2サブ画素のストレージキャパシタの容量を、前記N番目の水平ラインにおける赤色の第1サブ画素のストレージキャパシタの容量よりも大きく形成することを特徴とする液晶表示装置の製造方法を提供する。

10

【0023】

そして、前記ストレージ電極を形成する段階は、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極の広さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極の広さよりも大きく形成する段階を含む。

20

【0024】

この際、前記ストレージ電極を形成する段階は、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さを、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さよりも大きく形成し、前記N番目及びN+1番の水平ラインの緑色及び青色の第1及び第2サブ画素に形成されるストレージ電極を、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極よりも大きく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極よりも小さく形成する段階を含む。

30

【0025】

一方、前記ストレージ電極を形成する段階は、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さをそれぞれ異なるように形成する段階を含む。

【0026】

そして、前記保護膜を形成する段階は、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく形成する段階を含む。

40

【0027】

また、前記保護膜を形成する段階は、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも大きく形成する段階と、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、

50

前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも大きく形成する段階と、を含む。

【0028】

前記保護膜を形成する段階は、前記保護膜上にフォトレジストを形成する段階と、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極と重ねられる第1スリット領域、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極と重ねられる第2スリット領域、ならびに前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる第3スリット領域を有するマスクを用いて、前記フォトレジストを露光する段階と、前記露光されたフォトレジストを介して前記保護膜をエッチングする段階と、をさらに含み、前記第1～第3スリット領域の大きさは、互いに同じであり、前記第1スリット領域のスリットの個数は、前記第2スリット領域のスリットの個数よりも少なく、前記第3スリット領域のスリットの個数は、前記第1スリット領域のスリットの個数よりも少なく形成され、前記第1～第3スリット領域の前記スリット間の距離が同じである。

【0029】

本発明のさらに他の実施形態は、N（Nは自然数）番目の水平ラインに沿って、赤色、緑色、及び青色の順に反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素と、前記水平ラインに沿って形成されたゲートラインと、前記ジグザグ状に配列された第1及び第2サブ画素に沿って屈曲するように形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインと、前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、前記第1及び第2サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、前記第1及び第2サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、を含み、前記N番目の水平ラインにおける赤色、緑色、及び青色の第1サブ画素のストレージキャパシタと、前記N+1番目の水平ラインにおける赤色、緑色、及び青色の第2サブ画素のストレージキャパシタとが異なることを特徴とする液晶表示装置を提供する。

【発明の効果】

【0030】

本発明の液晶表示装置及びその製造方法によれば、赤色サブ画素の充電率の差異による縦線不良が防止される。

【発明を実施するための最良の形態】

【0031】

以下、添付の図面を参照して、本発明の望ましい実施形態を詳細に説明する。

【0032】

図1は、本発明の第1及び第2実施形態による薄膜トランジスタを含む液晶表示装置を示したブロック図である。

【0033】

図1を参照すると、本発明による液晶表示装置は、液晶パネル、液晶パネルにスキャン信号を供給するゲート駆動回路130、液晶パネルに画素データ信号を供給するデータ駆動回路120、及び液晶パネルに光を供給するバックライトユニットを具備する。

【0034】

ここで、バックライトユニット（図示せず）は、ランプまたは発光ダイオードなどの光を発生する光源と、光源から供給される光を液晶パネルに案内する導光板と、導光板から供給される光の効率を向上させる反射シート、拡散シート、プリズムシートなどの各種光学シートとを含む。ここで、反射シートは、導光板の下部に位置して導光板の下部に供給される光を導光板に反射させて光利用効率を向上させる。

【0035】

ゲート駆動回路130は、ゲートラインGL1～GLnに順次にスキャン信号を供給してゲートラインGL1～GLnを駆動する。ゲート駆動回路130は、薄膜トランジスタ基板にASG(Amorphous Silicon Gate:ASG)形態で集積されるか、COG(チップオンガラス)形態で実装されることができる。

【0036】

データ駆動回路120は、ゲートラインGL1～GLnにスキャン信号が供給される毎に、画素データ信号をデータラインDL1～DLmに供給する。ここで、データ駆動回路120の一つの出力端は、3つに分岐され、第1～第3トランジスタTr1～Tr3を間に置いて3個のデータラインDLと接続される。ここで、第1～第3トランジスタTr1～Tr3は、制御部(図示せず)から供給される制御信号SCSに沿って順次にターンオンされ、図3に示されるように、ゲートラインGLにスキャン信号が供給されるとき、スキャン信号の1/3周期毎に順次にターンオンされる。従って、図2に示すように、m番目データラインDLm、m+1番目データラインDLm+1、及びm+2番目データラインDLm+2には、順次に画素データ信号が供給される。ここで、第1～第3トランジスタTr1～Tr3は、薄膜トランジスタ基板上に集積されて形成されることができる。

10

【0037】

このようなデータ駆動回路120は、薄膜トランジスタ基板上に集積されて形成されるか、COG形態で実装されることができる。また、データ駆動回路120は、データキャリアパッケージ形態で形成され回路基板及び液晶パネルそれぞれに付着されることができる。

20

【0038】

液晶パネルは、薄膜トランジスタアレイが形成された薄膜トランジスタ基板、カラーフィルタアレイが形成されたカラーフィルタ基板、及びそれらの2つの基板の間に内在される液晶を含む。

【0039】

液晶は、誘電率異方性を有する物質から形成され、薄膜トランジスタ基板に形成された画素電極100とカラーフィルタ基板に形成された共通電極との間の電圧差による垂直電界によって回転して、バックライトユニット(図示せず)から入射された光の透過率を可変させる。

【0040】

30

カラーフィルタ基板は、薄膜トランジスタ200、ゲートラインGL1～GLn及びデータラインDL1～DLnと対応して光漏れを防止するブラックマトリックス、ブラックマトリックスで区画された領域に薄膜トランジスタ基板に形成された画素電極と対応して色を表示するカラーフィルタ、ならびにブラックマトリックス及びカラーフィルタ上に形成される共通電極を含む。

【0041】

薄膜トランジスタ基板1は、基板10上に薄膜トランジスタアレイが形成される。以下、図3～図22を参照して、本発明の実施形態による薄膜トランジスタ基板を詳細に説明する。

【0042】

40

図3は、本発明の第1実施形態による薄膜トランジスタ基板を示す平面図であり、図4は、図3のI-I'線、II-II'線、及びIII-III'線に沿った断面図であり、図5は、V-V'線、VI-VI'線、及びVII-VII'線に沿った断面図である。

【0043】

図3～図5を参照すると、本実施形態による薄膜トランジスタ基板1は、スキャン信号を供給するN(Nは自然数)番目水平ラインに沿って、赤色R1、緑色G1、青色B1の順で反復配列される第1サブ画素と、N番目水平ラインの第1サブ画素と交互的に形成され、N+1番目水平ラインに沿って、緑色、青色、赤色の順で反復配列された第2サブ画素と、水平ラインに沿って形成されたゲートラインGL1～GLnと、交互的に配列された第1及び第2サブ画素に沿って屈曲するように形成され、ゲート絶縁膜30を間に置い

50

てゲートラインGL1～GLnと交差するデータラインDL1～DLmと、ゲートラインGL1～GLn及びデータラインDL1～DLmのそれぞれと接続された薄膜トランジスタ200と、第1及び第2サブ画素のそれぞれに形成され、薄膜トランジスタ200と接続された画素電極100と、第1及び第2サブ画素のそれぞれにおいてゲート絶縁膜30及び保護膜80を間に置いて画素電極100と重畳され、ストレージキャパシタを形成するストレージ電極21～26と、を含む。この際、N+1番目水平ラインの赤色の第2サブ画素に設けられるストレージキャパシタst6のストレージキャパシタ容量Cst6が、N番目水平ラインの赤色の第1サブ画素に設けられるストレージキャパシタst1のストレージキャパシタ容量Cst1よりも大きく形成される。

【0044】

10

具体的には、第1サブ画素が赤色R1、緑色G1、青色B1の順で順次に反復配列される第1水平ラインと、第1水平ラインの第1サブ画素とジグザグ状に配列される第2サブ画素が緑色G2、青色B2、赤色R2の順で順次に反復配列される第2水平ラインとが、繰り返して形成される。これを通じて一つの画素を構成するサブ画素領域がデルタ形態で配列される。なお、以下、第1及び第2サブ画素を総称してサブ画素と称する。

【0045】

薄膜トランジスタ200は、ゲートラインGL1～GLnと接続されたゲート電極20、データラインDL1～DLmと接続されたソース電極60、画素電極100と接続されたドレイン電極70、ゲート電極20及びゲート絶縁膜30を間に置いて重畳されソース電極60とドレイン電極70との間にチャンネルを形成する半導体層40を含む。また、薄膜トランジスタ200は、ソース電極60及びドレイン電極70と半導体層との間のオーミック接触のためのオーミックコンタクト層50を含む。このような薄膜トランジスタ200は、ゲートラインGL1～GLnのスキャン信号に応答して、データラインDL1～DLmの画像データ信号を画素電極100に供給する。

20

【0046】

画素電極100は、薄膜トランジスタ200を覆う保護膜80上に形成され、保護膜80を貫通する画素コンタクトホール90を経由してドレイン電極70と電気的に接続される。画素電極100は、薄膜トランジスタ200からの画像データ信号が供給されるとカラーフィルタ基板の共通電極との電圧差で液晶を駆動して光透過率を調節する。

【0047】

30

ゲートラインGL1～GLnは、水平方向に形成され、薄膜トランジスタ200のゲート電極20にスキャン信号を供給する。

【0048】

データラインは、ゲートラインと交差して垂直方向に屈曲するように形成され、薄膜トランジスタ200のソース電極60に画素データ信号を供給する。この際、データラインDL1～DLmは、画素電極100の周辺に沿って屈曲するように形成される。

【0049】

このようなゲートラインGL1～GLnとデータラインDLn～DLmは、ゲート絶縁膜30を間に置いて交差して形成されることでデルタ形態のサブ画素領域を画定する。

【0050】

40

第1～第6ストレージキャパシタst1～st6は、ゲートラインGL1～GLnと並んで形成されたストレージラインSL1～SLnに連結された第1～第6ストレージ電極21～26と画素電極100とが、ゲート絶縁膜30及び保護膜80を間に置いて重畳されて形成される。この際、第1水平ラインの緑色G1及び青色B1のサブ画素領域に形成された第2及び第3ストレージ電極22，23の広さは、互いに同じであり、第1ストレージ電極21の広さは、第2及び第3ストレージ電極22，23よりも小さく形成される。そして、第2水平ラインの緑色G2及び青色B2のサブ画素領域に形成された第4及び第5ストレージ電極24，25の広さは、互いに同じであり、第6ストレージ電極26の広さは、第4及び第5ストレージ電極24，25よりも大きく形成される。

【0051】

50

下記（１）式を通じて、本発明の第１実施形態による薄膜トランジスタ基板のストレージ電極の広さ比率を説明する。

【００５２】

【数１】

$$C_{st} = \epsilon \frac{A}{d} \quad \dots (1)$$

【００５３】

上記（１）式は、ストレージキャパシタ容量を示す式で、“Ａ”は、ストレージ電極の広さを示し、“ｄ”は、ストレージキャパシタの２つの電極の間の距離を示し、 ϵ は、２つの電極の間に形成された誘電体の誘電率を示す。ここで、 ϵ は、物質の固有特性を示すので、誘電体として作用するゲート絶縁膜３０及び保護膜８０の固有の誘電率に従って固定された常数である。従って、ストレージキャパシタ容量 C_{st} は、電極の広さまたは電極の間の距離によって決定される。即ち、第６ストレージ電極２６の広さが第１ストレージ電極２１の広さに対して３倍大きいと、第６ストレージキャパシタ容量 C_{st6} は、第１ストレージキャパシタ容量 C_{st1} に対して３倍大きい。即ち、第１水平ラインの赤色Ｒ１サブ画素領域に形成された第１ストレージ電極２１と第２水平ラインの赤色Ｒ２サブ画素領域に形成された第６ストレージ電極２６とは、互いに異なる広さで形成され、望ましくは、第６ストレージ電極２６の広さは、第１ストレージ電極２１の広さに対して３倍に形成される。また、第１水平ラインの緑色Ｇ１画素領域に形成された第２ストレージ電極２２と第２水平ラインの緑色Ｇ２画素領域に形成された形成された第４ストレージ電極２４の広さは、それぞれ異なるように形成され、第１水平ラインの青色Ｂ１画素領域に形成された第３ストレージ電極２３と第２水平ラインの緑色Ｂ２画素領域に形成された第５ストレージ電極２５の広さは、それぞれ異なるように形成される。

【００５４】

それにより、第６ストレージキャパシタ容量 C_{st6} が、第１ストレージキャパシタ容量 C_{st1} に比べて３倍大きくなって、第２水平ラインの赤色Ｒ２サブ画素領域における画素データ信号の充電時間が、第１水平ラインの赤色Ｒ１サブ画素領域における画素データ信号の充電時間よりも短くても、充電率が補償され、縦線不良が防止される。

【００５５】

また、図６に示されるように、第１水平ラインの赤色Ｒ１、緑色Ｇ１、青色Ｂ１のサブ画素領域の第１～第３ストレージキャパシタ容量 $C_{st1} \sim C_{st3}$ の合計と、第２水平ラインの緑色Ｇ２、青色Ｂ２、赤色Ｒ２のサブ画素領域の第４～第６ストレージキャパシタ容量 $C_{st4} \sim C_{st6}$ の合計とが、同一に形成しなければならない。それにより、第２及び第３ストレージキャパシタ容量 C_{st2} 、 C_{st3} は、第１ストレージキャパシタ容量 C_{st1} に対して２．５倍で形成され、第４及び第５ストレージキャパシタ容量 C_{st4} 、 C_{st5} は、第１ストレージキャパシタ容量 C_{st1} に対して１．５倍に形成される。

【００５６】

図７～図１１は、本発明の第１実施形態による薄膜トランジスタ基板の製造方法をマスク工程別に示した断面図である。ここで、図７～図１１は、５つのマスク工程を示す図である。しかし、本実施形態による薄膜トランジスタ基板は、３つまたは４つのマスク工程を通じて製造されることができる。

【００５７】

図７は、本発明の第１実施形態による薄膜トランジスタ基板の製造方法のうち第１マスク工程を示す断面図である。

【００５８】

図７を参照すると、第１マスク工程を通じて、基板１０上にゲートライン $GL1 \sim GLn$ 、ゲート電極２０、ストレージライン $SL1 \sim SLn$ 、及び第１～第６ストレージ電極２１～２６を含む第１導電パターン群が形成される。

【0059】

具体的に、有機またはプラスチックなどの透明な基板10上に、第1導電層をスパッタリングなどのような蒸着方法を通じて形成する。第1導電層は、アルミニウム、クロム、銅、及びモリブデンなどのような金属またはそれらの合金が単一層で形成されるか、それらの組み合わせからなる2重層以上の多層で形成される。続いて、第1マスクを用いたフォトリソグラフィ工程及びエッチング工程で第1導電層をパターンニングすることで、ゲートラインGL1～GLn、ゲート電極20、ストレージラインSL1～SLn、及び第1～第6ストレージ電極21～26を含む第1導電パターン群が形成される。この際、第1～第3ストレージ電極21～23は、第1水平ラインの赤色R、緑色G1、青色B1の画素領域にそれぞれ形成され、第4～第6ストレージ電極24～26は、第2水平ラインの緑色G2、青色B2、赤色R2の画素領域にそれぞれ形成される。ここで、第2水平ラインの赤色画素領域に形成された第6ストレージ電極26の広さは、第1水平ラインの赤色R1画素領域に形成された第1ストレージ電極21の広さよりも大きく形成され、望ましくは、第6ストレージ電極26の広さが、第1ストレージ電極21の広さと対比して3倍の大きさに形成される。そして、第2及び第3ストレージ電極22、23の広さは、第1ストレージ電極21の広さよりも大きく形成され、望ましくは、2.5倍になるように形成される。また、第4及び第5ストレージ電極24、25の広さは、第1ストレージ電極21の広さと対比して1.5倍になるように形成されることが望ましい。第1水平ラインの赤色R1、緑色G1、青色B1領域の第1～第3ストレージ電極21～23の広さの合計と、第2水平ラインの緑色G2、青色B2、赤色R2領域の第4～第6ストレージ電極24～26の広さの合計とが同一に形成される。

10

20

【0060】

図8は、本発明の第1実施形態による薄膜トランジスタ基板の第2マスク工程を示した断面図である。

【0061】

図8を参照すると、第2マスク工程を通じて、第1導電パターン群が形成された基板10上に、ゲート絶縁膜30、半導体層40、及びオーミックコンタクト層50を順次に形成する。

【0062】

具体的に、ゲートラインGL1～GLn、ゲート電極20、ストレージラインSL1～SLn、及び第1～第6ストレージ電極21～26が形成された基板10上に、ゲート絶縁膜、非晶質シリコン層、及び不純物ドーピングされた非晶質シリコン層がプラズマ化学気相蒸着方法(PECVD)、化学気相蒸着方法(CVD)などの蒸着方法を通じて順次に積層される。続いて、第2マスクを用いたフォトリソグラフィ工程及びエッチング工程で、非晶質シリコン及び不純物ドーピングされた非晶質シリコン層がパターンニングされ、半導体層40及びオーミックコンタクト層50が形成される。ゲート絶縁膜30は、窒化シリコンSiNx、酸化シリコンSiOxなどの無機絶縁物質が用いられる。ここで、非晶質シリコン層をレーザ結晶化または固相結晶化方法などを用いて変換することによって、チャンネル領域にポリシリコンを形成することができる。ゲート絶縁膜30としては、窒化シリコン、酸化シリコンなどの無機絶縁物質が用いられる。

30

40

【0063】

図9は、本発明の第1実施形態による薄膜トランジスタ基板の第3マスク工程を示す断面図である。

【0064】

図9を参照すると、第3マスク工程を通じて、半導体層40、オーミックコンタクト層50、及びゲート絶縁膜30が形成された基板10上に、ソース電極60、ドレイン電極70、及びデータラインDL1～DLmを含む第2導電パターン群が形成される。

【0065】

具体的に、半導体層40、オーミックコンタクト層50、及びゲート絶縁膜30が形成された基板10上に、第2導電層をスパッタリングなどの蒸着方法を通じて蒸着する。次

50

に、第3マスク工程を用いたフォトリソグラフィ工程及びエッチング工程で第2導電層をパターンニングすることにより、第2導電パターン群を形成する。この際、オーミックコンタクト層50上に、ソース電極60及びドレイン電極70が向き合うように形成され、ソース電極60と接続されたデータラインDL1～DLmが形成される。第2導電層としては、アルミニウム、クロム、銅、及びモリブデンなどの金属またはこれらの合金が単一層で形成されるか、それらの組み合わせからなる多層構造で形成される。ここで、第3マスクは、チャンネルが形成される領域にスリットが形成されたスリットマスクまたは半透過マスクを通じて、微細チャンネルを形成することができる。これにより、チャンネル幅を大きくし、チャンネル長さを減少させて、薄膜トランジスタ200の特性を向上させることができる。

10

【0066】

図10は、本発明の第1実施形態による薄膜トランジスタ基板の製造方法のうち第4マスク工程を示す断面図である。

【0067】

図10を参照すると、第4マスク工程を通じて、第2導電パターン群が形成されたゲート絶縁膜30上に、画素コンタクトホール90を有する保護膜80が形成される。

【0068】

具体的に、保護膜80は、第2導電パターン群が形成された基板10上に、PECVD、CVDなどの蒸着方法を通じて形成され、第4マスクを用いたフォトリソグラフィ工程及びエッチング工程で、保護膜80を貫通してドレイン電極70を露出させる画素コンタクトホール90が形成される。保護膜80は、ゲート絶縁膜30のような無機絶縁物質が用いられるか、有機絶縁物質が用いられる。

20

【0069】

図11は、本発明の第1実施形態による薄膜トランジスタ基板の製造方法のうち第5マスク工程を示す断面図である。

【0070】

図11を参照すると、第5マスク工程を通じて、保護膜80上に画素電極100が形成される。

【0071】

具体的に、画素電極100は、保護膜80上にスパッタリング方法を通じて透明導電層を形成した後、第5マスクを用いたフォトリソグラフィ工程及びエッチング工程で透明導電層をパターンニングして形成する。透明導電層としては、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、TO (Tin Oxide)、ITZO (Indium Tin Zinc Oxide) などのような透明導電物質が用いられる。画素電極100は、画素コンタクトホール90を通じてドレイン電極70と接続される。画素電極100は、サブ画素領域に独立的に形成され、第1～第6ストレージ電極21～26と重畳されて形成される。それにより、第1～第6ストレージ電極21～26と画素電極100との重畳によって、第1～第6ストレージキャパシタst1～st6が形成される。

30

【0072】

図12は、本発明の第2実施形態による薄膜トランジスタ基板を示す平面図であり、図13及び図14は、図12に示された切断線に沿った断面図である。

40

【0073】

図12～図14は、図3～図5と対比して、第1水平ラインに形成された第1～第3ストレージ電極521～523と第2水平ラインに形成された第4～第6ストレージ電極524～526の電極の広さが同一に形成され、第1及び第6ストレージ電極521、526、第2及び第4ストレージ電極522、524、そして第3及び第5ストレージ電極523、525それぞれと画素電極100との間の保護膜580の厚さが異なるように形成され、第2及び第3ストレージ電極522、523と画素電極100との間の保護膜580の厚さを同一に形成し、第4及び第5ストレージ電極524、525と画素電極100

50

との間の保護膜 580 の厚さを同一に形成することを除いては、第 1 実施形態と同一の構成要素を具備するので、同一の構成要素に対する重複された説明は省略する。また、図 3 ～図 5 と同一の構成に対しては、同一の参照符号で表示する。

【0074】

図 12 ～図 14 を参照すると、本発明の第 2 実施形態による薄膜トランジスタ基板 501 では、第 6 ストレージキャパシタ容量 C_{st6} が、第 1 ストレージキャパシタ容量 C_{st1} に比べて 3 倍になるように形成するために、第 6 ストレージ電極 526 と画素電極 100 と間の距離を (1) 式に説明したように $1/3$ 倍にする。即ち、第 6 ストレージ電極 526 と画素電極 100 との間に形成されたゲート絶縁膜 30 と保護膜 580 の厚さの合計が、第 1 ストレージ電極 521 と画素電極 100 との間に形成されたゲート絶縁膜 30 と保護膜 580 の厚さの合計と対比して $1/3$ 倍になるように形成する。これのために、第 6 ストレージ電極 526 と重畳された領域の保護膜 580 を除去するか、保護膜 80 下部のゲート絶縁膜 30 の一部を除去して、第 1 ストレージ電極 21 と重畳された領域の保護膜 580 及びゲート絶縁膜 530 の厚さに対比して $1/3$ になるようにする。ここで、ゲート絶縁膜 30 は、第 6 ストレージ電極 526 と画素電極 100 の絶縁のために全部残され、保護膜 580 のみが除去されることが望ましい。

10

【0075】

また、第 2 及び第 3 ストレージキャパシタ容量 C_{st2} 、 C_{st3} は、第 1 ストレージキャパシタ容量 C_{st1} と対比して 2.5 倍になるように形成しなければならないので、第 2 及び第 3 ストレージ電極 522、523 と画素電極 100 との間に形成された保護膜 580 及びゲート絶縁膜 30 の厚さの合計が、第 1 ストレージ電極 521 と画素電極 100 との間に形成された保護膜 580 及びゲート絶縁膜 30 の厚さの合計と対比して $1/2.5$ 倍になるように形成される。また、第 4 及び第 5 ストレージキャパシタ容量 C_{st4} 、 C_{st5} は、第 1 ストレージキャパシタ容量 C_{st1} と対比して 1.5 倍になるように形成しなければならないので、第 4 及び第 5 ストレージ電極 524、525 と画素電極 100 との間に形成された保護膜 580 及びゲート絶縁膜 30 の厚さの合計が、第 1 ストレージ電極 521 と画素電極 100 との間に形成された保護膜 580 及びゲート絶縁膜 30 の厚さの合計と対比して $1/1.5$ 倍になるように形成される。この際、第 1 ～第 6 ストレージ電極 521 ～526 と画素電極 100 との間に形成されたゲート絶縁膜 30 は、第 1 ～第 6 ストレージ電極 521 ～526 と画素電極 100 との絶縁を保障する厚さ以上で形成しなければならないので、保護膜 580 の厚さのみを調節して、第 1 ～第 6 ストレージキャパシタ $s_{t1} \sim s_{t6}$ を形成することが望ましい。

20

30

【0076】

図 15 ～図 22 は、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法をマスク工程別に示した断面図である。図 15 は、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法のうち、第 1 マスク工程を示した断面図である。

【0077】

図 15 を参照すると、第 1 マスク工程を通じて、基板 10 上に、ゲートライン $GL1 \sim GLn$ 、ゲート電極 20、ストレージライン $SL1 \sim SLn$ 、及び第 1 ～第 6 ストレージ電極 521 ～526 を含む第 1 導電パターン群が形成される。

40

【0078】

具体的に、有機またはプラスチックなどの透明な基板 10 上に、スパッタリング方法を通じて第 1 導電層を形成する。第 1 導電層は、アルミニウム、クロム、銅、及びモリブデンなどのような金属またはそれらの合金が単一層から形成されるか、それらの組み合わせからなる 2 重層以上の多層で形成される。続いて、第 1 マスクを用いたフォトリソグラフィ工程及びエッチング工程で第 1 導電層をパターンニングすることで、ゲートライン、ゲート電極 20、ストレージライン $SL1 \sim SLn$ 、及び第 1 ～第 6 ストレージ電極 521 ～526 を含む第 1 導電パターン群が形成される。この際、第 1 ～第 6 ストレージ電極 521 ～526 は、全部同一の広さに形成される。

【0079】

50

図16は、本発明の第2実施形態による薄膜トランジスタ基板の第2マスク工程を示した断面図である。

【0080】

図16を参照すると、第2マスク工程を通じて、第1導電パターン群が形成された基板10上に、ゲート絶縁膜30、半導体層40、及びオーミックコンタクト層50を順次に形成する。

【0081】

具体的に、ゲートラインGL1～GLn、ゲート電極20、ストレージラインSL1～SLn、及び第1～第6ストレージ電極521～526が形成された基板10上に、ゲート絶縁膜、非晶質シリコン層、及び不純物ドーピングされた非晶質シリコン層が、プラズマ化学気相蒸着方法、化学気相蒸着方法などの蒸着方法を通じて順次に積層される。続いて、第2マスクを用いたフォトリソグラフィ工程及びエッチング工程で非晶質シリコン層及び不純物ドーピングされた非晶質シリコン層がパターニングされ、半導体層40及びオーミックコンタクト層50が形成される。ゲート絶縁膜30は、窒化シリコン、酸化シリコンなどの無機絶縁物質が用いられる。ここで、非晶質シリコン層をレーザ結晶化または固相結晶化方法などを用いて変換することにより、チャンネル領域にポリシリコンを形成することができる。ゲート絶縁膜30としては、窒化シリコン、酸化シリコンなどの無機絶縁物質が用いられる。

10

【0082】

図17は、本発明の第2実施形態による薄膜トランジスタ基板の第3マスク工程を示した断面図である。

20

【0083】

図17を参照すると、第3マスク工程を通じて、半導体層40、オーミックコンタクト層50、及びゲート絶縁膜30が形成された基板10上に、ソース電極60、ドレイン電極70、及びデータラインDL1～DLmを含む第2導電パターン群が形成される。

【0084】

具体的に、半導体層40、オーミックコンタクト層50、及びゲート絶縁膜30が形成された基板10上に、スパッタリング方法などの蒸着方法を通じて第2導電層を蒸着する。次に、第3マスク工程を用いたフォトリソグラフィ工程及びエッチング工程で第2導電層をパターニングすることで、第2導電パターン群を形成する。この際、オーミックコンタクト層50上にソース電極60及びドレイン電極70が向き合うように形成され、ソース電極60と接続されたデータラインDL1～DLmが形成される。第2導電層としては、アルミニウム、クロム、銅、及びモリブデンなどの金属またはこれらの合金が単一層で形成されるか、それらの組み合わせからなる多層構造から形成される。ここで、第3マスクは、チャンネルが形成される領域にスリットが形成されたスリットマスクまたは半透過マスクを通じて、微細チャンネルを形成することができる。それにより、チャンネル幅を大きくし、チャンネル長さを減少して、薄膜トランジスタ200の特性を向上させることができる。

30

【0085】

図18～図21は、本発明の第2実施形態による薄膜トランジスタ基板の製造方法のうち第4マスク工程を示した断面図である。

40

【0086】

図18～図21を参照すると、第4マスク工程を通じて、第2導電パターン群が形成されたゲート絶縁膜30上に、画素コンタクトホール90、及び第1～第6ストレージキャパシタst1～st6を形成するための保護膜580が形成される。

【0087】

具体的に、保護膜580は、第2導電パターン群が形成された基板10上に、PECVD、CVDなどの蒸着方法を通じて形成され、第4マスク300を用いたフォトリソグラフィ工程及びエッチング工程で、保護膜580を貫通してドレイン電極70を露出させる画素コンタクトホール90が形成される。この際、第1～第6ストレージ電極521～5

50

26と重畳された保護膜580は、それぞれ異なる高さで形成される。即ち、第1～第6ストレージ電極521～526と重畳された保護膜580は、第2～第6ストレージ電極522～526に対応してスリット303, 304, 305が形成されたマスク300を通じて、厚さがそれぞれ異なるように形成される。

【0088】

図18を参照すると、第2導電パターンが形成された基板上に、無機絶縁物質を全面に形成する。次に、図19に示すように、無機絶縁物質上にフォトレジスト250を形成する。次に、図20に示されたマスク300を用いて、フォトレジスタ250を感光して透過領域S12のフォトレジスタ250を除去し、遮断領域S11及びスリット領域S13, S14, S15それぞれのフォトレジスタ250を残す。透過領域S12によってフォトレジスタ250が除去され、エッチング工程を通じて画素コンタクトホール90が形成される。また、図20に示されるように、マスクのスリット領域S13, S14, S15の大きさを同一にし、第1～第3スリット領域S13, S14, S15に形成されたスリットの個数をそれぞれ異なるように設定し、第1～第3スリット領域S13, S14, S15のスリット303, 304, 305間の距離を同じくして、第2～第6ストレージ電極522～526と重畳された領域の保護膜580をそれぞれ異なる厚さで形成する。例えば、図21に示されるように、保護膜580の厚さがゲート絶縁膜30の厚さの2倍高さで形成される場合、第1ストレージ電極521と重畳されるゲート絶縁膜30の厚さ及び保護膜580の厚さの合計は“d1”となり、この際、保護膜580は除去されない。また、第2及び第3ストレージ電極522, 523と重畳されるゲート絶縁膜30と保護膜580の厚さの合計はそれぞれ“d2”及び“d3”となり、“d2”と“d3”は同一の高さに形成される。即ち、ゲート絶縁膜30上の保護膜580の一部が除去されることで“d2”と“d3”は、“d1”の1/2.5倍に形成される。また、第4及び第5ストレージ電極524, 525と重畳されたゲート絶縁膜30の厚さ及び保護膜580の厚さの合計は、それぞれ“d4”及び“d5”となり、“d4”及び“d5”は同じ高さで形成される。この際、“d4”及び“d5”は、“d1”に対比して1/1.5倍の高さに形成される。第6ストレージ電極526と重畳された保護膜580の厚さは、第1ストレージ電極521と重畳されたゲート絶縁膜30及び保護膜580の厚さの合計と対比して1/3の厚さで形成しなければならないので保護膜580を全部除去する。例えば、遮断領域S11は、第1ストレージ電極521と対応する領域に形成され、第2及び第3ストレージ電極522, 523と対応する領域には、第1スリット領域S13が形成され、第4及び第5ストレージ電極524, 525と対応する領域には、第2スリット領域S14が形成され、第6ストレージ電極526と対応する領域には、第3スリット領域S15が形成される。この際、第2スリット領域S14でのスリット304の個数に対比して、第1スリット領域S13でのスリット303個数を少なく形成して、第2及び第3ストレージ電極522, 523と重畳される保護膜580を第4及び第5ストレージ電極524, 525と重畳される保護膜580よりも深くエッチングされるようにする。また、第1スリット領域S13のスリットの個数を、第3スリット領域S15のスリット305の個数よりも多く形成して、第6ストレージ電極526と重畳された保護膜580を完全に除去する。

【0089】

このような保護膜580には、ゲート絶縁膜30のような無機絶縁物質が用いられるか、有機絶縁物質が用いられる。

【0090】

図22は、本発明の第2実施形態による薄膜トランジスタ基板の製造方法のうち第5マスク工程を示した断面図である。

【0091】

図22を参照すると、第5マスク工程を通じて、保護膜580上に画素電極100が形成される。

【0092】

具体的に、画素電極 100 は、保護膜 580 上にスパッタリングなどの方法を通じて導電層を形成した後、第 5 マスクを用いたフォトリソグラフィ工程及びエッチング工程で透明導電層をパターンニングして形成する。透明導電層としては、ITO、IZO、TO、ITZO などのような透明導電物質が用いられる。画素電極 100 は、画素コンタクトホール 90 を通じてドレイン電極 70 と接続される。画素電極 100 は、サブ画素領域に独立的に形成され、第 1～第 6 ストレージ電極 521～526 と重畳されて形成される。それにより、第 1～第 6 ストレージ電極 521～526 と画素電極 100 との重畳により、第 1～第 6 ストレージキャパシタ st1～st6 が形成される。

【0093】

一方、本発明の実施形態による薄膜トランジスタ基板は、第 6 ストレージキャパシタ容量 Cst6 を第 1 ストレージキャパシタ容量 Cst1 に対比して 3 倍で形成するために、第 6 ストレージ電極 526 の広さを第 1 ストレージ電極 521 の広さよりも大きくし、第 6 ストレージ電極 526 と重畳されたゲート絶縁膜 30 及び保護膜 80 の厚さは薄く形成する。そして、第 2～第 5 ストレージキャパシタ容量 Cst2～Cst5 も、第 6 ストレージキャパシタ容量 Cst6 を形成するのと同じの方法で形成することができる。

【産業上の利用可能性】

【0094】

上述したように、本発明による液晶表示装置及びその製造方法は、第 1 水平ラインの赤色、緑色、青色のサブ画素領域が反復され、第 1 水平ラインのサブ画素領域に交互的に配列され、緑色、青色、赤色のサブ画素領域が反復された第 2 水平ラインが反復的に形成されたデルタ構造の薄膜トランジスタ基板において、第 2 水平ラインの赤色サブ画素領域に形成された第 6 ストレージキャパシタ容量を、第 1 水平ラインの赤色サブ画素領域に形成された第 1 ストレージキャパシタ容量に比べて 3 倍大きく形成して、充電率を補償して縦線不良を防止する。

【0095】

また、データ駆動回路の一つの出力端で 3 個のデータラインを駆動させることでデータ駆動回路を簡単に具現すると同時にデータ駆動回路の費用が節減されるので、液晶表示装置の生産費用が節減される。

【0096】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0097】

【図 1】本発明の実施形態による液晶表示装置を示す平面図である。

【図 2】図 1 に示された液晶表示装置の駆動の際のスキュン信号に対してサブ画素に充電されるデータを示した波形図である。

【図 3】本発明の第 1 実施形態による薄膜トランジスタ基板を示した平面図である。

【図 4】図 3 に示された薄膜トランジスタ基板の I-I' 線、II-II' 線、及び III-III' 線に沿った断面を示した断面図である。

【図 5】図 3 に示された薄膜トランジスタ基板の V-V' 線、VI-VI' 線及び VII-VII' 線に沿った断面を示した断面図である。

【図 6】図 4 に示された薄膜トランジスタ基板で色配列に対するストレージキャパシタの形成比率を概略的に示した図である。

【図 7】本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法を示す断面図である。

【図 8】図 7 に後続する図である。

【図 9】図 8 に後続する図である。

【図 10】図 9 に後続する図である。

【図 11】図 10 に後続する図である。

【図 1 2】本発明の第 2 実施形態による薄膜トランジスタ基板を示す平面図である。

【図 1 3】図 1 2 に示された薄膜トランジスタ基板の I-I' 線、II-II' 線、及び III-I' 線に沿った断面図である。

【図 1 4】図 1 2 に示された薄膜トランジスタ基板の V-V' 線、VI-VI' 線、及び VII-V' 線に沿った断面図である。

【図 1 5】本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法を示す断面図である。

【図 1 6】図 1 5 に後続する図である。

【図 1 7】図 1 6 に後続する図である。

【図 1 8】図 1 7 に後続する図である。

10

【図 1 9】図 1 8 に後続する図である。

【図 2 0】図 1 9 に後続する図である。

【図 2 1】図 2 0 に後続する図である。

【図 2 2】図 2 1 に後続する図である。

【符号の説明】

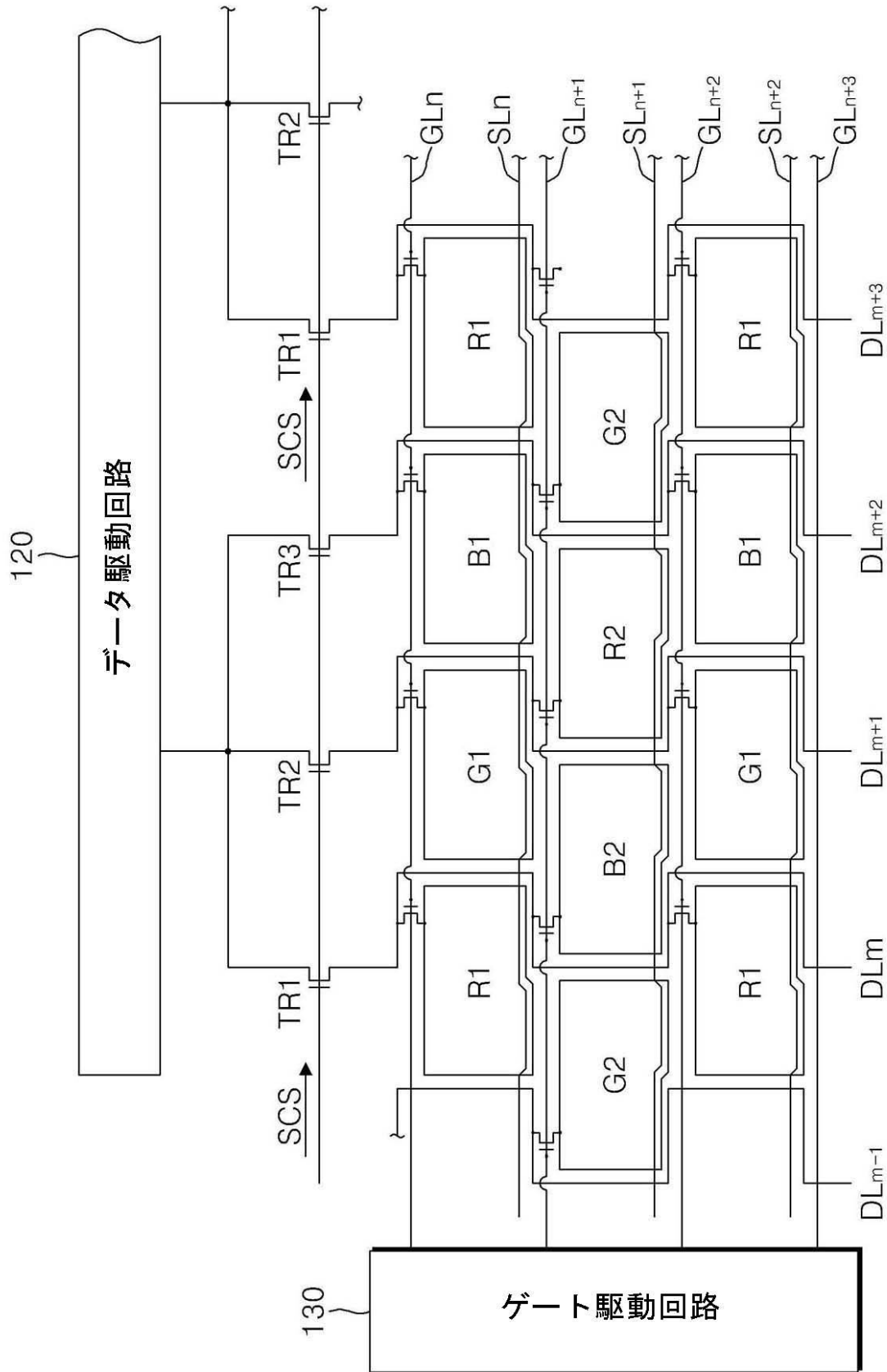
【0098】

- 10 基板、
- 20 ゲート電極、
- 21 第 1 ストレージ電極、
- 22 第 2 ストレージ電極、
- 23 第 3 ストレージ電極、
- 24 第 4 ストレージ電極、
- 25 第 5 ストレージ電極、
- 26 第 6 ストレージ電極、
- 30 ゲート絶縁膜、
- 40 半導体層、
- 50 オーミックコンタクト層、
- 60 ソース電極、
- 70 ドレイン電極、
- 80 保護膜、
- 90 画素コンタクトホール、
- 100 画素電極、
- 120 データ駆動回路、
- 130 ゲート駆動回路。

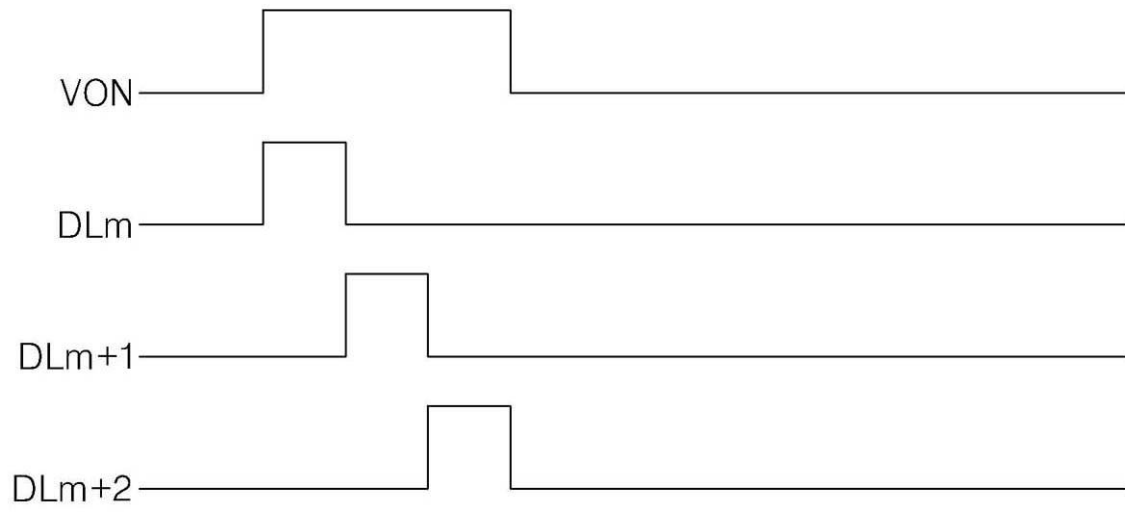
20

30

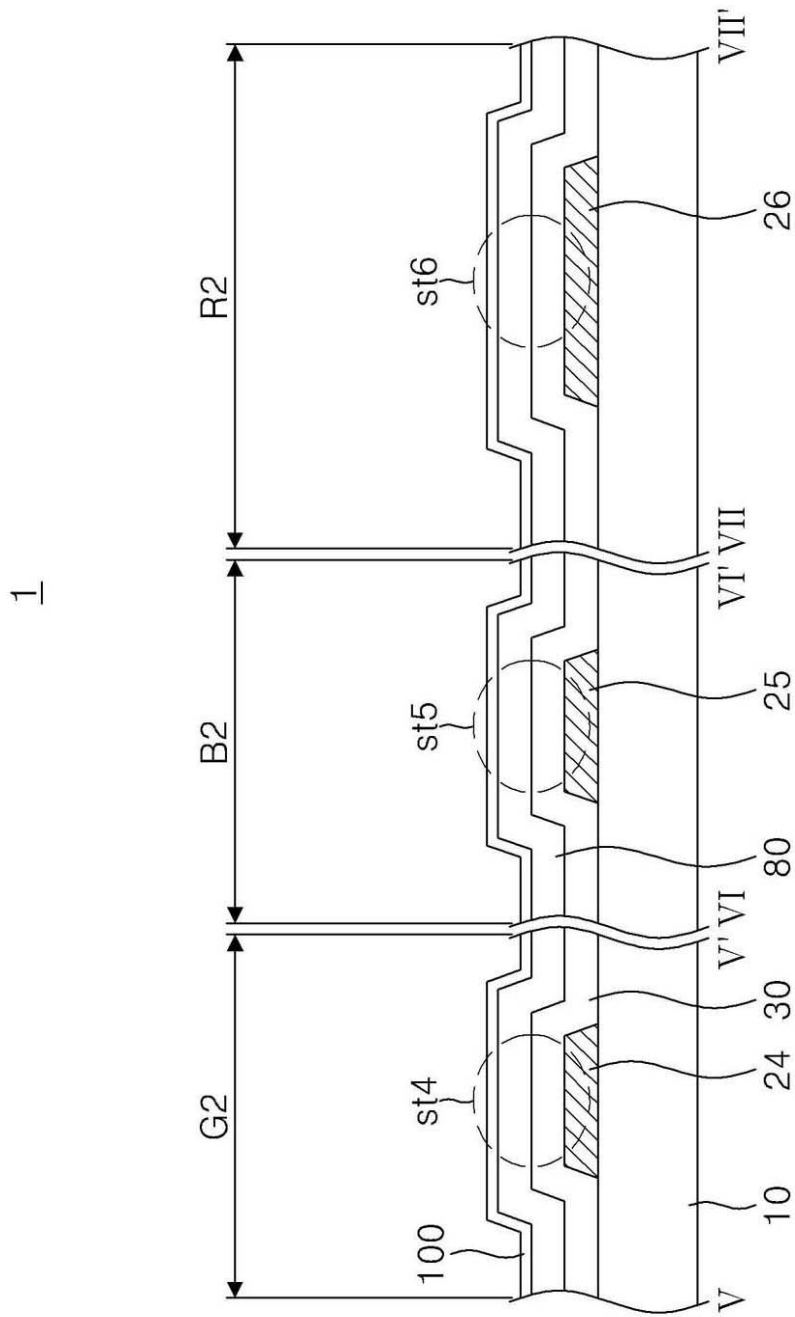
【図 1】



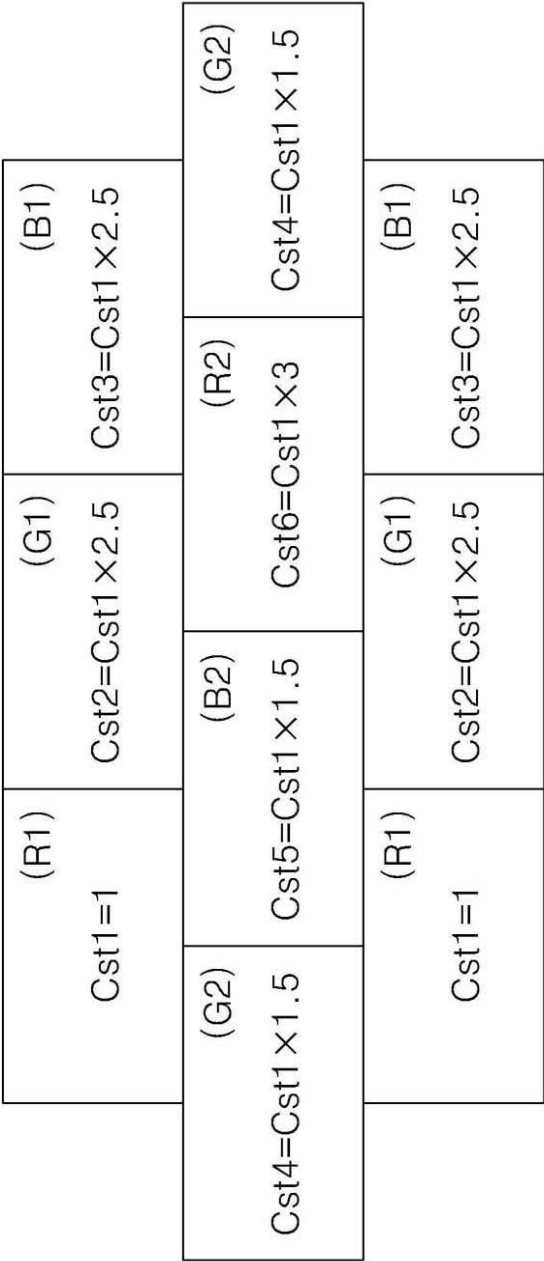
【図 2】



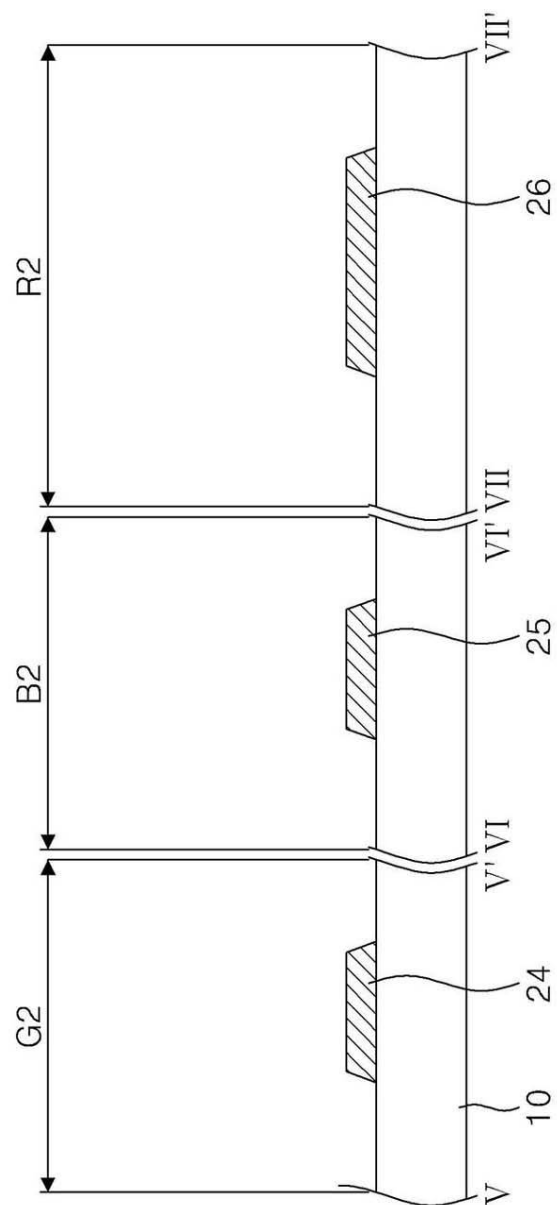
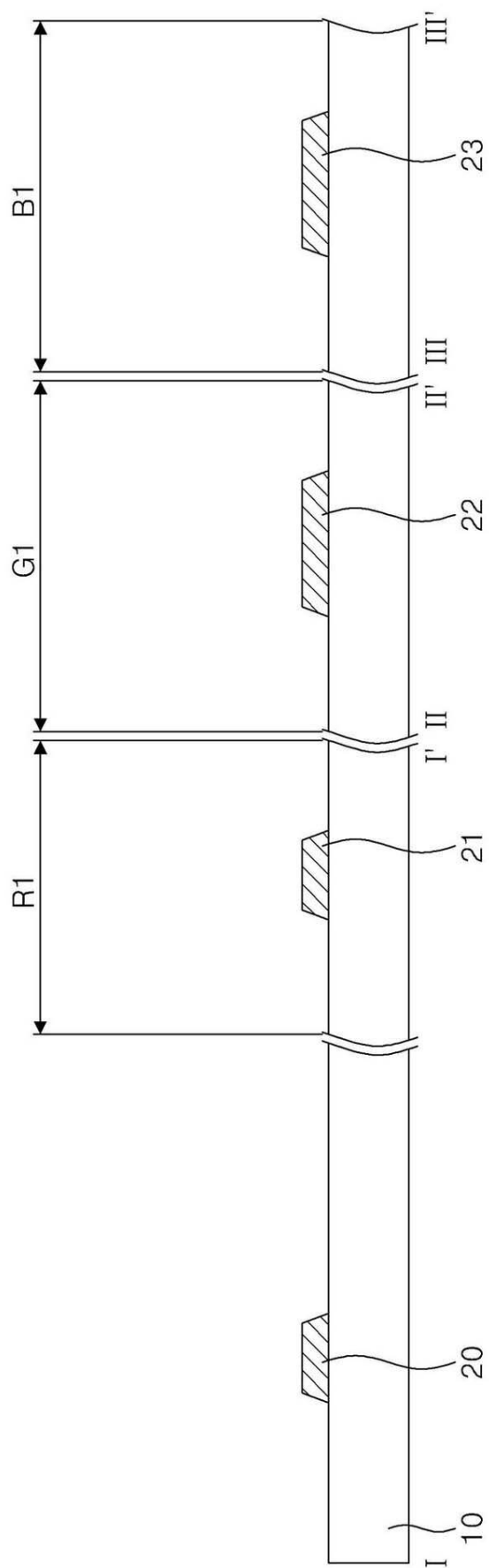
【図 5】



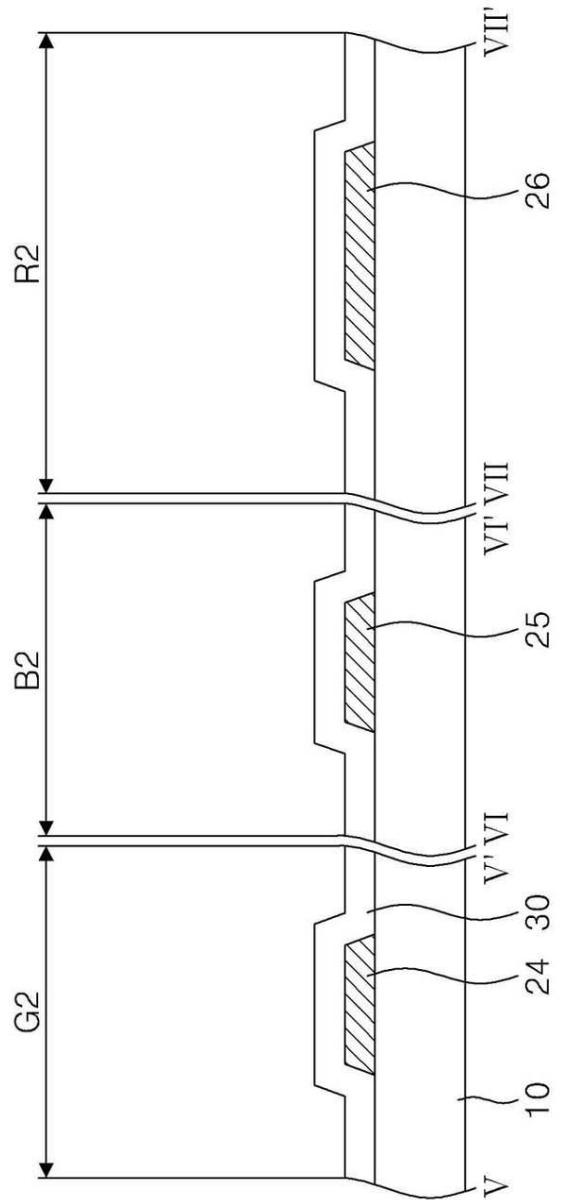
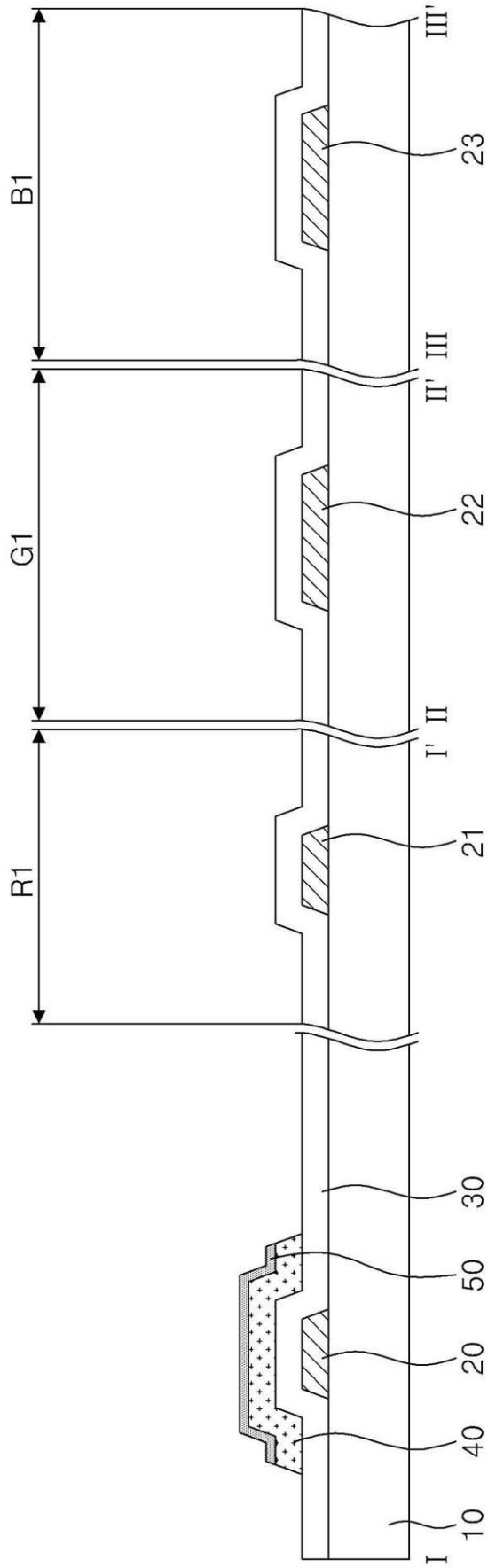
【図 6】



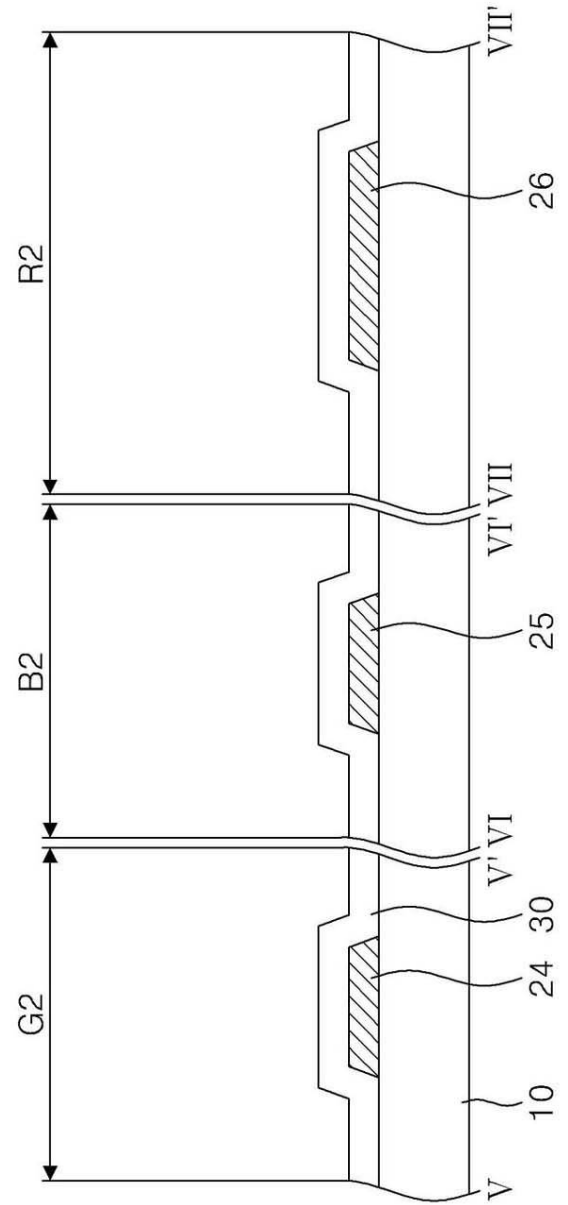
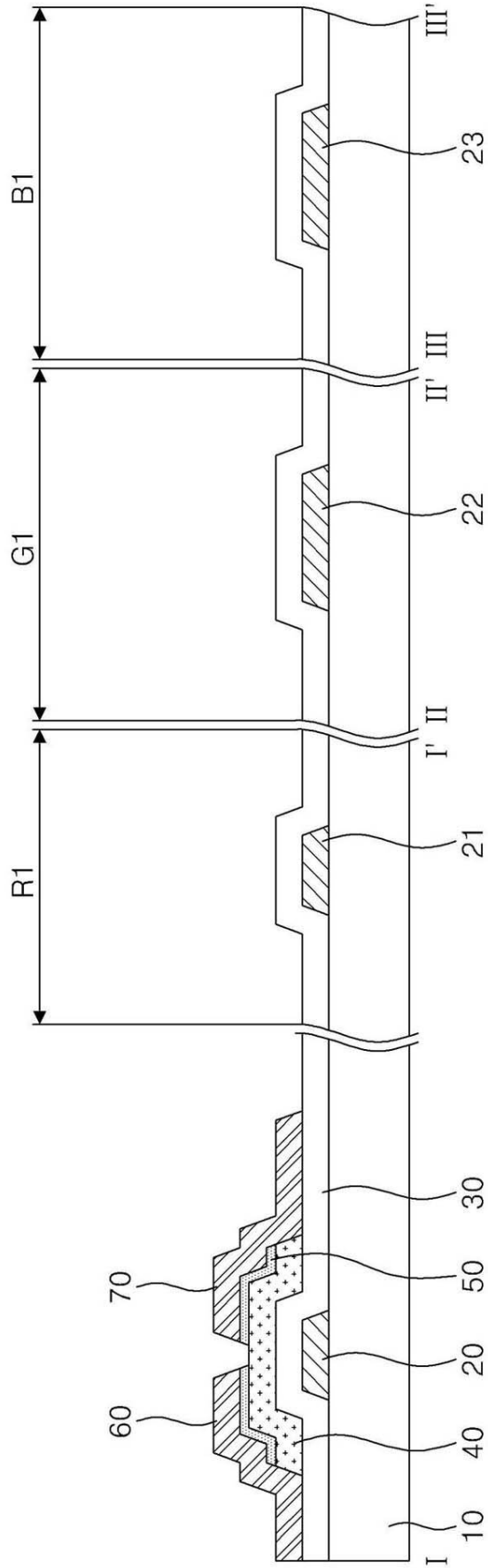
【図 7】



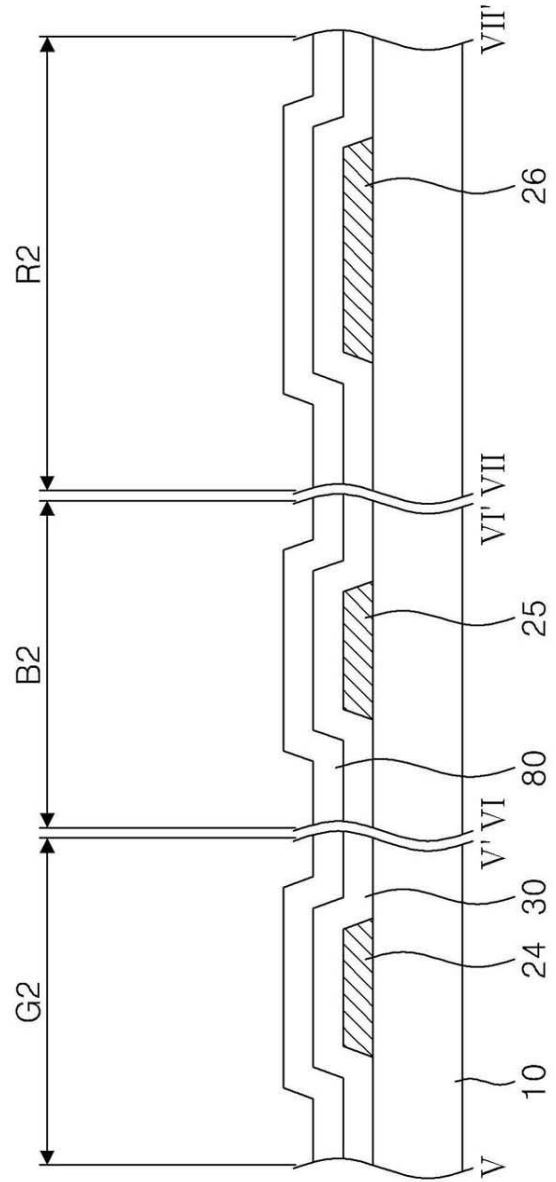
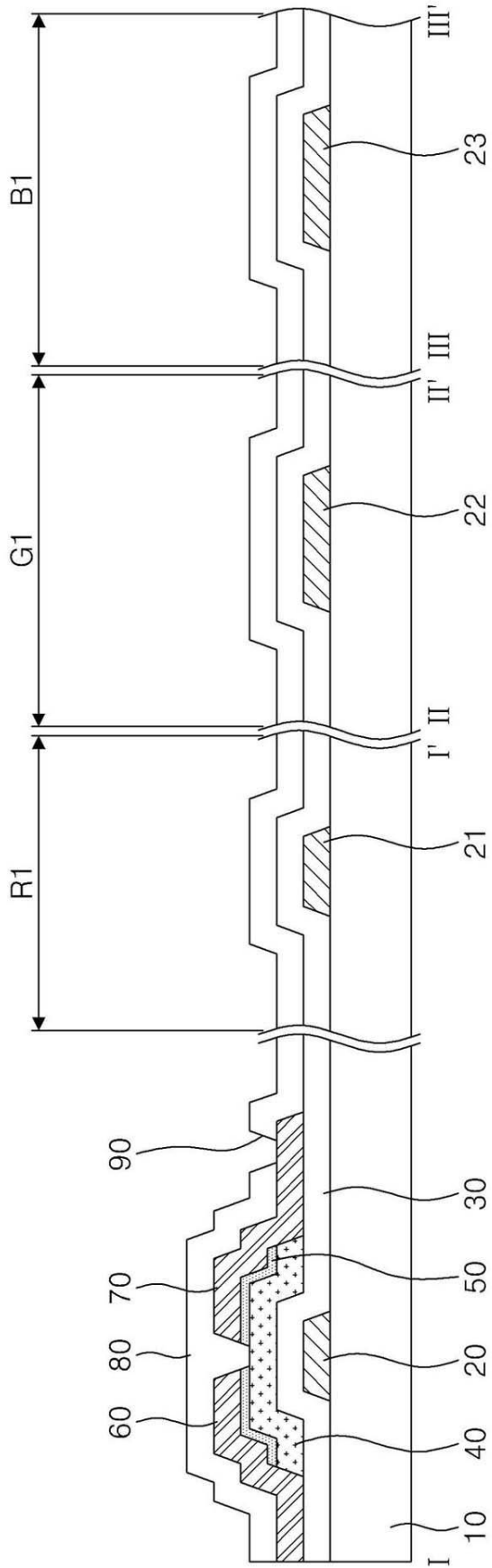
【図 8】



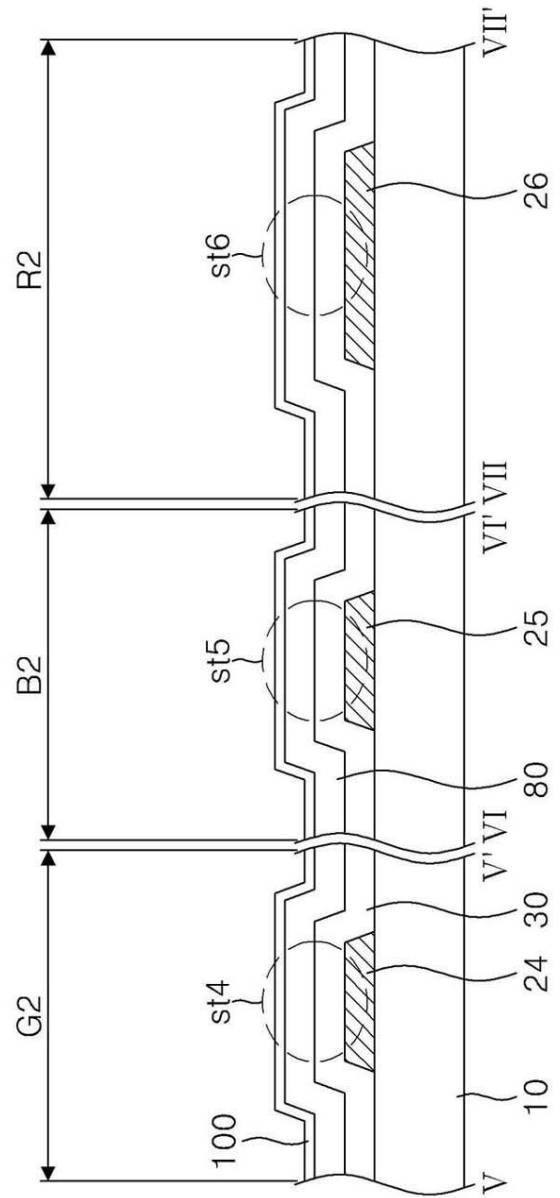
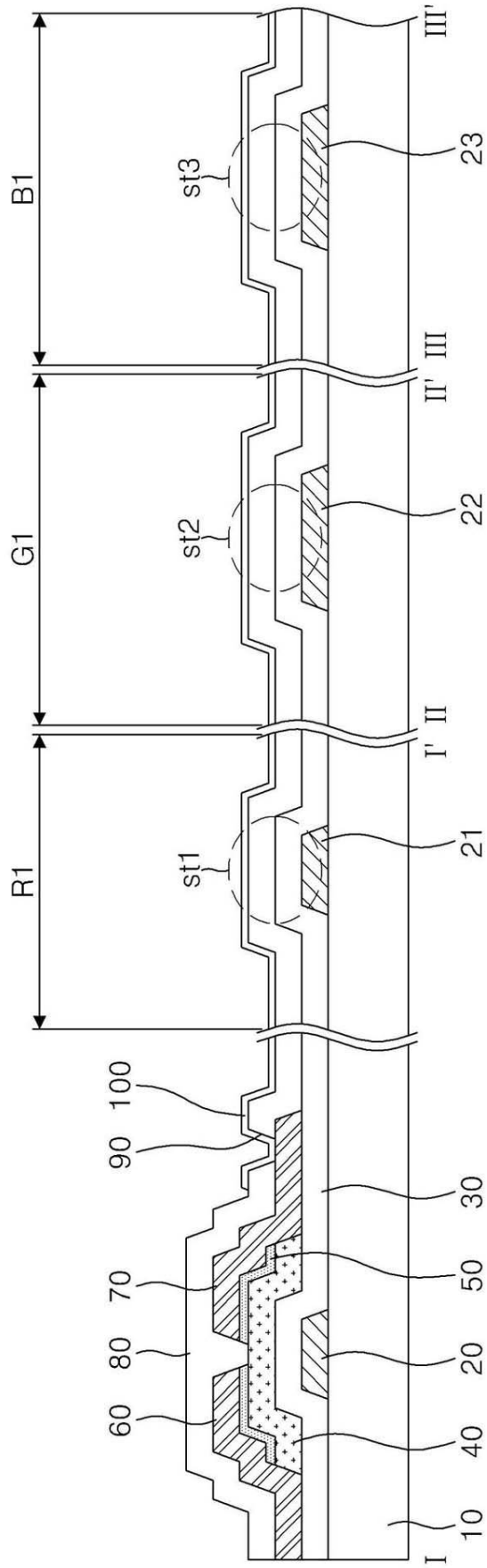
【図 9】



【図 10】

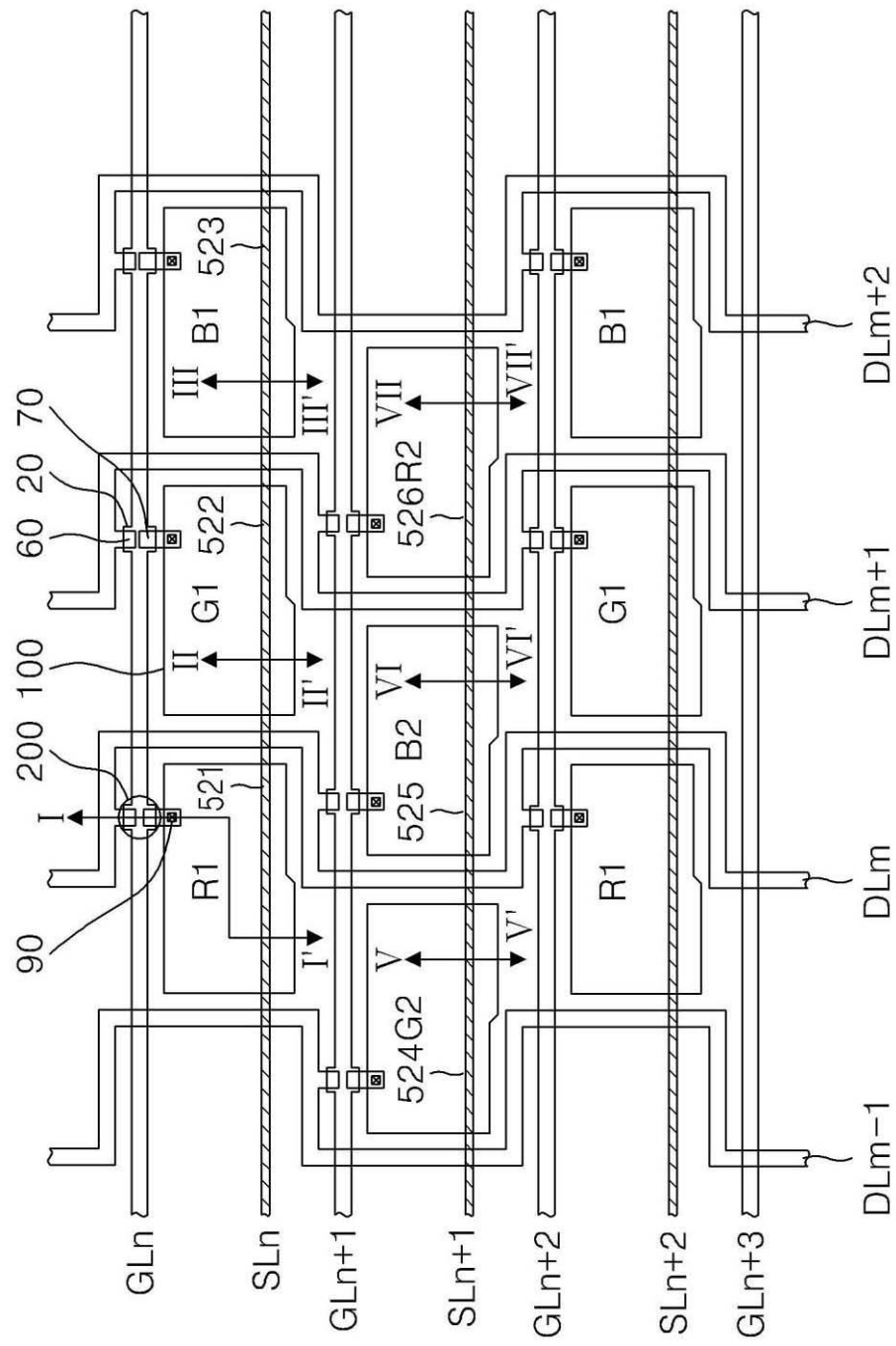


【図 1 1】



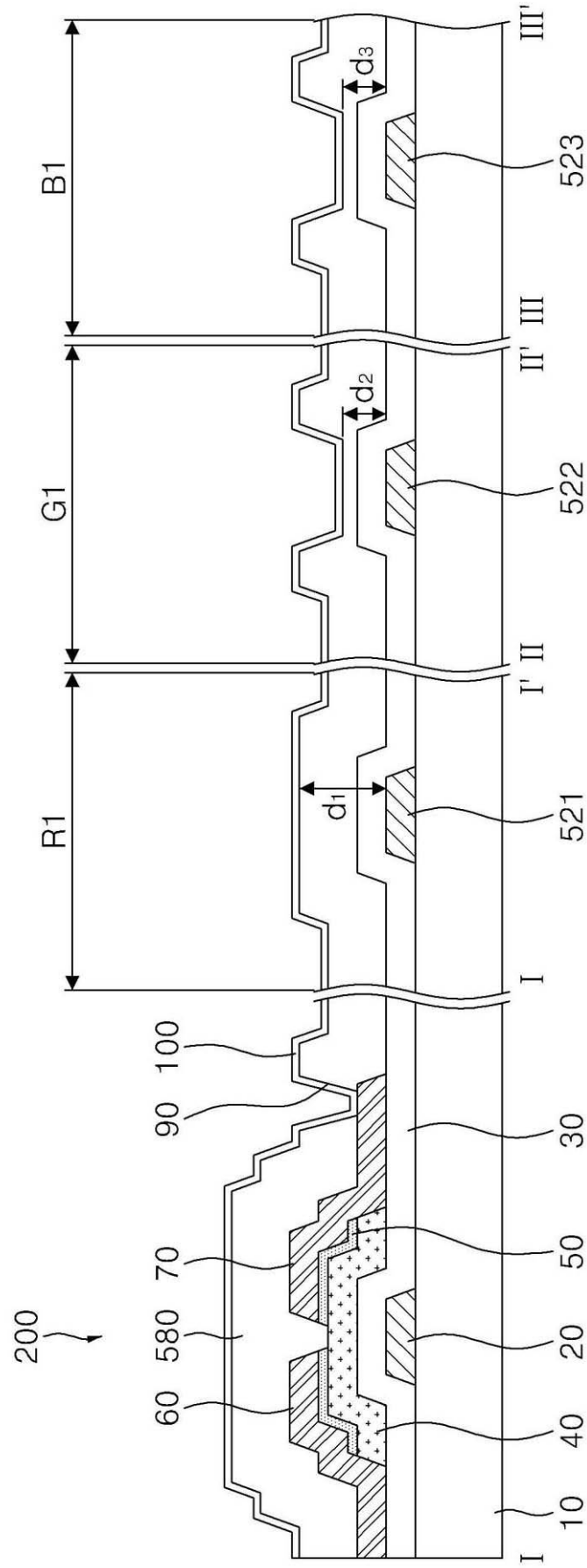
【図 12】

501



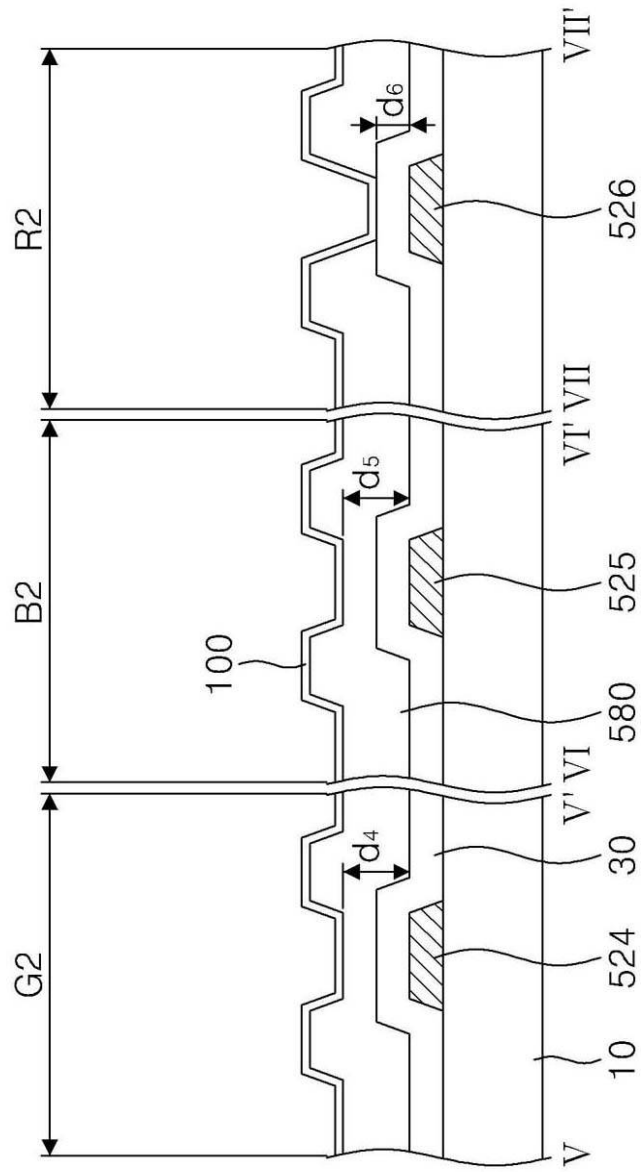
【図 13】

501

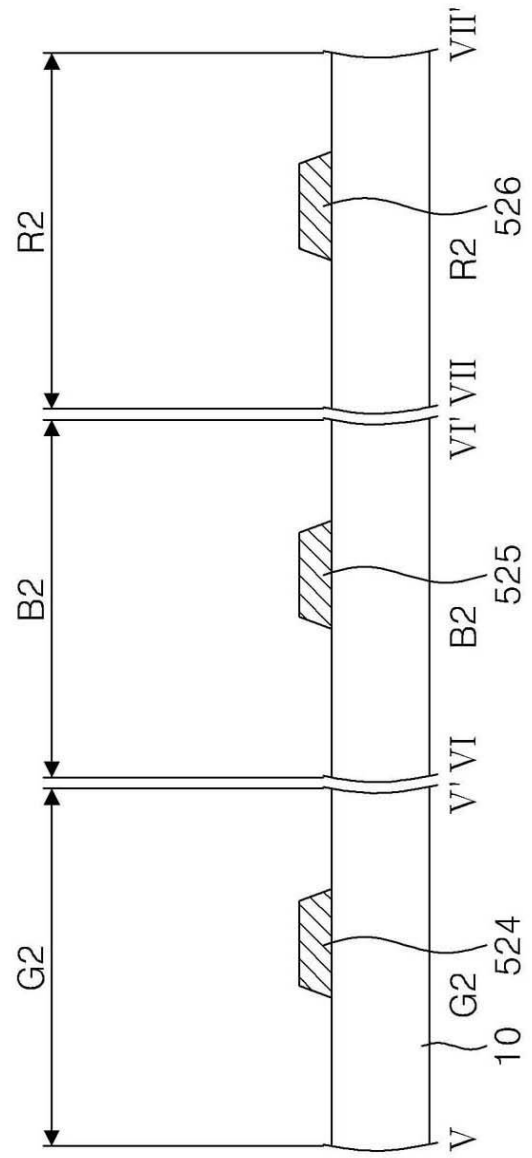
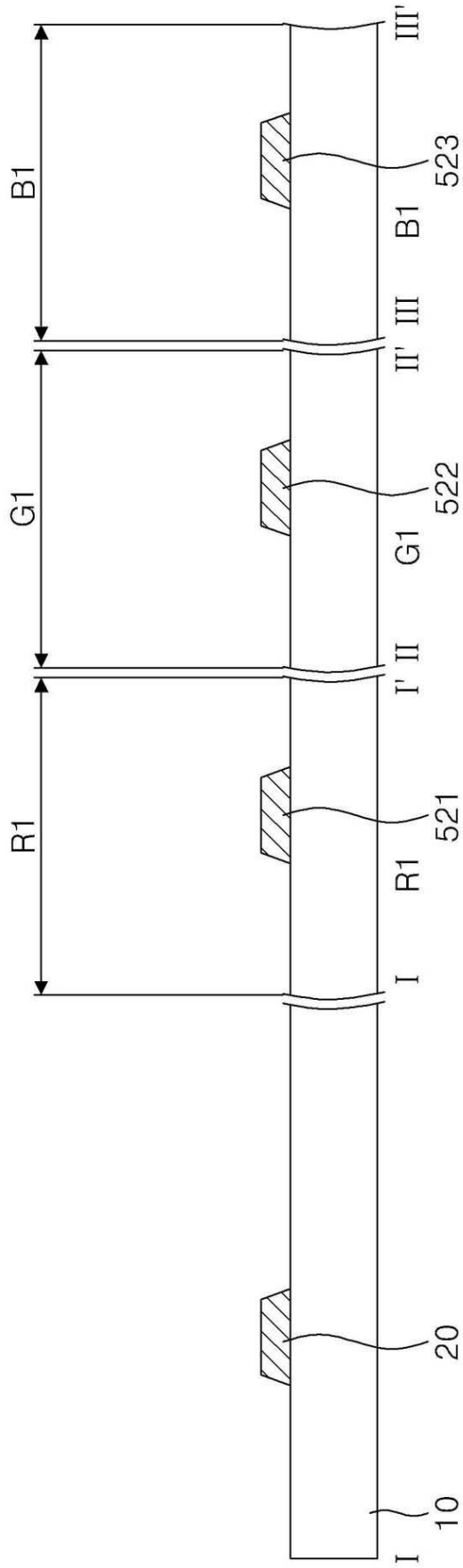


【図 1 4】

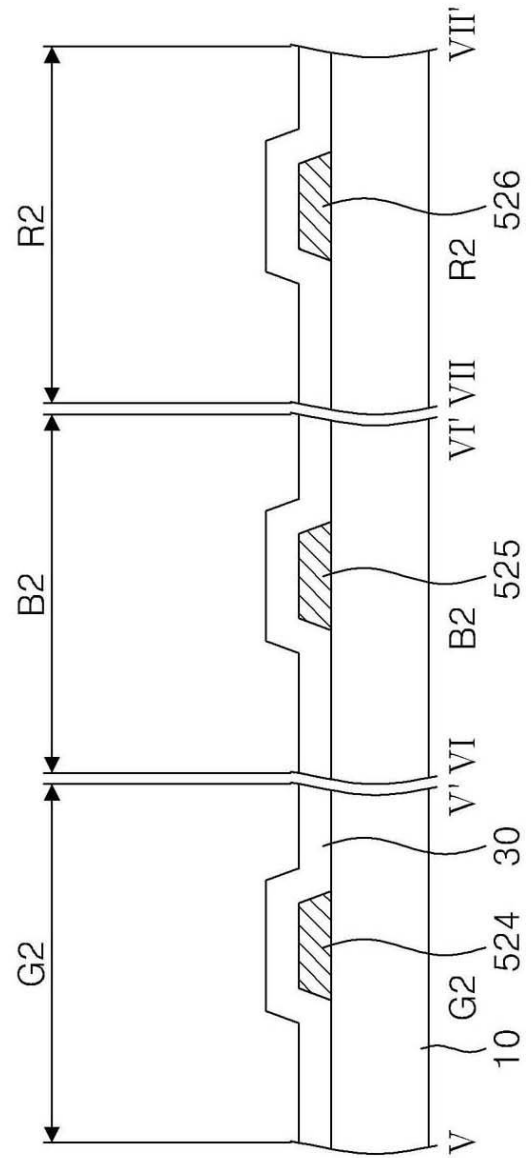
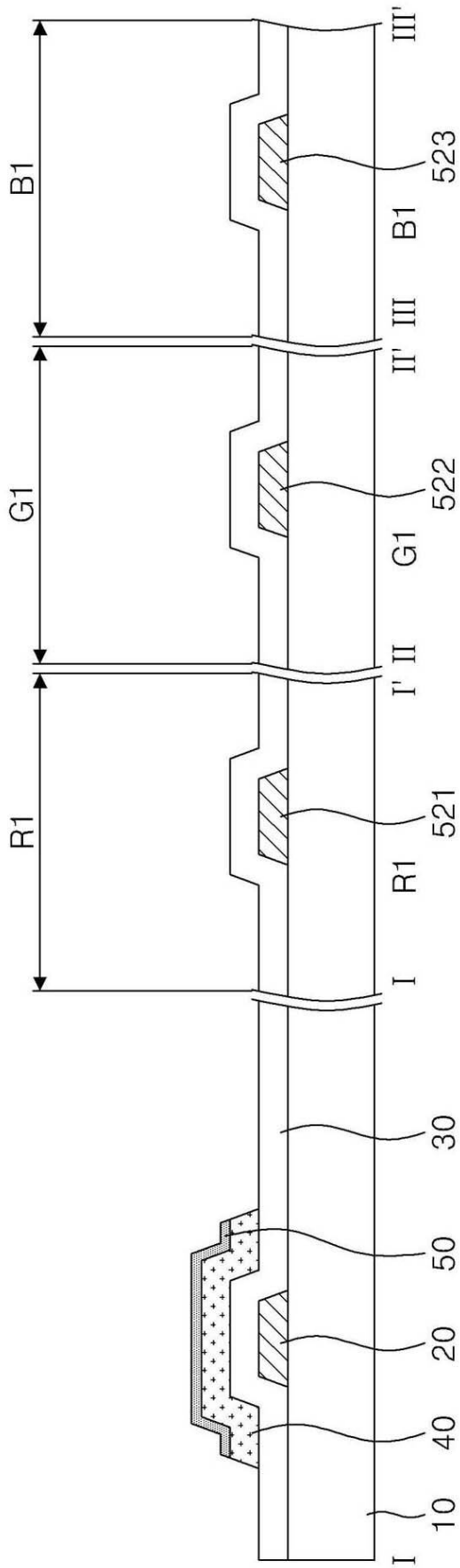
501



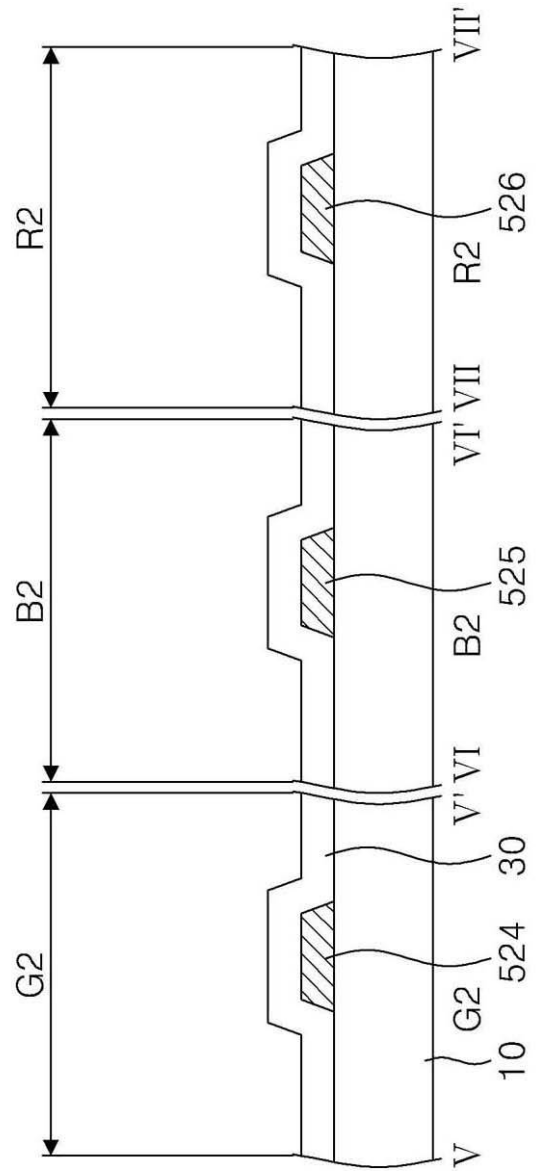
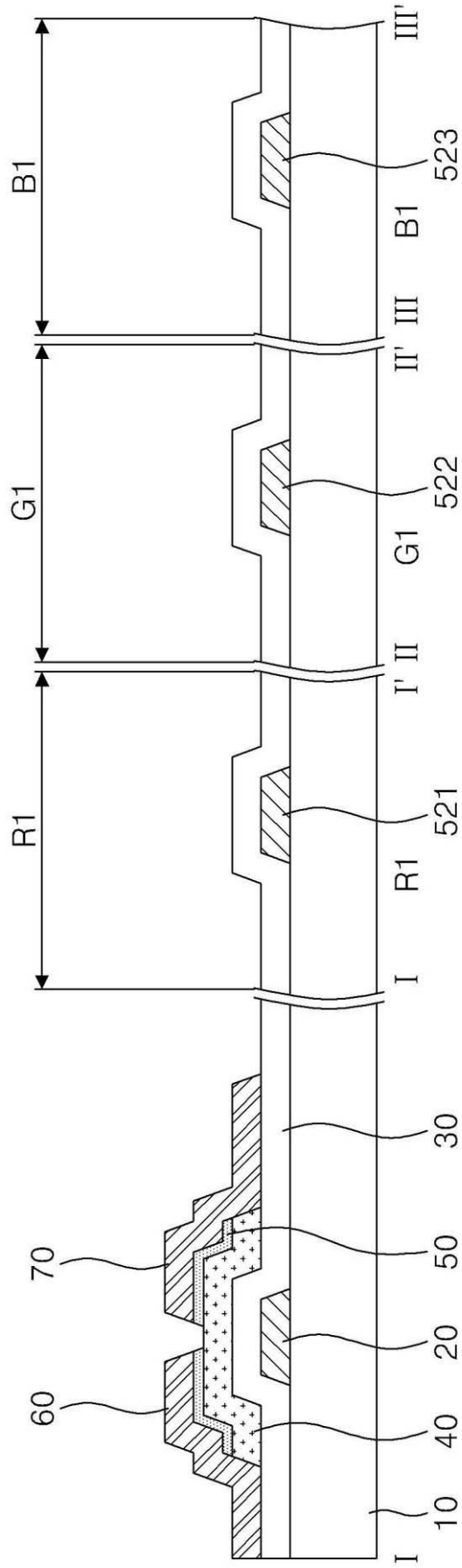
【図 15】



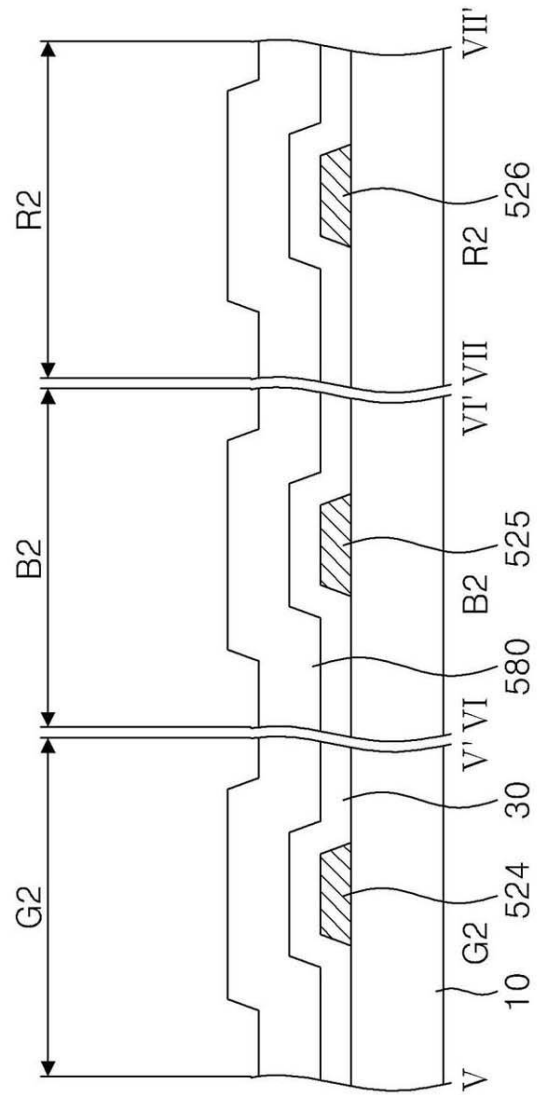
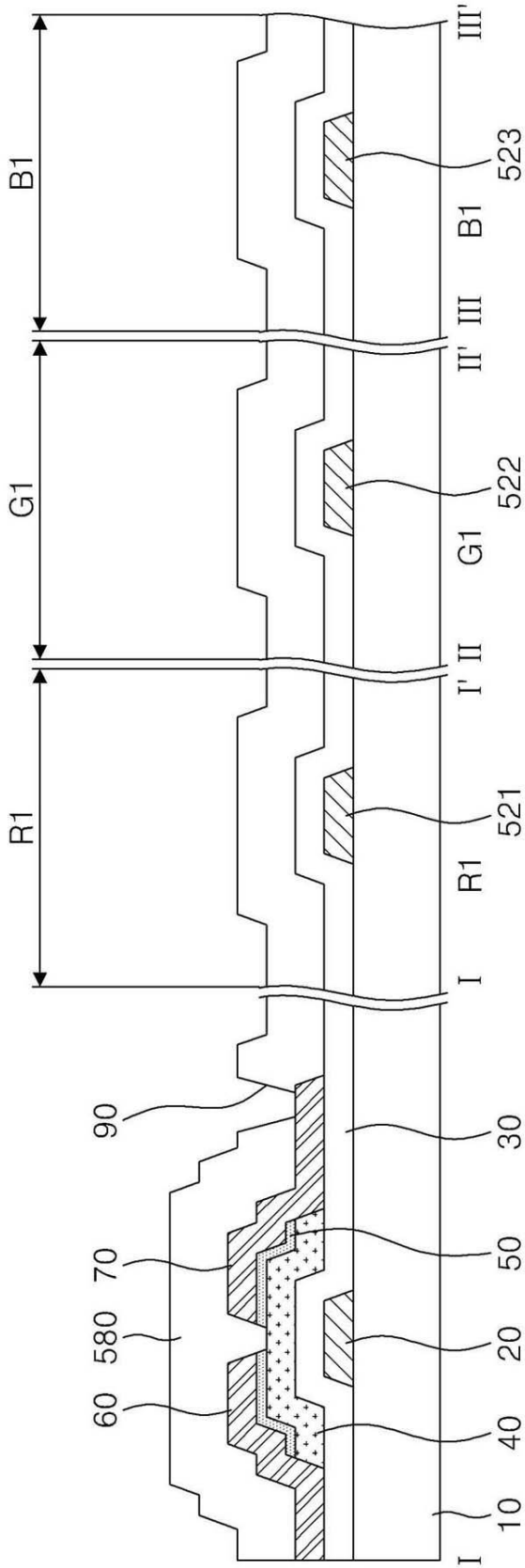
【図 16】



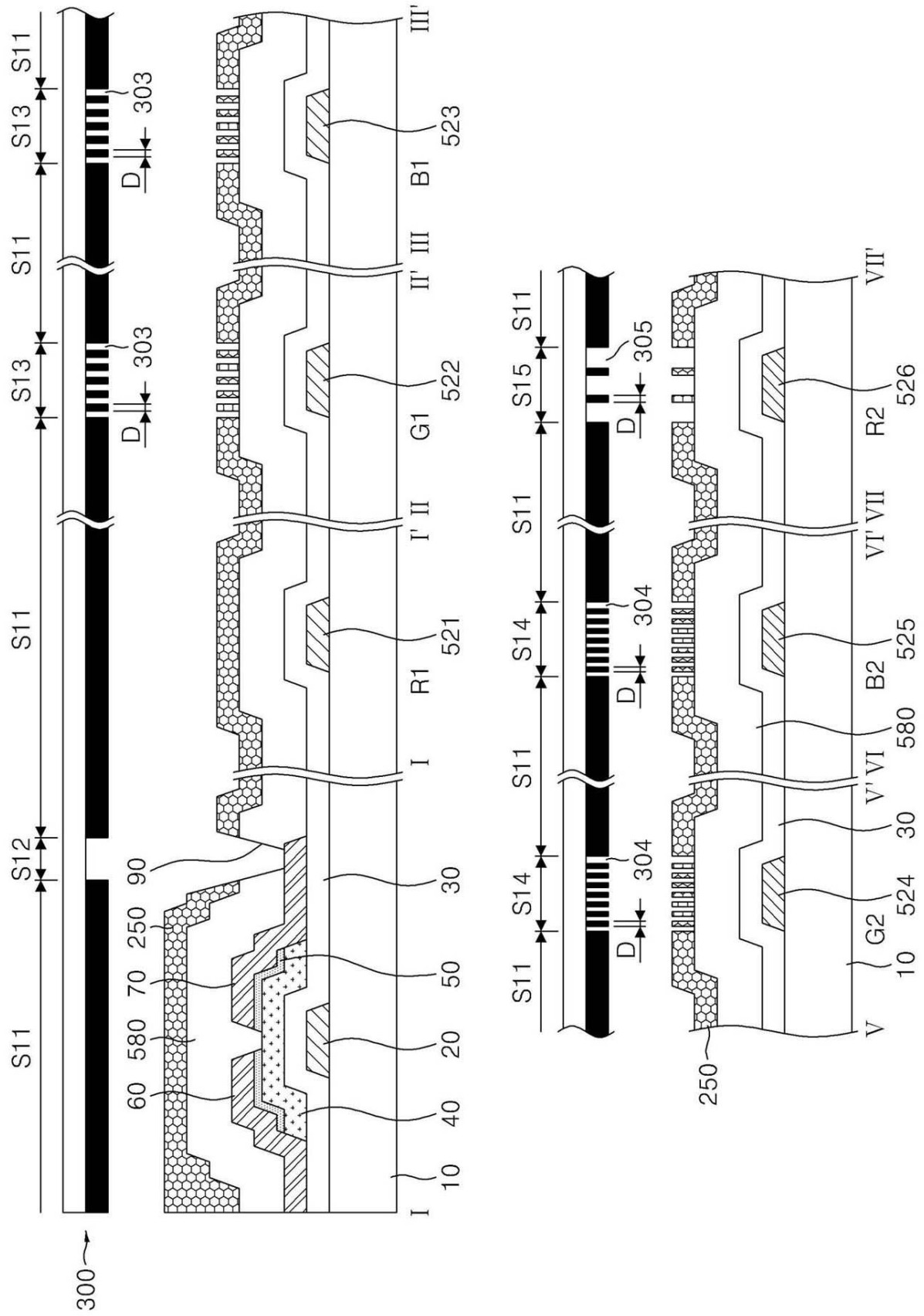
【図 17】



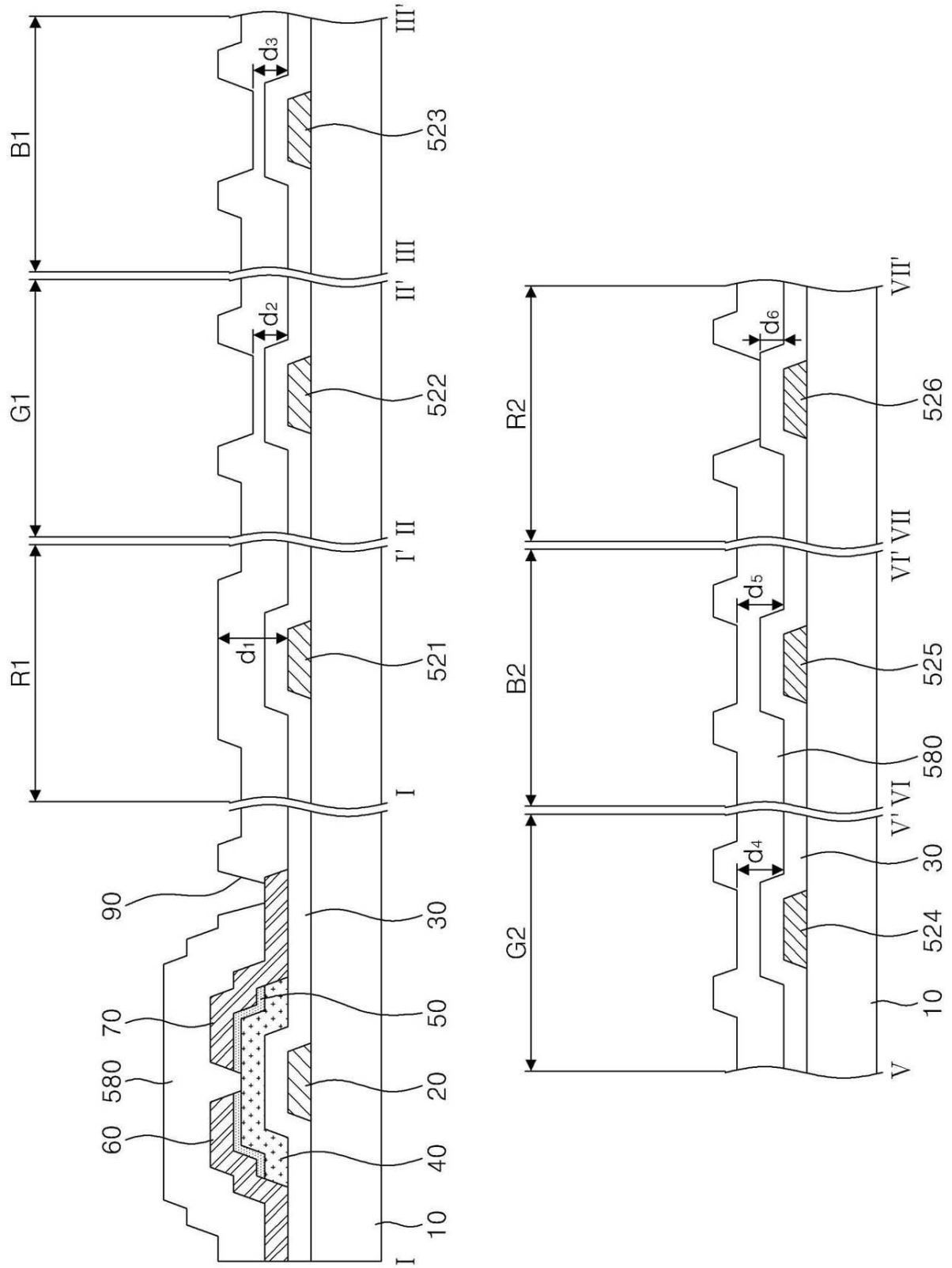
【図 18】



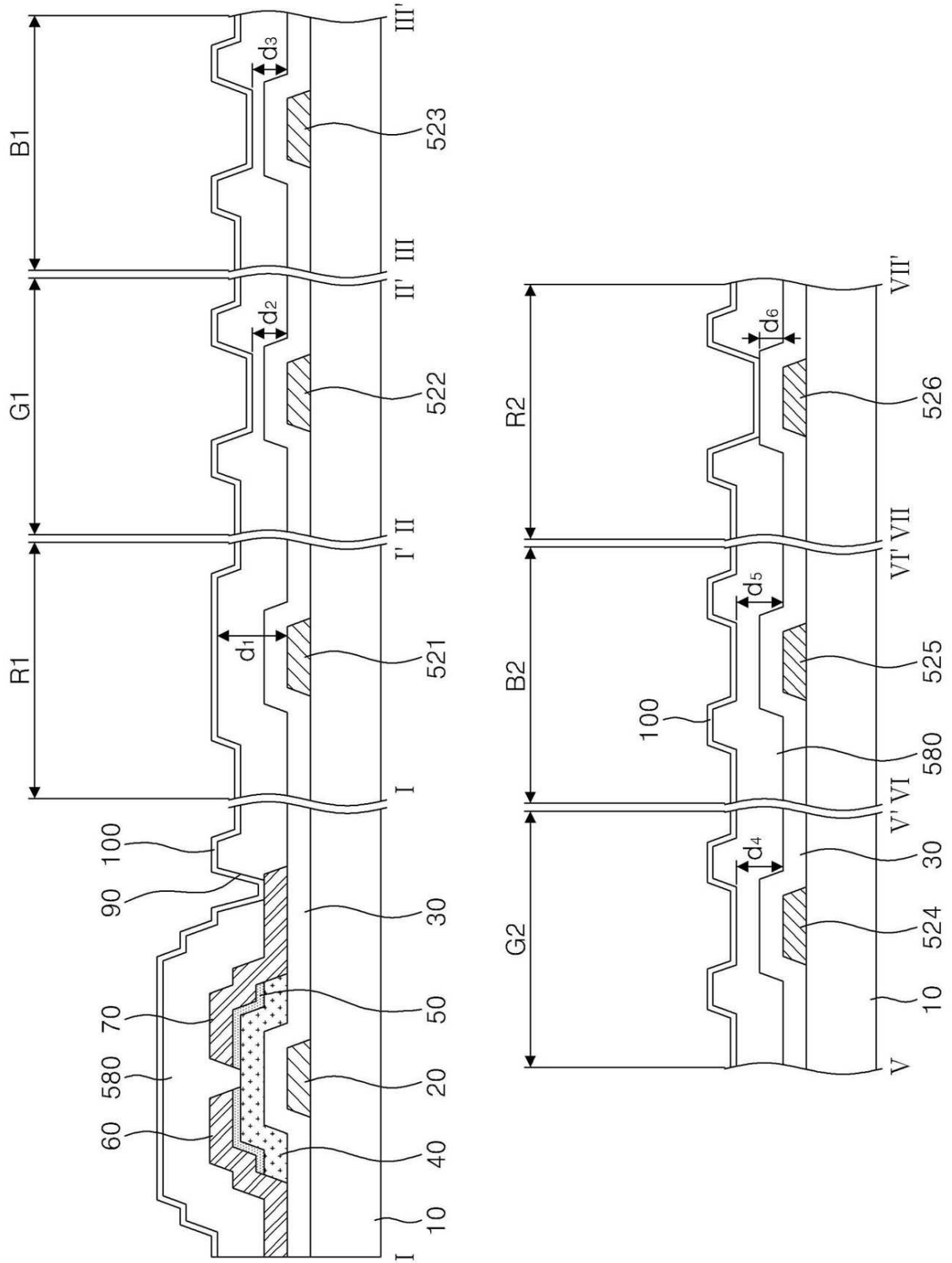
【図 20】



【図 2 1】



【図 2 2】



フロントページの続き

審査官 藤田 都志行

- (56)参考文献 特開2004-246190 (JP, A)
特開2004-133028 (JP, A)
特開平10-282527 (JP, A)
特開平9-22026 (JP, A)
特開平8-240812 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1368
G02F 1/1343

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4972526B2	公开(公告)日	2012-07-11
申请号	JP2007297295	申请日	2007-11-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	馬元錫		
发明人	馬 元 錫		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G09G3/3688 G02F1/136213 G02F1/136286 G02F2001/134345 G09G3/3607 G09G2300/0426 G09G2300/0452 G09G2300/0876 G09G2310/0297 G09G2320/0233 G09G2320/0242		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA22 2H092/GA23 2H092/JA26 2H092/JB03 2H092/JB56 2H092/JB65 2H092/JB66 2H092/JB69 2H092/NA01 2H192/AA24 2H192/AA45 2H192/BC02 2H192/BC31 2H192/CB05 2H192/CC04 2H192/DA12 2H192/DA62 2H192/EA22 2H192/EA43 2H192/EA68 2H192/FB06 2H192/GA43 2H192/GD06 2H192/HA44		
优先权	1020060112798 2006-11-15 KR		
其他公开文献	JP2008122972A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种防止垂直线噪声的液晶显示装置。液晶显示装置包括沿第N水平线以红色，绿色和蓝色的顺序重复排列的第一子像素，与第一子像素以Z字形图案形成的第一子像素，，以红色，蓝色和红色的顺序重复排列的第二子像素，沿水平线形成的栅极线，以及形成成为沿着Z字形子像素弯曲的栅极线，连接到栅极线和数据线的薄膜晶体管200，形成在每个子像素中并连接到薄膜晶体管的像素电极100，形成在每个子像素上的栅极绝缘膜，并且存储电极21至26通过将像素电极与保护膜重叠而形成存储电容器。红色第二子像素的存储电容器的容量等于红色第一子像素的电容。存储电容器。点域

$$C_{st} = \epsilon \frac{A}{d}$$