

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4880663号
(P4880663)

(45) 発行日 平成24年2月22日(2012.2.22)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int.Cl.

F I

G02F 1/1368 (2006.01)
G02F 1/1343 (2006.01)
G02F 1/1345 (2006.01)
G02F 1/133 (2006.01)
G09G 3/36 (2006.01)

G O 2 F 1/1368
 G O 2 F 1/1343
 G O 2 F 1/1345
 G O 2 F 1/133 5 6 O
 G O 2 F 1/133 5 5 O

請求項の数 11 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2008-301648 (P2008-301648)
 (22) 出願日 平成20年11月26日(2008.11.26)
 (65) 公開番号 特開2009-175705 (P2009-175705A)
 (43) 公開日 平成21年8月6日(2009.8.6)
 審査請求日 平成20年11月26日(2008.11.26)
 (31) 優先権主張番号 200810056545.9
 (32) 優先日 平成20年1月21日(2008.1.21)
 (33) 優先権主張国 中国 (CN)
 (31) 優先権主張番号 200810056896.X
 (32) 優先日 平成20年1月25日(2008.1.25)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 507134301
 北京京東方光電科技有限公司
 中華人民共和国北京經濟技術開發區西環中
 路8號
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 高 文賢
 中華人民共和国北京經濟技術開發區西環中
 路8號

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項 1】

薄膜トランジスタ液晶ディスプレイであって、
 所定の電圧を提供する外部共有電極線と、
 前記所定の電圧を維持する複数の画素共有電極線と、
 ゲート信号を提供する複数のゲート信号線と、
 前記複数のゲート信号線と交差配列して一行の複数の画素ユニットを画成し、データ信号を提供する複数のデータ信号線と、

それぞれ該複数の画素ユニットに設けられ、前記画素共有電極線と重なり合うことによってメモリーコンデンサが形成された複数の画素電極と、

そのゲート電極とソース電極が上の行のゲート信号線とつながり、そのドレイン電極が同一行の画素共有電極線とつながるように形成された複数の第1の薄膜トランジスタと、

そのゲート電極が同一行のゲート信号線とつながり、ソース電極が外部共有電極線とつながり、ドレイン電極が同一行の画素共有電極線とつながるように形成された複数の第2の薄膜トランジスタと、

を備えることを特徴とする薄膜トランジスタ液晶ディスプレイ。

【請求項 2】

前記第1の薄膜トランジスタのゲート電極とソース電極は、上の行のゲート信号線の第1端とつながり、ドレイン電極は、同一行の画素共有電極信号線の第1端とつながり、
 前記第2の薄膜トランジスタのゲート電極が同一行のゲート信号線とつながり、ソース

10

20

電極が外部共有電極信号線の第一端とつながり、ドレイン電極が同一行の画素共有電極信号線の第1端とつながり、

前記第1端がゲート駆動装置に接近する一端である請求項1に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項3】

複数の第3の薄膜トランジスタをさらに備え、

前記第3の薄膜トランジスタのゲート電極が同一行のゲート信号線の第2端とつながり、ソース電極が外部共有電極信号線とつながり、ドレイン電極が同一行の画素共有電極線の第2端とつながり、

前記第2端がゲート駆動装置から離れる一端である請求項2に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項4】

複数の第4の薄膜トランジスタをさらに備え、

前記第4の薄膜トランジスタのゲート電極とソース電極が上の行のゲート信号線の第2端とつながり、ドレイン電極が同一行の画素共有電極信号線の第2端とつながる請求項3に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項5】

複数の第4の薄膜トランジスタをさらに備え、

前記第4の薄膜トランジスタのゲート電極とソース電極が上の行のゲート信号線の第2端とつながり、ドレイン電極が同一行の画素共有電極信号線の第2端とつながり、

前記第2端がゲート駆動装置から離れる一端である請求項2に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項6】

前記第1の薄膜トランジスタのゲート電極とソース電極が上の行のゲート信号線の第1端とつながり、ドレイン電極が同一行の画素共有電極信号線の第1端とつながり、

前記第2の薄膜トランジスタのゲート電極が同一行のゲート信号線とつながり、ソース電極が外部共有電極信号線の第2端とつながり、ドレイン電極が同一行の画素共有電極信号線の第2端と連結する、

前記第1端がゲート駆動装置に接近する一端であり、前記第2端がゲート駆動装置から離れる一端である請求項1に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項7】

薄膜トランジスタ液晶ディスプレイであって、

所定の電圧を提供する外部共有電極信号線と、

前記所定の電圧を維持する複数の画素共有電極信号線と、

ゲート信号を提供する複数のゲート信号線と、

前記複数のゲート信号線と交差配列して一行となる複数の画素ユニットを画成し、データ信号を提供する複数のデータ信号線と、

複数の第1の薄膜トランジスタと、

複数の第2の薄膜トランジスタと、

複数の第3の薄膜トランジスタと、

複数の第4の薄膜トランジスタと、を備え、

一つの前記ゲート信号線の一端が一つの前記第1の薄膜トランジスタを介して該ゲート信号線の次の行の画素共有電極信号線とつながり、

前記外部共有電極信号線が一つの前記第2の薄膜トランジスタを介して前記画素共有電極信号線の一端とつながり、

前記画素共有電極信号線他端が一つの前記第3の薄膜トランジスタを介して前記外部共有電極信号線とつながり、

一つの前記ゲート信号線他端が一つの前記第4の薄膜トランジスタを介して該ゲート信号線の次の行の前記画素共有電極信号線他端とつながる薄膜トランジスタ液晶ディスプレイ。

10

20

30

40

50

【請求項 8】

前記第1の薄膜トランジスタのゲート電極とソース電極がゲート信号線とつながり、ドレイン電極が前記ゲート信号線の次の行の画素共有電極信号線とつながる請求項7に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 9】

前記第2の薄膜トランジスタのゲート電極とソース電極が外部共有電極信号線とつながり、ドレイン電極が前記ゲート信号線の次の行の画素共有電極信号線とつながる請求項7に記載の薄膜トランジスタ液晶ディスプレイ。

【請求項 10】

前記第3の薄膜トランジスタのゲート電極とソース電極が外部共有電極信号線とつながり、ドレイン電極が該ゲート信号線の次の行の画素共有電極信号線他端とつながる請求項7に記載の薄膜トランジスタ液晶ディスプレイ。

10

【請求項 11】

前記第4の薄膜トランジスタのゲート電極とソース電極がゲート信号線他端とつながり、ドレイン電極が該ゲート信号線の次の行の画素共有電極信号線他端とつながる請求項7に記載の薄膜トランジスタ液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ液晶ディスプレイに関する。

20

【背景技術】

【0002】

薄膜トランジスタ液晶ディスプレイ(Thin Film Transistor Liquid Crystal Display、TFT-LCDと略称する)は、体積が小さく、消費電力が低く、輻射がないなどの特徴を具備し、十数年来、急速に発展し、かつ、寸法が益々大きくなっており、顯示効果も益々良くなってきた。現在の薄膜トランジスタ液晶ディスプレイは、一般的に常白モデルとの設計を採用する。即ち、画素電極に電圧が印加されるとき、ブラック画面が現れ、電圧が印加されていないとき、光が透過できることを維持する、との設計である。

【0003】

図9は従来のTFT LCD駆動回路の概略図である。図9に示されたように、各ユニット画素のスイッチ素子である薄膜トランジスタ(TFT)がオンとすると、データ信号は該TFTを介して画素電極に伝送される。画素電極に印加された電圧が液晶セル内の液晶分子の配向をコントロールし、これによって、光の通過をコントロールするという目的を達成する。そのとき、1つのフレームを走査する時間内に、画素電極と画素共有電極信号線によって形成されたメモリーコンデンサ(Cst)でその画素電圧を維持する。TFT LCDを駆動する過程で、TFTが順にオンとするとともに、データ信号も順に画素内部に取り入れる。即ち、第n行のゲート信号線に高圧信号(Vgh)が印加されると、第n行のTFTがONとなり、他の各行のゲート信号線にいずれも低圧信号(Vgl)が印加され、それらの行にあるTFTが遮断するようになり、Cstにより画素に既にメモリした電圧値を維持する。

30

【0004】

40

図10は従来のTFT LCD設計に、共有電極によってメモリーコンデンサ(Cst on Common)を形成するとの設計の概略図である。ゲート信号線1とデータ信号線2が交差して画素領域を画成し、画素領域に画素電極5が形成された。ゲート信号線1、データ信号線2及び画素電極5は三端スイッチ素子TFTを介してつながる。メモリーコンデンサを形成するため、画素共有電極信号線4が形成された。この画素共有電極信号線4は、ゲート信号線1に平行して延び、かつ、同一行にある各画素電極と部分的に重なり合う。従来のCst on Commonの設計方式において、画素共有電極信号線4は直接にスクリーン周辺の外部共有電極信号線3とつながる。そのため、作動されている状態で、その画素がオンか否かに関わらず、Cstを形成する画素共有電極線に全て共有電極と同じ電圧が印加された。画素電極5が充電された後、画素上の電圧(データ)が、次のフレームに該画素に改めて充電するまで維持す

50

る。次のフレームの画面が変わるとき、画面のデータは元の画面に基づいて更新される。具体的に、即ち、第 n 行が駆動された後、第 $n + 1$ 行の画素をオンとなる直前、第 $n + 1$ 行の画素が元の顯示情報を保留しているため、視覚残留現象をもたらし、運動画像のストリーク現象が形成される。

【 0 0 0 5 】

そのため、従来の薄膜トランジスタ液晶ディスプレイの顯示効果は、既にあるガンマに基づいて画面を更正するため、視覚残留をもたらし、運動画像の暈ける現象或は運動画像のストリーク現象が形成される。その現象も応答速度が遅くなり、画面の品質に影響を与える。

【 0 0 0 6 】

10

そのほかに、ゲート信号に遅延があるため、ゲート信号線の抵抗が所定の範囲内に収まると要求される。即ち、所定の配線の幅が要求される。セル化設計するとき、カラーフィルム (CF) の基板上の遮光バーでゲート信号線と画素共有電極線を遮蔽する必要がある。そのため、該配線の幅が画素の開口率に影響し、開口率が光線の通過効率を直接に影響する。開口率が高いほど光線の通過効率も高くなる。そのため、従来の薄膜トランジスタ液晶ディスプレイにおいて、ゲートリードの信号遅延を下げるように、ゲート信号線の幅の増加と、画素の開口率の増加とは矛盾である。大きなゲートリードの幅を実現するとともに、大きな画素の開口率を実現することは難しい。

【 発明の開示 】

【 課題を解決するための手段 】

20

【 0 0 0 7 】

本発明の一つの実施例に薄膜トランジスタ液晶ディスプレイが提供された。該薄膜トランジスタ液晶ディスプレイは、所定の電圧を提供する外部共有電極線と、前記所定の電圧を維持する複数の画素共有電極線と、ゲート信号を提供する複数のゲート信号線と、前記複数のゲート信号線と交差配列して一行の複数の画素ユニットを画成し、データ信号を提供する複数のデータ信号線と、それぞれ該複数の画素ユニットに設けられ、前記画素共有電極線と重なり合うことによってメモリーコンデンサが形成された複数の画素電極と、そのゲート電極とソース電極が上の行のゲート信号線とつながり、そのドレイン電極が同一行の画素共有電極線とつながるように形成された複数の第1の薄膜トランジスタと、そのゲート電極が同一行のゲート信号線とつながり、ソース電極が外部共有電極線とつながり、ドレイン電極が同一行の画素共有電極線とつながるように形成された複数の第2の薄膜トランジスタと、を備える。

30

【 0 0 0 8 】

本発明のもう一つの実施例において、薄膜トランジスタ液晶ディスプレイが提供された。該薄膜トランジスタ液晶ディスプレイは、所定の電圧を提供する外部共有電極信号線と、前記所定の電圧を維持する複数の画素共有電極信号線と、ゲート信号を提供する複数のゲート信号線と、前記複数のゲート信号線と交差配列して一行となる複数の画素ユニットを画成し、データ信号を提供する複数のデータ信号線と、複数の第1の薄膜トランジスタと、複数の第2の薄膜トランジスタと、複数の第3の薄膜トランジスタと、複数の第4の薄膜トランジスタと、を備え、一つの前記ゲート信号線の一端が一つの前記第1の薄膜トランジスタを介して該ゲート信号線の次の行の画素共有電極信号線とつながり、前記外部共有電極信号線が一つの前記第2の薄膜トランジスタを介して前記画素共有電極信号線の一端とつながり、前記画素共有電極信号線他端が一つの前記第3の薄膜トランジスタを介して前記外部共有電極信号線とつながり、一つの前記ゲート信号線他端が一つの前記第4の薄膜トランジスタを介して該ゲート信号線の次の行の前記画素共有電極信号線他端とつながる。

40

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

以下、図面と実施例に基づき、本発明の技術案について更に詳しく説明する。

【 0 0 1 0 】

50

下記の実施例に述べられた第1端はパネルにあるゲート駆動装置7に近接する一端であり、第2端はパネルにあるゲート駆動装置7から離れる一端である。

[実施例1]

【0011】

図1は本発明の薄膜トランジスタ液晶ディスプレイの第1の実施例の駆動回路の概略図である。図1に示されたように、該薄膜トランジスタ液晶ディスプレイは、所定の電圧を提供する外部共有電極線3と、所定の電圧を維持する複数の画素共有電極線4と、ゲート信号を提供する複数のゲート信号線1と、複数のゲート信号線と交差配列して一行となる複数の画素を画成し、データ信号を提供する複数のデータ信号線2と、複数の画素電極5と、複数の第1の薄膜トランジスタ11と、複数の第2の薄膜トランジスタ12と、を備え、各画素電極5が隣接するゲート信号線1と隣接するデータ信号線2との間の画素に設けられ、例えば、薄膜トランジスタ6のドレイン電極とつながり、画素電極5が同一行の画素共有電極線4と重なり合ってメモリーコンデンサを形成する。各第1の薄膜トランジスタ11のゲート電極とソース電極が上の行のゲート信号線1の第1端とつながり、ドレイン電極が同一行の画素共有電極線4の第1端とつながる。各第2の薄膜トランジスタ12のゲート電極が同一行のゲート信号線1の第1端とつながり、ソース電極が外部共有信号線3とつながり、ドレイン電極が同一行の画素共有電極信号線4の第1端とつながる。図の中に、ゲート信号線をコントロールするゲート駆動装置7は右側に設けられ、データ信号線をコントロールするデータ駆動装置8は上側に設けられた。しかしながら、このような配置は必須ではない。

【0012】

第 $n-1$ 、 n 、 $n+1$ 行の画素を例として説明する。第 n 行をオンとするとき、即ち、ゲート信号線に高圧信号(V_{gh})が印加されるとき、第 n 行の画素電極5はデータ信号線2からのデータ信号を取入れる。他の各行はみな低圧信号(V_{gl})によりコントロールされているため、第 n 行の第1の薄膜トランジスタ11が遮断され、第2の薄膜トランジスタ12が作動される。そのため、第 n 行のメモリーコンデンサ(C_{st})の画素共有電極信号線4は、相変わらず第2の薄膜トランジスタ12を通して外部共有電極3によって共有電圧を印加する。第 n 行の画素が通常の充電過程をして仕事をする。そのとき、第 $n+1$ 行の第1の薄膜トランジスタ11が接続される。即ち、第 $n+1$ 行のメモリーコンデンサ(C_{st})の画素共有電極線4に同様に高圧信号(V_{gh})が印加される。言い換えれば、第 n 行が作動されているとき、第 $n+1$ 行をオンとする直前に、予め第 n 行から第 $n+1$ 行のメモリーコンデンサ(C_{st})の画素共有電極線4に高圧を印加した。そのため、第 $n+1$ 行の画素が作動される前に、ブラック画面が形成され、それによって、運動画像の量ける現象を減少することができる。

【0013】

本発明の行毎にブラックデータを挿入する駆動方式によって、LCDディスプレイ・モジュールを駆動することは、一行の画素の画面が更新する前に、先に画面を「クリア」することができる。即ち、グレー画像からブラック画像にリセットする。それによって、視覚残留現象により引起されたストリーク現象を除去できる。

[実施例2]

【0014】

図2は本発明の薄膜トランジスタ液晶ディスプレイの第2実施例の駆動回路の概略図である。実施例1に比べると、本発明の薄膜トランジスタ液晶ディスプレイが、更に複数の第3の薄膜トランジスタ13を含む。各該第3の薄膜トランジスタ13のゲート電極が同一行のゲート信号線1の第2端とつながり、ソース電極が外部共有信号線3とつながり、ドレイン電極が同一行の画素共有電極信号線4の第2端とつながり、第3の薄膜トランジスタ13と第2の薄膜トランジスタ12が同じ作用をする。

【0015】

第 $n-1$ 、 n 、 $n+1$ 行の画素を例として説明する。第 n 行をオンとするとき、即ち、ゲート信号線に高圧信号(V_{gh})が印加されるとき、第 n 行の画素電極5はデータ信号線2からのデータ信号を取入れる。他の各行はみな低圧信号(V_{gl})によりコントロールされているため、第 n 行の第1の薄膜トランジスタ11が遮断され、第2の薄膜トランジスタ12と第

3の薄膜トランジスタ13が作動される。そのため、第 n 行のメモリーコンデンサ(Cst)の画素共有電極信号線4は、相変らず第2の薄膜トランジスタ12と第3の薄膜トランジスタ13を通して外部共有電極3によって共有電圧を印加する。第 n 行の画素が通常の充電過程をして仕事をする。そのとき、第 $n+1$ 行の第1の薄膜トランジスタ11が接続される。即ち、第 $n+1$ 行のメモリーコンデンサ(Cst)の画素共有電極線4に同様に高圧信号(Vgh)が印加される。言い換えれば、第 n 行が作動されているとき、第 $n+1$ 行をオンとする直前に、予め第 n 行から第 $n+1$ 行のメモリーコンデンサ(Cst)の画素共有電極線4に高圧を印加した。そのため、第 $n+1$ 行の画素が作動される前に、ブラック画面が形成され、それによって、運動画像の暈ける現象を減少することができる。

【0016】

10

本発明の行毎にブラックデータを挿入する駆動方式によって、LCDディスプレイ・モジュールを駆動することは、一行の画素の画面が更新する前に、先に画面を「クリア」することができる。即ち、グレー画像からブラック画像にリセットする。それによって、視覚残留現象により引起されたストリーク現象を除去できる。

[実施例3]

【0017】

図3は本発明の薄膜トランジスタ液晶ディスプレイの第3実施例の駆動回路の概略図である。実施例1に比べると、本発明の薄膜トランジスタ液晶ディスプレイが、複数の第4の薄膜トランジスタ14を更に含む。各第4の薄膜トランジスタ14のゲート電極とソース電極が上の行のゲート信号線1の第2端とつながり、ドレイン電極が同一行の画素共有電極線4の第2端とつながり、第4の薄膜トランジスタ14と第1の薄膜トランジスタ11が同じ作用をする。

20

【0018】

第 $n-1$ 、 n 、 $n+1$ 行の画素を例として説明する。第 n 行をオンとするとき、即ち、ゲート信号線に高圧信号(Vgh)が印加されるとき、第 n 行の画素電極5はデータ信号線2からのデータ信号を取入れる。他の各行はみな低圧信号(Vgl)によりコントロールされているため、第 n 行の第1の薄膜トランジスタ11と第4の薄膜トランジスタ14が遮断され、第2の薄膜トランジスタ12が作動される。そのため、第 n 行のメモリーコンデンサ(Cst)の画素共有電極信号線4は、相変らず第2の薄膜トランジスタ12を通して外部共有電極3によって共有電圧を印加する。第 n 行の画素が通常の充電過程をして仕事をする。そのとき、第 $n+1$ 行の第1の薄膜トランジスタ11と第4の薄膜トランジスタ14が接続される。即ち、第 $n+1$ 行のメモリーコンデンサ(Cst)の画素共有電極線4に同様に高圧信号(Vgh)が印加される。言い換えれば、第 n 行が作動されているとき、第 $n+1$ 行をオンとする直前に、予め第 n 行から第 $n+1$ 行のメモリーコンデンサ(Cst)の画素共有電極線4に高圧を印加した。そのため、第 $n+1$ 行の画素が作動される前に、ブラック画面が形成され、それによって、運動画像の暈ける現象を減少することができる。

30

【0019】

本発明の行毎にブラックデータを挿入する駆動方式によって、LCDディスプレイ・モジュールを駆動することは、一行の画素の画面が更新する前に、先に画面を「クリア」することができる。即ち、グレー画像からブラック画像にリセットする。それによって、視覚残留現象により引起されたストリーク現象を除去できる。

40

[実施例4]

【0020】

図4は本発明の薄膜トランジスタ液晶ディスプレイの第4実施例の駆動回路の概略図である。実施例1に比べると、本発明の薄膜トランジスタ液晶ディスプレイが、複数の第3の薄膜トランジスタ13と複数の第4の薄膜トランジスタ14とを更に含む。各第3の薄膜トランジスタ13のゲート電極が同一行のゲート信号線1の第2端とつながり、ソース電極が外部共有電極線3とつながり、ドレイン電極が同一行の画素共有電極線4の第2端とつながる。各第4の薄膜トランジスタ14のゲート電極とソース電極が上の行のゲート信号線1の第2端とつながり、ドレイン電極が画素共有電極線4の第2端とつながり、そのとき、第1の薄膜トラン

50

ジスタ11と第4の薄膜トランジスタ14が同じ作用をし、第2の薄膜トランジスタ12と第3の薄膜トランジスタ13が同じ作用をする。

【0021】

第 $n-1$ 、 n 、 $n+1$ 行の画素を例として説明する。第 n 行をオンとするとき、即ち、ゲート信号線に高圧信号(V_{gh})が印加されるとき、第 n 行の画素電極5はデータ信号線2からのデータ信号を取入れる。他の各行はみな低圧信号(V_{gl})によりコントロールされているため、第 n 行の第1の薄膜トランジスタ11と第4の薄膜トランジスタ14が遮断され、第2の薄膜トランジスタ12と第3の薄膜トランジスタ13が作動される。そのため、第 n 行のメモリーコンデンサ(C_{st})の画素共有電極信号線4は、相変わらず第2の薄膜トランジスタ12と第3のトランジスタ13を通して外部共有電極3によって共有電圧を印加する。第 n 行の画素が通常の充電過程をして仕事をする。そのとき、第 $n+1$ 行の第1の薄膜トランジスタ11と第4の薄膜トランジスタ14が接続される。即ち、第 $n+1$ 行のメモリーコンデンサ(C_{st})の画素共有電極線4に同様に高圧信号(V_{gh})が印加される。言い換えれば、第 n 行が作動されているとき、第 $n+1$ 行をオンとする直前に、予め第 n 行から第 $n+1$ 行のメモリーコンデンサ(C_{st})の画素共有電極線4に高圧を印加した。そのため、第 $n+1$ 行の画素が作動される前に、ブラック画面が形成され、それによって、運動画像の量ける現象を減少することができる。

10

【0022】

本発明の行毎にブラックデータを挿入する駆動方式によって、LCDディスプレイ・モジュールを駆動することは、一行の画素の画面が更新する前に、先に画面を「クリア」することができる。即ち、グレー画像からブラック画像にリセットする。それによって、視覚残留現象により引起されたストリーク現象を除去できる。

20

[実施例5]

【0023】

図5は本発明にかかる薄膜トランジスタ液晶ディスプレイの第5の実施例による駆動回路の概略図である。図5に示されたように、該薄膜トランジスタ液晶ディスプレイは、所定の電圧を提供する外部共有電極線3と、所定の電圧を維持する複数の画素共有電極線4と、ゲート信号を提供する複数のゲート信号線1と、複数のゲート信号線と交差配列して一行となる複数の画素ユニットを画成し、データ信号を提供する複数のデータ信号線2と、複数の画素電極5と、複数の第1の薄膜トランジスタ11と、複数の第3の薄膜トランジスタ13と、を備える。各画素電極5が隣接するゲート信号線1と隣接するデータ信号線2との間に設けられ、薄膜トランジスタのドレイン電極とつながる。画素電極5が画素共有電極線4と重なり合ってメモリーコンデンサを形成する。各第1の薄膜トランジスタ11のゲート電極とソース電極が上の行のゲート信号線1の第1端とつながり、ドレイン電極が同一行の画素共有電極信号線4の第1端とつながる。各第3の薄膜トランジスタ13のゲート電極が同一行のゲート信号線1の第2端とつながり、ソース電極が外部共有電極線3とつながり、ドレイン電極が同一行の画素共有電極線4の第2端とつながる。

30

【0024】

第 $n-1$ 、 n 、 $n+1$ 行の画素を例として説明する。第 n 行をオンとするとき、第 n 行の第1の薄膜トランジスタ11が遮断され、第3の薄膜トランジスタ13が作動されるため、第 n 行のメモリーコンデンサ(C_{st})の画素共有電極線4が、第3の薄膜トランジスタ13を通して外部共有電極3によって共有電圧を印加し、第 n 行画素が通常の充電過程をして仕事をする。そのとき、第 $n+1$ 行の第1の薄膜トランジスタ11が接続される。即ち、第 $n+1$ 行のメモリー容量(C_{st})の画素共有電極線4に同様に高圧信号(V_{gh})が印加される。言い換えれば、第 n 行が作動されているとき、第 $n+1$ 行をオンとする直前に、予め第 n 行から第 $n+1$ 行のメモリー容量(C_{st})の画素共有電極線4に高圧を印加した。そのため、第 $n+1$ 行の画素が作動される前に、ブラック画面が形成され、それによって、運動画像の量ける現象を下げることができる。

40

[実施例6]

【0025】

50

図6は本発明にかかる薄膜トランジスタ液晶ディスプレイの第6の実施例による駆動回路の概略図である。図6に示されたように、該薄膜トランジスタ液晶ディスプレイは、所定の電圧を提供する外部共有電極線3と、所定の電圧を維持する複数の画素共有電極線4と、ゲート信号を提供する複数のゲート信号線1と、複数のゲート信号線と交差配列して一行となる複数の画素ユニットを画成し、データ信号を提供する複数のデータ信号線2と、複数の画素電極5と、複数の第2の薄膜トランジスタ12と、複数の第4の薄膜トランジスタ14と、を備える。各画素電極5が隣接するゲート信号線1と隣接するデータ信号線2との間に設けられ、薄膜トランジスタのドレイン電極とつながる。画素電極5が画素共有電極線4と重なり合ってメモリーコンデンサを形成する。各第2の薄膜トランジスタ11のゲート電極が同一行のゲート信号線1の第1端とつながり、ソース電極が外部共有電極線3とつながり、ドレイン電極が同一行の画素共有電極線4の第1端とつながる。各第4の薄膜トランジスタ14のゲート電極とソース電極が上の行のゲート信号線1の第2端とつながり、ドレイン電極が同一行の画素共有電極線4の第2端とつながる

【0026】

第 $n-1$ 、 n 、 $n+1$ 行の画素を例として説明する。第 n 行をオンとするとき、第 n 行の第4の薄膜トランジスタ14が遮断され、第2の薄膜トランジスタ12が作動されるため、第 n 行のメモリーコンデンサ(Cst)の画素共有電極線4が、第2の薄膜トランジスタ12を通過して外部共有電極3によって共有電圧を印加し、第 n 行画素が通常の充電過程をして仕事をする。そのとき、第 $n+1$ 行の第4の薄膜トランジスタ14が接続される。即ち、第 $n+1$ 行のメモリー容量(Cst)の画素共有電極線4に同様に高圧信号(Vgh)が印加される。言い換えれば、第 n 行が作動されているとき、第 $n+1$ 行をオンとする直前に、予め第 n 行から第 $n+1$ 行のメモリー容量(Cst)の画素共有電極線4に高圧を印加した。そのため、第 $n+1$ 行の画素が作動される前に、ブラック画面が形成され、それによって、運動画像の量ける現象を下げることができる。

[実施例7]

【0027】

図7は、本発明にかかる薄膜トランジスタ液晶ディスプレイの第7実施例による駆動回路の概略図である。図7に示されたように、実施例4に比べると、区別の特徴は以下の通りである。即ち、本実施例は第3の薄膜トランジスタ13と第4の薄膜トランジスタ14のみを採用して、第1の薄膜トランジスタ11と第2の薄膜トランジスタ12を採用しなくとも、一行の画素の画面が更新する前に、画面を「クリア」することを実現できる。即ち、グレー画像からブラック画像にリセットすることによって、視覚残留現象により起こされたストリーク現象を除去できる。しかしながら、第3の薄膜トランジスタ13と第4の薄膜トランジスタ14は、ゲート駆動装置から離れるため、画素共有電極線4のリードが配線距離の増加によって、信号の遅延が発生する。そのため、本実施例の技術案が実現できるが、画面のフリッカー現象が発生する可能性がある。

[実施例8]

【0028】

図8に示されたように、図8は本発明の薄膜トランジスタ液晶ディスプレイの構成概略図である。所定の電圧を提供する外部共有電極線3と、所定の電圧を維持する複数の画素共有電極線4と、ゲート信号を提供する複数のゲート信号線1と、複数のゲート信号線と交差配列して一行となる複数の画素ユニットを画成し、データ信号を提供する複数のデータ信号線2と、複数の第1の薄膜トランジスタ11と、複数の第2の薄膜トランジスタ12と、複数の第3の薄膜トランジスタ13と、複数の第4の薄膜トランジスタ14と、を備える。一つのゲート信号線1の一端が一つの第1の薄膜トランジスタ11を介して該ゲート信号線の次の行の画素共有電極線4とつながり、外部共有電極線3が一つの第2の薄膜トランジスタ12を介して画素共有電極線4の一端とつながり、画素共有電極線4の他端が一つの第3の薄膜トランジスタ13を介して外部共有電極線3とつながり、一つのゲート信号線1の他端が一つの第4の薄膜トランジスタ14を介して該ゲート信号線の次の行の画素共有電極線4の他端とつながる。

【0029】

更に、図8に示されたように、本実施例において、第1の薄膜トランジスタ11のゲート電極、ソース電極がゲート信号線1とつながり、ドレイン電極が該ゲート信号線の次の行の画素共有電極線4とつながり、第2の薄膜トランジスタ12のゲート電極とソース電極が外部共有信号線3とつながり、ドレイン電極が画素共有電極線4とつながる。且つ、本実施例において、第3の薄膜トランジスタ13のゲート電極とソース電極が外部共有信号線3とつながり、ドレイン電極が画素共有電極信号線4の他端とつながり、第4の薄膜トランジスタ14のゲート電極とソース電極がゲート信号線1の他端とつながり、ドレイン電極が該ゲート信号線の下の行の画素共有電極信号線4の他端とつながる。

【0030】

第 $n-1$ 、 n 、 $n+1$ 行の画素を例として説明する。第 $n-1$ 行をオンとするとき、即ち、第 $n-1$ 行のゲート信号線1に高圧信号(V_{gh})が印加されるとき、第 n 行の第1の薄膜トランジスタ11が接続される。そのとき、第 n 行のメモリーコンデンサ(C_{st})の画素共有電極信号線にも同様な高圧信号(V_{gh})が印加される。その信号とゲート信号線1の信号とともにスクリーンの最も右端に伝送する。そのとき、第4の薄膜トランジスタ14も作動し始める。そのため、ゲート信号線1入力端が第1の薄膜トランジスタ11を通して該ゲート信号線の次の行の画素共有電極線4とつながって第4の薄膜トランジスタ14通ってゲート信号線1の出力端とつながり、もう一本のリードが形成する。二本のリードが同じ電位を形成する。二本のリードが同時にゲート信号を伝導することは、信号通路の抵抗を下げることに相当する。第 n 行に高圧信号(V_{gh})が印加されるとき、他の各行はみな低圧信号(V_{gl})によりコントロールされているから、第 n 行の第2の薄膜トランジスタ12が作動し、スクリーンの最も右端の第 n 行の第3の薄膜トランジスタ13も同時に作動する。そのとき、第 $n+1$ 行の第1の薄膜トランジスタ11とスクリーンの最も右端の第 $n+1$ 行の第4の薄膜トランジスタ14が遮断される。そのため、パネルの両側に設けられた2つの外部共有電極線3の間には、第 $n+1$ 行の第3の薄膜トランジスタ13と第2の薄膜トランジスタ12を通して画素共有電極4と接続される。第 n 行のメモリーコンデンサの電極に相変らず外部共有電極信号線の電圧が印加され、第 n 行が通常の充電過程をすることができる。

【0031】

要するに、高圧信号としてのゲート信号がある行に印加するとき、その行の伝送ゲート信号の二本のリードは、一本が元のゲート信号線1、他本が下の行の画素共有電極4である。それは第1の薄膜トランジスタ11と第4の薄膜トランジスタ14を通して元のゲート信号線1とつながる。ゲート信号が低圧信号であるとき、第1の薄膜トランジスタ11と第4の薄膜トランジスタ14が遮断の状態である。外部共有電極信号線3が第2の薄膜トランジスタ12、第3の薄膜トランジスタ13と画素共有電極信号線4によってつながり、メモリーコンデンサの共有電極を形成する。

【0032】

上記構造及び方法は性能上にゲートリードの抵抗を下げ、信号ディレーの影響を下げるということを有効に実現した。ゲートリードの信号ディレーの影響を下げるために、リードの幅と画素開口率の増加との矛盾をより良く解決した。

【0033】

最後に、上記実施例は本発明の技術案を説明することのみの用い、それを限定するものではない。前記実施例を参照して本発明について詳しく説明したが、当業者は以下のことを理解すべきである。即ち、前記各実施例に記載された技術案について更正でき、又はその中の一部の技術的特徴を切り替えることができる。且つ、その更正又は切り替えが、対応する技術案の本質を本発明の各実施例の技術案の要旨と範囲から逸脱することがない。

【図面の簡単な説明】

【0034】

【図1】本発明の薄膜トランジスタ液晶ディスプレイの第1実施例の駆動回路の概略図である。

【図2】本発明の薄膜トランジスタ液晶ディスプレイの第2実施例の駆動回路の概略図で

ある。

【図3】本発明の薄膜トランジスタ液晶ディスプレイの第3実施例の駆動回路の概略図である。

【図4】本発明の薄膜トランジスタ液晶ディスプレイの第4実施例の駆動回路の概略図である。

【図5】本発明の薄膜トランジスタ液晶ディスプレイの第5実施例の駆動回路の概略図である。

【図6】本発明の薄膜トランジスタ液晶ディスプレイの第6実施例の駆動回路の概略図である。

【図7】本発明の薄膜トランジスタ液晶ディスプレイの第7実施例の駆動回路の概略図である。 10

【図8】本発明の薄膜トランジスタ液晶ディスプレイの構成概略図である。

【図9】従来技術TFT LCDの駆動回路の概略図である。

【図10】従来技術TFT LCD設計のCst on Common設計概略図である。

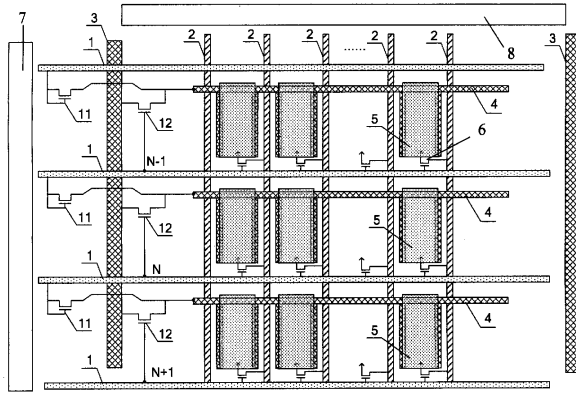
【符号の説明】

【0035】

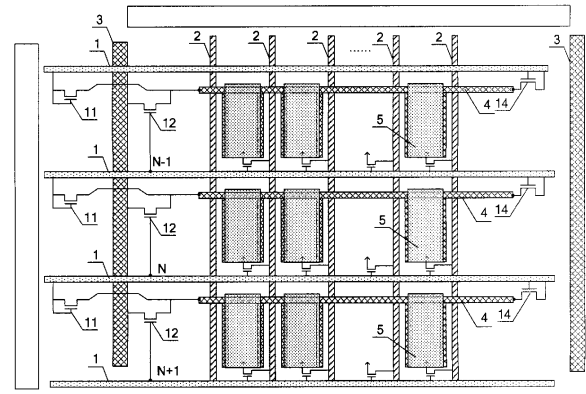
- | | |
|----|-------------|
| 1 | ゲート信号線 |
| 2 | データ信号線 |
| 3 | 外部共有電極信号線 |
| 4 | 画素共有電極信号線 |
| 5 | 画素電極 |
| 6 | 薄膜トランジスタ |
| 11 | 第1の薄膜トランジスタ |
| 12 | 第2の薄膜トランジスタ |
| 13 | 第3の薄膜トランジスタ |
| 14 | 第4の薄膜トランジスタ |

20

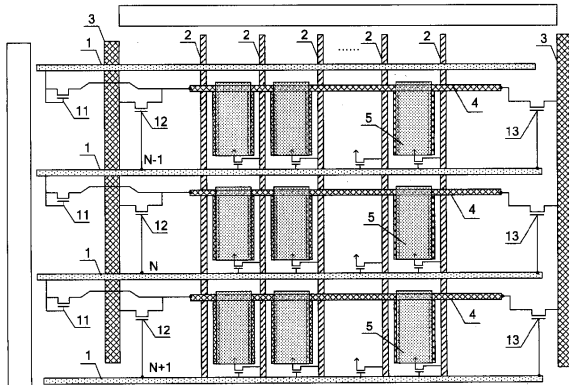
【図 1】



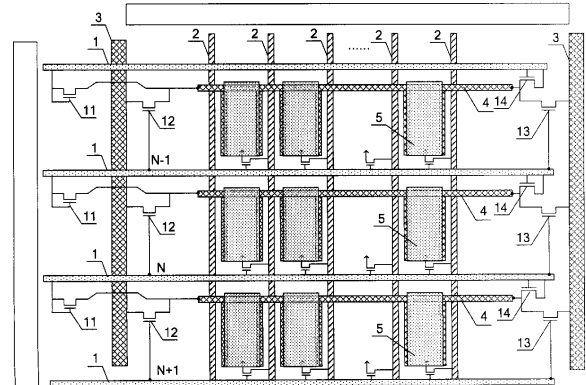
【図 3】



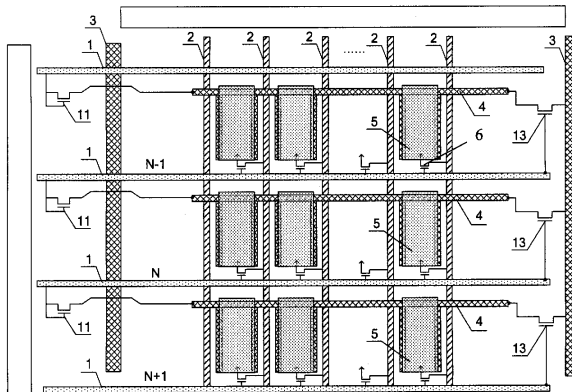
【図 2】



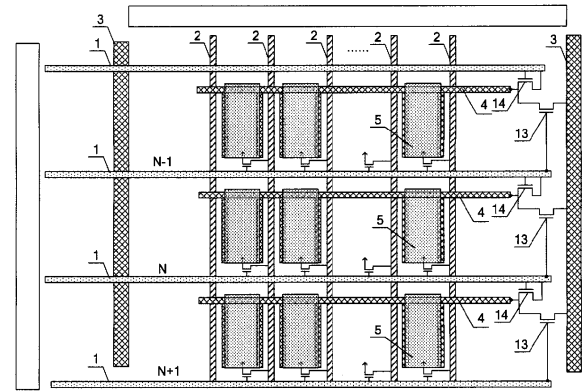
【図 4】



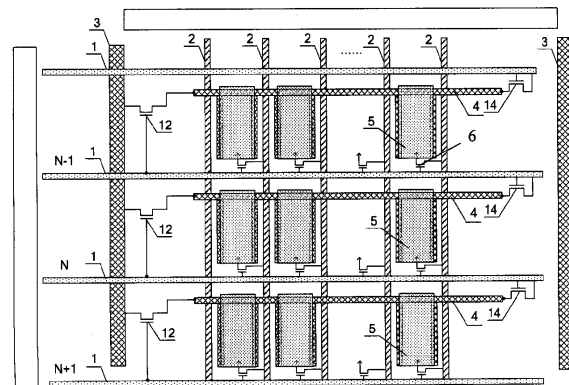
【図 5】



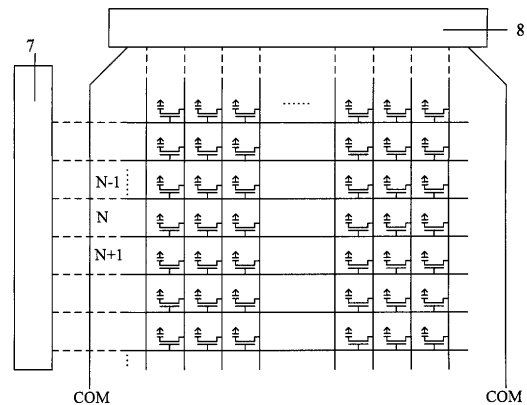
【図 7】



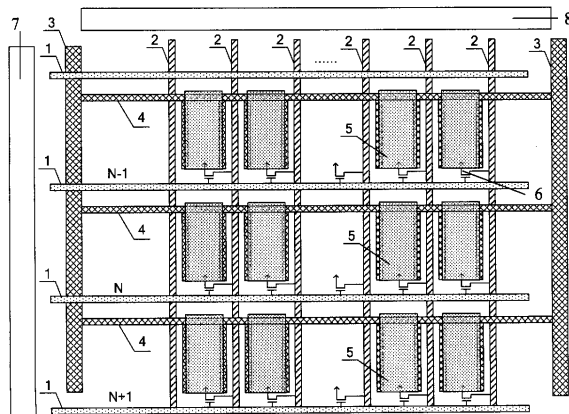
【図 6】



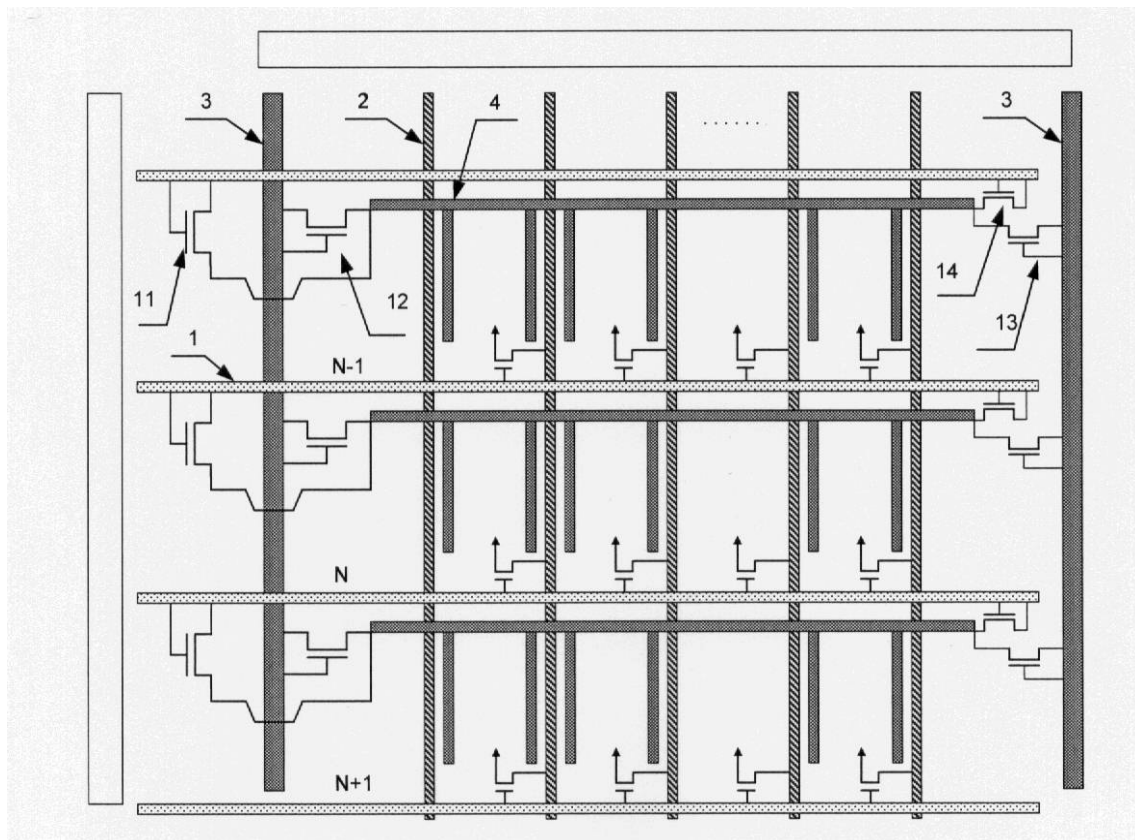
【図 9】



【図 10】



【図 8】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 (2006.01) G 0 9 G 3/36
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/20 6 2 4 D
 G 0 9 G 3/20 6 6 0 V
 G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 2 2 C
 G 0 9 G 3/20 6 2 2 D

(72)発明者 殷 新▲社▼
 中華人民共和国北京經濟技術開發區西環中路8號
 (72)発明者 ▲肖▼ 向春
 中華人民共和国北京經濟技術開發區西環中路8號

審査官 右田 昌士

(56)参考文献 特開平06-313876(JP,A)
 特開2002-196358(JP,A)
 特開平08-179360(JP,A)
 米国特許出願公開第2004/0022815(US,A1)
 特開2007-171969(JP,A)
 特開2005-115338(JP,A)
 特開2001-195034(JP,A)
 特開2004-061243(JP,A)
 特開平09-258263(JP,A)

(58)調査した分野(Int.Cl.,DB名)
 G 0 2 F 1 / 1 3 6 8
 G 0 2 F 1 / 1 3 3
 G 0 2 F 1 / 1 3 4 3
 G 0 2 F 1 / 1 3 4 5
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 6

专利名称(译)	薄膜晶体管液晶显示器		
公开(公告)号	JP4880663B2	公开(公告)日	2012-02-22
申请号	JP2008301648	申请日	2008-11-26
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	高文寶 殷新社 肖向春		
发明人	高 文寶 殷 新▲社▼ ▲肖▼ 向春		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/1345 G02F1/136213 G02F2001/133397 G09G3/3655 G09G2300/0426 G09G2310/061 G09G2320/0223 G09G2320/0261		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/133.560 G02F1/133.550 G09G3/36 G09G3/20.680.G G09G3/20.624.D G09G3/20.660.V G09G3/20.624.B G09G3/20.622.C G09G3/20.622.D		
F-TERM分类号	2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB64 2H092/JB69 2H092/NA05 2H092/NA07 2H092 /PA06 2H192/AA24 2H192/DA12 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZA09 2H193/ZE02 2H193/ZF21 2H193/ZP03 5C006/AC22 5C006/AC25 5C006/AF59 5C006/BB16 5C006/BC06 5C006 /BF49 5C006/FA29 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE19 5C080/FF11 5C080/JJ02 5C080/JJ06		
代理人(译)	渡边 隆 村山彦		
优先权	200810056545.9 2008-01-21 CN 200810056896.X 2008-01-25 CN		
其他公开文献	JP2009175705A		
外部链接	Espacenet		

摘要(译)

要解决的问题：采用其中栅极信号线和公共电极信号线通过用于薄膜晶体管液晶显示器的TFT彼此连接的配置。解决方案：在一帧中的信号扫描期间，在下一行开启之前将高压信号插入下一行，即，将一行的黑色图像插入正常白色模型中。在薄膜晶体管液晶显示器接通各行TFT LCD像素之前施加高电压，从而插入黑色图像以有效地减少移动图像的条纹现象。Ž

【 図 7 】

