

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4661060号
(P4661060)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int.Cl.

F I

G09F 9/30 (2006.01)

G09F 9/30 338

G02F 1/1343 (2006.01)

G02F 1/1343

G02F 1/1368 (2006.01)

G02F 1/1368

H01L 29/786 (2006.01)

H01L 29/78 612D

H01L 21/336 (2006.01)

請求項の数 10 (全 17 頁)

(21) 出願番号 特願2004-62163 (P2004-62163)
 (22) 出願日 平成16年3月5日 (2004.3.5)
 (65) 公開番号 特開2005-250228 (P2005-250228A)
 (43) 公開日 平成17年9月15日 (2005.9.15)
 審査請求日 平成18年9月28日 (2006.9.28)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町 1 丁目 6 番 2 号
 (74) 代理人 110001254
 特許業務法人光陽国際特許事務所
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 田中 良孝
 東京都八王子市石川町 2 9 5 1 番地 5 カ
 シオ計算機株式会社 八王子研究所内
 審査官 渡邊 吉喜

最終頁に続く

(54) 【発明の名称】 トランジスタアレイ基板及び液晶ディスプレイパネル

(57) 【特許請求の範囲】

【請求項 1】

第 1 の薄膜トランジスタに接続された第 1 の表示電極と、第 2 の薄膜トランジスタに接続された第 2 の表示電極と、前記第 1 の表示電極及び前記第 2 の表示電極よりも下層側に形成された第 1 のドレインラインと、を備え、

前記第 1 の表示電極と前記第 2 の表示電極とが前記第 1 のドレインラインの延伸方向に対して直交する方向に隣接するように配置されているトランジスタアレイ基板であって、

前記第 1 の表示電極は、前記第 1 のドレインラインの延伸方向に平行な一辺が前記第 1 のドレインラインとの間に第 1 の絶縁膜を介在させて前記第 1 のドレインラインに重なる第 1 の画素電極部を有し、

前記第 2 の表示電極は、前記第 1 のドレインラインの延伸方向に平行な一辺が前記第 1 のドレインラインとの間に前記第 1 の画素電極部よりも上層側に形成された第 2 の絶縁膜を介在させて前記第 1 のドレインラインに重なる第 2 の画素電極部と、前記第 1 のドレインラインと重ならない領域に前記第 1 の画素電極部と同一の層として形成された第 3 の画素電極部と、を有し、

前記第 3 の画素電極部は、前記第 2 の絶縁膜に形成されたコンタクトホールを介して前記第 2 の画素電極部に接続されていることを特徴とするトランジスタアレイ基板。

【請求項 2】

前記第 1 のドレインラインは、前記第 1 の薄膜トランジスタに接続されていることを特徴とする請求項 1 に記載のトランジスタアレイ基板。

【請求項 3】

前記第 2 の薄膜トランジスタに接続された第 2 のドレインラインを備え、
前記第 2 の表示電極は、前記第 3 の画素電極部の少なくとも一部が前記第 2 のドレイン
ラインと重なるように配置されていることを特徴とする請求項 1 または 2 に記載のトラン
ジスタレイ基板。

【請求項 4】

前記第 1 の表示電極は、前記第 1 のドレインラインと重ならない領域に前記第 2 の画素
電極部と同一の層として形成された第 4 の画素電極部を有し、
前記第 4 の画素電極部は、前記第 2 の絶縁膜に形成されたコンタクトホールを介して前
記第 1 の画素電極部に接続されていることを特徴とする請求項 1 から 3 の何れかに記載の
トランジスタレイ基板。

10

【請求項 5】

第 1 の薄膜トランジスタに接続された第 1 の表示電極と、第 2 の薄膜トランジスタに接
続された第 2 の表示電極と、前記第 1 の表示電極及び前記第 2 の表示電極よりも下層側に
形成された第 1 のドレインラインと、を備え、

前記第 1 の表示電極と前記第 2 の表示電極とが前記第 1 のドレインラインの延伸方向に
対して直交する方向に隣接するように配置されているトランジスタレイ基板であって、

前記第 1 の表示電極は、前記第 1 のドレインラインの延伸方向に平行な一辺が前記第 1
のドレインラインとの間に第 1 の絶縁膜を介在させて前記第 1 のドレインラインに重なる
第 1 の画素電極部を有し、

20

前記第 2 の表示電極は、前記第 1 のドレインラインの延伸方向に平行な一辺が前記第 1
のドレインラインとの間に前記第 1 の画素電極部よりも上層側に形成された第 2 の絶縁膜
を介在させて前記第 1 のドレインラインに重なる第 2 の画素電極部を有し、

前記第 1 の表示電極は、前記第 1 のドレインラインと重ならない領域に前記第 2 の画素
電極部と同一の層として形成された第 4 の画素電極部を有し、

前記第 4 の画素電極部は、前記第 2 の絶縁膜に形成されたコンタクトホールを介して前
記第 1 の画素電極部に接続されていることを特徴とするトランジスタレイ基板。

【請求項 6】

前記第 1 のドレインラインは、遮光性の導電性材料により形成され、

前記第 1 の画素電極部及び前記第 2 の画素電極部は、透明性の導電性材料により形成さ
れていることを特徴とする請求項 1 から 5 の何れかに記載のトランジスタレイ基板。

30

【請求項 7】

前記第 1 の表示電極と前記第 2 の表示電極との間の基板平面における間隔が前記第 1 の
ドレインラインのライン幅よりも短いことを特徴とする請求項 1 から 6 の何れかに記載の
トランジスタレイ基板。

【請求項 8】

前記第 1 の表示電極と前記第 2 の表示電極は、互いに重ならないように配置されている
ことを特徴とする請求項 1 から 7 の何れかに記載のトランジスタレイ基板。

【請求項 9】

前記第 1 の薄膜トランジスタは、前記第 1 の絶縁膜に形成された第 1 のコンタクトホー
ルを介して前記第 1 の表示電極に接続され、

40

前記第 2 の薄膜トランジスタは、前記第 1 の絶縁膜に形成された第 2 のコンタクトホー
ルを介して前記第 2 の表示電極に接続されていることを特徴とする請求項 1 から 8 の何れ
かに記載のトランジスタレイ基板。

【請求項 10】

第 1 の薄膜トランジスタに接続された第 1 の表示電極と、第 2 の薄膜トランジスタに接
続された第 2 の表示電極と、前記第 1 の表示電極及び前記第 2 の表示電極よりも液晶層か
ら遠い側に形成されたドレインラインと、を備え、

前記第 1 の表示電極と前記第 2 の表示電極とが前記ドレインラインの延伸方向に対して
直交する方向に隣接するように配置されている液晶ディスプレイパネルであって、

50

前記第 1 の表示電極は、前記ドレインラインの延伸方向に平行な一辺が前記ドレインラインとの間に第 1 の絶縁膜を介在させて前記ドレインラインに重なる第 1 の画素電極部を有し、

前記第 2 の表示電極は、前記ドレインラインの延伸方向に平行な一辺が前記ドレインラインとの間に前記第 1 の画素電極部よりも前記液晶層に近い側に形成された第 2 の絶縁膜を介在させて前記ドレインラインに重なる第 2 の画素電極部と、前記ドレインラインと重ならない領域に前記第 1 の画素電極部と同一の層として形成された第 3 の画素電極部と、を有し、

前記第 3 の画素電極部は、前記第 2 の絶縁膜に形成されたコンタクトホールを介して前記第 2 の画素電極部に接続されていることを特徴とする液晶ディスプレイパネル。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタアレイ基板及び液晶ディスプレイパネルに関する。

【背景技術】

【0002】

TFT (Thin Film Transistor) 型液晶ディスプレイと称される液晶ディスプレイパネルは、薄膜トランジスタ、画素電極等をアレイ状にパターンニングしたトランジスタアレイ基板と、対向電極等をべた一面に形成した対向基板とを、互いに対向・配置させてそれら 2 枚の基板間に液晶分子を封入した構成を有している (例えば特許文献 1 参照)。上記トランジスタアレイ基板に言及すると、複数のゲートライン (走査線) と複数のドレインライン (信号線) とが縦横に格子状に組まれて構成された各画素に、薄膜トランジスタや画素電極が 1 つずつ配されている。

20

【0003】

ところで、画素ごとに配される各画素電極は、周知のフォトリソグラフィー・エッチング技術を駆使して成膜されるが、当該フォトリソグラフィー・エッチング技術にも精度の限界がある。そのため、隣り合う画素電極の側縁部同士の間隔を最小幅まで狭め、その幅より大きい線幅でドレインラインを形成し、各画素電極の側縁部とドレインラインの側縁部とを互いに重複させることで、フォトリソグラフィー・エッチング技術の精度の限界を巧みに調整し、各画素の開口率を高めている。

30

【0004】

図 10 を参照しながら上記事項を簡単に説明する。

図 10 は、特許文献 1 に記載の液晶表示装置と同様に、画素 TFT 上をオーバーコート絶縁膜で覆い、この絶縁膜にコンタクトホールを設けて画素電極と画素 TFT とを接続させる構造の液晶表示装置のドレインラインに直交する線に沿ってトランジスタアレイ基板を切断した当該トランジスタアレイ基板の断面図である。

【0005】

図 10 に示す通り、従来のトランジスタアレイ基板 100 は透明基板 101 を有しており、透明基板 101 上に、ゲートラインを被覆するゲート絶縁膜 102 が成膜されている。ゲート絶縁膜 102 上にはドレインライン 103 が成膜され、さらにドレインライン 103 を被覆するようにオーバーコート用の絶縁膜 104 が成膜されている。図 10 中、ドレインライン 103 は紙面の表側から裏側 (又は裏側から表側) に向かって延在している。そして絶縁膜 104 上に複数の画素電極 105 が同じ層に成膜され、各画素電極 105 を被覆するように絶縁膜 104 上に、液晶分子を配向させるための配向膜 106 が成膜されている。

40

【0006】

このような構成において、周知のフォトリソグラフィー・エッチング技術では、膜の側縁部同士の最小間隔を $4\mu\text{m}$ までしかパターンニングすることができず、膜の側縁部に対しても $1\mu\text{m}$ のアライメントのズレを加味しなければならなかった。このような状況下で各画素の開口率を高めるために、各画素電極 105 の側縁部間の間隔をパターンニングの最小

50

幅の4 μm とするとともに、各画素電極105の側縁部のアライメントのズレとして1 μm を考慮して、ドレインラインの線幅として最低でも6 μm は確保していた。

【特許文献1】特開2003-66488号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ここで、周知のフォトリソグラフィ・エッチング技術によれば、パターニングによる膜の側縁部同士の最小幅を4 μm まで狭めることができる、すなわちドレインラインの線幅を6 μm から4 μm に狭めることができるにもかかわらず、上記構成では、ドレインラインの線幅として6 μm は最低限確保しなければならないため、ドレインラインの線幅を狭めることで各画素の開口率の向上を図るということは実現できない。

10

本発明の目的は各画素の開口率を向上させることである。

【課題を解決するための手段】

【0008】

上記課題を解決するため請求項1に記載の発明は、第1の薄膜トランジスタに接続された第1の表示電極と、第2の薄膜トランジスタに接続された第2の表示電極と、前記第1の表示電極及び前記第2の表示電極よりも下層側に形成された第1のドレインラインと、を備え、前記第1の表示電極と前記第2の表示電極とが前記第1のドレインラインの延伸方向に対して直交する方向に隣接するように配置されているトランジスタアレイ基板であって、前記第1の表示電極は、前記第1のドレインラインの延伸方向に平行な一辺が前記第1のドレインラインとの間に第1の絶縁膜を介在させて前記第1のドレインラインに重なる第1の画素電極部を有し、前記第2の表示電極は、前記第1のドレインラインの延伸方向に平行な一辺が前記第1のドレインラインとの間に前記第1の画素電極部よりも上層側に形成された第2の絶縁膜を介在させて前記第1のドレインラインに重なる第2の画素電極部と、前記第1のドレインラインと重ならない領域に前記第1の画素電極部と同一の層として形成された第3の画素電極部と、を有し、前記第3の画素電極部は、前記第2の絶縁膜に形成されたコンタクトホールを介して前記第2の画素電極部に接続されていることを特徴とする。

20

また、請求項2に記載の発明は、請求項1に記載の発明において、前記第1のドレインラインは、前記第1の薄膜トランジスタに接続されていることを特徴とする。

30

また、請求項3に記載の発明は、請求項1または2に記載の発明において、前記第2の薄膜トランジスタに接続された第2のドレインラインを備え、前記第2の表示電極は、前記第3の画素電極部の少なくとも一部が前記第2のドレインラインと重なるように配置されていることを特徴とする。

また、請求項4に記載の発明は、請求項1から3の何れかに記載の発明において、前記第1の表示電極は、前記第1のドレインラインと重ならない領域に前記第2の画素電極部と同一の層として形成された第4の画素電極部を有し、前記第4の画素電極部は、前記第2の絶縁膜に形成されたコンタクトホールを介して前記第1の画素電極部に接続されていることを特徴とする。

また、請求項5に記載の発明は、第1の薄膜トランジスタに接続された第1の表示電極と、第2の薄膜トランジスタに接続された第2の表示電極と、前記第1の表示電極及び前記第2の表示電極よりも下層側に形成された第1のドレインラインと、を備え、前記第1の表示電極と前記第2の表示電極とが前記第1のドレインラインの延伸方向に対して直交する方向に隣接するように配置されているトランジスタアレイ基板であって、前記第1の表示電極は、前記第1のドレインラインの延伸方向に平行な一辺が前記第1のドレインラインとの間に第1の絶縁膜を介在させて前記第1のドレインラインに重なる第1の画素電極部を有し、前記第2の表示電極は、前記第1のドレインラインの延伸方向に平行な一辺が前記第1のドレインラインとの間に前記第1の画素電極部よりも上層側に形成された第2の絶縁膜を介在させて前記第1のドレインラインに重なる第2の画素電極部を有し、前記第1の表示電極は、前記第1のドレインラインと重ならない領域に前記第2の画素電極

40

50

部と同一の層として形成された第４の画素電極部を有し、前記第４の画素電極部は、前記第２の絶縁膜に形成されたコンタクトホールを介して前記第１の画素電極部に接続されていることを特徴とする。

また、請求項６に記載の発明は、請求項１から５の何れかに記載の発明において、前記第１のドレインラインは、遮光性の導電性材料により形成され、前記第１の画素電極部及び前記第２の画素電極部は、透明性の導電性材料により形成されていることを特徴とする。

また、請求項７に記載の発明は、請求項１から６の何れかに記載の発明において、前記第１の表示電極と前記第２の表示電極との間の基板平面における間隔が前記第１のドレインラインのライン幅よりも短いことを特徴とする。

また、請求項８に記載の発明は、請求項１から７の何れかに記載の発明において、前記第１の表示電極と前記第２の表示電極は、互いに重ならないように配置されていることを特徴とする。

また、請求項９に記載の発明は、請求項１から８の何れかに記載の発明において、前記第１の薄膜トランジスタは、前記第１の絶縁膜に形成された第１のコンタクトホールを介して前記第１の表示電極に接続され、前記第２の薄膜トランジスタは、前記第１の絶縁膜に形成された第２のコンタクトホールを介して前記第２の表示電極に接続されていることを特徴とする。

【０００９】

また、請求項１０に記載の発明は、第１の薄膜トランジスタに接続された第１の表示電極と、第２の薄膜トランジスタに接続された第２の表示電極と、前記第１の表示電極及び前記第２の表示電極よりも液晶層から遠い側に形成されたドレインラインと、を備え、前記第１の表示電極と前記第２の表示電極とが前記ドレインラインの延伸方向に対して直交する方向に隣接するように配置されている液晶ディスプレイパネルであって、前記第１の表示電極は、前記ドレインラインの延伸方向に平行な一辺が前記ドレインラインとの間に第１の絶縁膜を介在させて前記ドレインラインに重なる第１の画素電極部を有し、前記第２の表示電極は、前記ドレインラインの延伸方向に平行な一辺が前記ドレインラインとの間に前記第１の画素電極部よりも前記液晶層に近い側に形成された第２の絶縁膜を介在させて前記ドレインラインに重なる第２の画素電極部と、前記ドレインラインと重ならない領域に前記第１の画素電極部と同一の層として形成された第３の画素電極部と、を有し、

前記第３の画素電極部は、前記第２の絶縁膜に形成されたコンタクトホールを介して前記第２の画素電極部に接続されていることを特徴とする。

【発明の効果】

【００１０】

本発明によれば、開口率を向上させることができる。

【発明を実施するための最良の形態】

【００１１】

以下、図面を参照しながら本発明を実施するための最良の形態について説明するが、特に本実施形態では、本発明に係るトランジスタアレイ基板を液晶ディスプレイパネルに適用した例について説明する。ただし、発明の範囲は図示例に限定されない。

【００１２】

〔第１の実施形態〕

図１はトランジスタアレイ基板１の電極構成を示す平面図である。図２及び図３はトランジスタアレイ基板１を用いた液晶ディスプレイパネル１００の一部を示す断面図であって、図２は図１のＡ－Ａ線に沿う断面図であり、図３は図１のＢ－Ｂ線に沿う断面図である。

【００１３】

図１及び図２に示す通り、液晶ディスプレイパネル１００は、本発明に係るトランジスタアレイ基板１とそれに対向する対向基板４０とを備えており、トランジスタアレイ基板１と対向基板４０との間に液晶分子５０を封入した構造を有している。

【 0 0 1 4 】

始めに、対向基板 4 0 の構成について説明する。

対向基板 4 0 は、当該対向基板 4 0 の表面を構成する基板として透明基板 4 1 を有している。透明基板 4 1 はホウケイ酸ガラス、石英ガラスその他の透明なガラス、P M M A (Polymethyl methacrylate)、ポリカーボネートその他の透明な樹脂で平板状に形成されたものである。透明基板 4 1 の裏面 4 1 a には、第 1 , 第 2 の各画素電極 6 1 , 6 2 に相対する領域で開口した黒色のブラックマトリクス 4 4 が格子状にパターンニングされており、ブラックマトリクス 4 4 によって囲繞された複数の開口部がマトリクス状に配列されている。ブラックマトリクス 4 4 の各開口部には赤 (R)、緑 (G)、青 (B) の何れかの色を有したカラーフィルタ 4 3 が形成されており、対向基板 4 0 全体ではこれら三色が規則正しく配列されている。

10

【 0 0 1 5 】

ブラックマトリクス 4 4 及びカラーフィルタ 4 3 全体を被覆するように対向電極 4 2 がべた一面に形成されている。対向電極 4 2 は透明でかつ低抵抗率な材料で形成されており、例えば、酸化インジウム若しくは酸化スズ又はこれらのうち少なくとも 1 つを含む混合物 (例えば、錫ドープ酸化インジウム (I T O (Indium Tin Oxide))、亜鉛ドープ酸化インジウム、カドミウム - 錫酸化物 (C T O (Cadmium Tin Oxide))) の材料で構成されている。

【 0 0 1 6 】

対向電極 4 2 を被覆するように配向膜 4 5 がべた一面に形成されている。配向膜 4 5 は液晶分子 5 0 を配向させるものである。

20

【 0 0 1 7 】

次に、トランジスタアレイ基板 1 の構成について説明する。

トランジスタアレイ基板 1 は、当該トランジスタアレイ基板 1 の背面を構成する基板として透明基板 2 を有している。透明基板 2 はホウケイ酸ガラス、石英ガラスその他の透明なガラス、P M M A、ポリカーボネートその他の透明な樹脂で平板状に形成されたものである。

【 0 0 1 8 】

透明基板 2 の表面 2 a (対向基板 4 0 に対向する面) には、図 1 に示す通り、複数のゲートライン 5 , 5 , ... が所定間隔をあけて互いに平行に形成されている。各ゲートライン 5 は、低抵抗率な金属材料、合金等の導電性材料で形成されたものであり、図 1 中横方向に延在している。各ゲートライン 5 は、より望ましくは後述の半導体膜 1 0 のチャネル領域にできるだけ励起光を入射させないように、クロム、クロム合金、アルミ、アルミ合金等の遮光性材料で構成されるのがよい。

30

【 0 0 1 9 】

ゲートライン 5 を被覆するようにゲート絶縁膜 8 がべた一面に成膜されている。ゲート絶縁膜 8 は、酸化珪素、窒化珪素等のように透明な絶縁膜で形成されている。ゲート絶縁膜 8 上には、図 1 に示す通り、複数のドレインライン 6 , 6 , ... が平面視してゲートライン 5 と直交するように形成されている。各ドレインライン 6 は互いに所定間隔をあけて平行に配列されており、その線幅が周知のフォトリソグラフィ・エッチング技術の精度の限界とされる 4 μ m となっている。各ドレインライン 6 は、例えばクロム、クロム合金、アルミ、アルミ合金等の低抵抗率の金属材料、合金等の導電性材料で形成されたものであって遮光性を有している。

40

【 0 0 2 0 】

なお、図 1 に示す通り、トランジスタアレイ基板 1 を平面視すると、複数のゲートライン 5 , 5 , ... と複数のドレインライン 6 , 6 , ... とで格子状を呈しており、ゲートライン 5 とドレインライン 6 とが格子状に組まれることで多数の画素が構成されている。そしてこれらのゲートライン 5 及びドレインライン 6 に、対向基板 4 0 のブラックマトリクス 4 4 が相対している。

【 0 0 2 1 】

50

ゲートライン 5 とドレインライン 6 との各交差部には、M O S (Metal Oxide Semiconducto r) 型電界効果型の薄膜トランジスタ 4 が形成されている。トランジスタアレイ基板 1 を平面視すると、各薄膜トランジスタ 4 は画素ごとに 1 つずつ配されており、全体として複数の薄膜トランジスタ 4 , 4 , ... がマトリクス状に配列されている。

【 0 0 2 2 】

各薄膜トランジスタ 4 は、ゲートライン 5 から突出するように当該ゲートライン 5 と一体に形成されたゲート電極 9 と、ゲート絶縁膜 8 を介してゲート電極 9 と対向配置された半導体膜 1 0 と、半導体膜 1 0 の中央部上に形成されたチャネル保護膜 1 1 と、平面視又は断面視してチャネル保護膜 1 1 の両側に配置されるとともに半導体膜 1 0 上に互いに離間して形成された不純物半導体膜 1 2 , 1 3 と、一方の不純物半導体膜 1 2 上に形成されたソース電極 1 4 と、他方の不純物半導体膜 1 3 上に形成されかつドレインライン 6 と一体に形成されたドレイン電極 1 5 と、から構成されている。

10

【 0 0 2 3 】

半導体膜 1 0 は、アモルファスシリコン又はポリシリコンからなる半導体で構成されている。薄膜トランジスタ 4 の動作時には、半導体膜 1 0 にチャネルが形成されるようになっている。

【 0 0 2 4 】

不純物半導体膜 1 2 , 1 3 は共に、アモルファスシリコン又はポリシリコンに n^+ の不純物 (例えばリンイオン) をドーピングしたものである。

【 0 0 2 5 】

20

チャネル保護膜 1 1 は、酸化珪素、窒化珪素等の絶縁体から形成されたものであり、不純物半導体膜 1 2 , 1 3 のパターニングの際にエッチャントから半導体膜 1 0 のチャネル表面を保護するものである。

【 0 0 2 6 】

以上のように構成された複数の薄膜トランジスタ 4 , 4 , ... は層間絶縁膜 1 6 によって被覆されている。層間絶縁膜 1 6 は、酸化珪素、窒化珪素等から形成されたものであり、べた一面に成膜されて、薄膜トランジスタ 4 , 4 , ... の高さ (厚み) による段差を緩和し表面が平坦になっている。

【 0 0 2 7 】

ここで、本発明に係るトランジスタアレイ基板 1 の特徴部分となる、層間絶縁膜 1 6 上に形成された層構造について説明する。

30

【 0 0 2 8 】

層間絶縁膜 1 6 上には複数の第 1 の画素電極 6 1 , 6 1 , ... が形成されている。第 1 の画素電極 6 1 は透明でかつ低抵抗率の材料で形成されており、例えば、酸化インジウム若しくは酸化スズ又はこれらのうちの少なくとも 1 つを含む混合物 (例えば、I T O、亜鉛ドーピング酸化インジウム、C T O) で構成されている。

【 0 0 2 9 】

各第 1 の画素電極 6 1 は画素ごとに 1 つずつ配されている。トランジスタアレイ基板 1 を平面視すると、各第 1 の画素電極 6 1 は、複数のゲートライン 5 , 5 , ... と複数のドレインライン 6 , 6 , ... によって囲まれた領域にそれぞれ配置され、全体としてマトリクス状に配列されている。各第 1 の画素電極 6 1 には、対向基板 4 0 のカラーフィルタ 4 3 がそれぞれ相対している。

40

【 0 0 3 0 】

図 1 及び図 3 に示す通り、各第 1 の画素電極 6 1 においては一方の側縁部 6 1 a がドレインライン 6 上に延出しており、他方の側縁部 6 1 b はドレインライン 6 上に延出していない。本第 1 の実施形態では、第 1 の画素電極 6 1 及びドレインライン 6 を断面視又は平面視すると、一方の側縁部 6 1 a がドレインライン 6 とアライメント用重なり幅 L_a として $1 \mu m$ 重複しており、他方の側縁部 6 1 b は、当該ドレインライン 6 に対して当該側縁部 6 1 b 側に隣接したドレインライン 6 と重複していない。また隣接する第 1 の画素電極 6 1 同士の間の距離はフォトリソグラフィー・エッチング技術による最小仕上がり加工寸

50

法長さ $L_{\min}$ ($= 4 \mu m$) に設定されている。

【0031】

図1及び図2に示す通り、トランジスタアレイ基板1を断面視又は平面視すると、1つの第1の画素電極61につき1つの薄膜トランジスタ4のソース電極14が重複しており、層間絶縁膜16におけるこの重複箇所にはコンタクトホール16aが形成されている。コンタクトホール16aには第1の画素電極61の一部が入り込んでおり、第1の画素電極61とソース電極14とがコンタクトホール16aを通じて電氣的に導通している。

【0032】

層間絶縁膜16及び各第1の画素電極61上には絶縁膜17がそれぞれ成膜されている。各絶縁膜17は、酸化珪素、窒化珪素等から形成されたものであり、各第1の画素電極61の他方の側縁部61bを含む一部の領域を被覆するように成膜されている。

10

【0033】

各絶縁膜17上には第2の画素電極62, 62, ...が形成されている。第2の画素電極62は第1の画素電極61と同様のものであって、透明でかつ低抵抗率の材料で形成されており、例えば、酸化インジウム若しくは酸化スズ又はこれらのうちの少なくとも1つを含む混合物(例えば、ITO、亜鉛ドープ酸化インジウム、CTO)で構成されている。

【0034】

各第2の画素電極62は、第1の画素電極61と同様に、画素ごとに1つずつ配されており、トランジスタアレイ基板1を平面視すると、複数のゲートライン5, 5, ...と複数のドレインライン6, 6, ...によって囲まれた領域にそれぞれ配置され、全体としてマトリクス状に配列されている。各第2の画素電極62には、対向基板40のカラーフィルタ43がそれぞれ相對している。

20

【0035】

図1及び図3に示す通り、各第2の画素電極62においては一方の側縁部62aが当該側縁部62a側に隣接する薄膜トランジスタ4に接続されているドレインライン6上に延出しており、他方の側縁部62bは当該第2の画素電極62に接続されている薄膜トランジスタ4に接続されているドレインライン6上に延出していない。本第1の実施形態では、第2の画素電極62及びドレインライン6を断面視又は平面視すると、一方の側縁部62aがドレインライン6との間のアライメント用重なり幅Laとして $1 \mu m$ 重複しており、他方の側縁部62bは、当該第2の画素電極62に接続された薄膜トランジスタ4に接続されたドレインライン6と重複していない。

30

【0036】

そのため、第2の画素電極62の一方の側縁部62aと、当該第2の画素電極62に接続された薄膜トランジスタ4に対して当該一方の側縁部62a側に隣接した薄膜トランジスタ4に接続された第1の画素電極61の一方の側縁部61aと、の間の画素電極間距離Lxは、必然的に最小仕上がり加工寸法長さ $L_{\min}$ より短い。このように、互いに隣接する画素の第1, 第2の画素電極61, 62間の距離が最小仕上がり加工寸法長さ $L_{\min}$ より幅狭になる部分が生じるため、各画素の画素電極全体の面積が拡大され、各画素の開口率が向上する。

【0037】

40

図1及び図2に示す通り、トランジスタアレイ基板1を断面視又は平面視すると、1つの第2の画素電極62につき1つの第1の画素電極61が重複しており、絶縁膜17におけるこの重複箇所には溝状のコンタクトホール17aが形成されている。コンタクトホール17aには第2の画素電極62の一部が入り込んでおり、第2の画素電極62と第1の画素電極61とがコンタクトホール17aを通じて電氣的に導通している。

【0038】

これら全ての第1, 第2の画素電極61, 62を被覆するように配向膜18がべた一面に形成されている。配向膜18は液晶分子50を配向させるものである。

【0039】

以上のように構成された液晶ディスプレイパネル100では、トランジスタアレイ基板

50

1 と対向基板 4 0 とが互いに相対しているが、その間にはスペーサ（図示略）が挟まれており、そのスペーサによってトランジスタアレイ基板 1 と対向基板 4 0 との間に一定の間隔が保たれている。そして、トランジスタアレイ基板 1 と対向基板 4 0 との間に液晶分子 5 0 が封入されており、トランジスタアレイ基板 1 及び対向基板 4 0 の周囲がシール材によって封止されている。液晶ディスプレイパネル 1 0 0 では、表示面とその反対側の背面の両方に、互いに偏光軸が直交する直線偏光板からなる偏光フィルタが設けられている。

【 0 0 4 0 】

また、図示は省略するが、トランジスタアレイ基板 1 及び対向基板 4 0 の周囲において対向電極 4 2 が等電位に保たれている。ここで、各画素においては、対向電極 4 2 と第 1 , 第 2 の画素電極 6 1 , 6 2 とに挟まれた液晶分子 5 0 が誘電体として機能し、対向電極 4 2 、第 1 , 第 2 の画素電極 6 1 , 6 2 及び液晶分子 5 0 でキャパシタが形成され、薄膜トランジスタ 4 の寄生容量による電圧降下等を補償するようになっている。

【 0 0 4 1 】

図 4 は画素を等価回路で表した図面である。

キャパシタ 3 0 は、対向電極 4 2 、第 1 , 第 2 の画素電極 6 1 , 6 2 及びそれらの間に封入された液晶分子 5 0 から構成されたものである。上記の通り、対向電極 4 2 が等電位に保たれているため、電位 V_{com} 側の電極が対向電極 4 2 に相当する。このような回路構成においては、対向電極 4 2 が接地されていれば、定電位 V_{com} は 0 V になる。

【 0 0 4 2 】

次に、トランジスタアレイ基板 1 の製造方法、詳しくはトランジスタアレイ基板 1 における層間絶縁膜 1 6 上の層構造の製造方法について説明する。

【 0 0 4 3 】

図 5 は、トランジスタアレイ基板 1 の製造過程を経時的に示す図面である。

以下の説明では、図 1 の B - B 線に沿う断面に着目して層間絶縁膜 1 6 上の層構造の製造過程を順次説明する。

【 0 0 4 4 】

各薄膜トランジスタ 4 が層間絶縁膜 1 6 に被覆された状態（層間絶縁膜 1 6 には既にコンタクトホール 1 6 a が形成されている）において、図 5 (a) に示す通り、層間絶縁膜 1 6 上に第 1 の画素電極 6 1 をべた一面に成膜する。この状態において、第 1 の画素電極 6 1 の一部がコンタクトホール 1 6 a に入り込んで、第 1 の画素電極 6 1 と各薄膜トランジスタ 4 のソース電極 1 4 とが電氣的に導通する。

【 0 0 4 5 】

第 1 の画素電極 6 1 を成膜したら、第 1 の画素電極 6 1 にフォトリソグラフィ技術を施して当該第 1 の画素電極 6 1 を所定パターンにエッチングし、図 5 (b) に示す通り、第 1 の画素電極 6 1 の一方の側縁部 6 1 a をドレインライン 6 にアライメント用重なり幅 L_a として $1 \mu m$ 重複させる。この工程では、隣り合う第 1 の画素電極 6 1 同士をフォトレジストの最小幅（最小仕上がり加工寸法長さ L_{min} ）までパターンニングするが、この場合、ドレインライン 6 の線幅が最小仕上がり加工寸法長さ L_{min} とされているため、第 1 の画素電極 6 1 の他方の側縁部 6 1 b はドレインライン 6 とは重複しない。

なお、隣り合う第 1 の画素電極 6 1 同士では、必ずしもフォトレジストの最小幅までパターンニングする必要はなく、第 1 の画素電極 6 1 の他方の側縁部 6 1 b をドレインライン 6 と重複させなくてもよい。

【 0 0 4 6 】

第 1 の画素電極 6 1 をエッチングしたら、図 5 (c) に示す通り、各第 1 の画素電極 6 1 を被覆するように層間絶縁膜 1 6 上に絶縁膜 1 7 をべた一面に成膜する。

【 0 0 4 7 】

絶縁膜 1 7 を成膜したら、当該絶縁膜 1 7 にフォトリソグラフィ技術を施して所定パターンにエッチングし、図 5 (d) に示す通り、第 1 の画素電極 6 1 の他方の側縁部 6 1 b の近傍にコンタクトホール 1 7 a を形成する。

【 0 0 4 8 】

10

20

30

40

50

コンタクトホール 17a を形成したら、図 5 (e) に示す通り、絶縁膜 17 上に第 2 の画素電極 62 をべた一面に成膜する。この状態において、第 2 の画素電極 62 の一部がコンタクトホール 17a に入り込んで、第 2 の画素電極 62 と第 1 の画素電極 61 とが電気的に導通する。

【 0049 】

第 2 の画素電極 62 を成膜したら、当該第 2 の画素電極 62 にフォトリソグラフィ技術を実施して所定パターンにエッチングし、図 5 (f) に示す通り、第 2 の画素電極 62 の一方の側縁部 62a をドレインライン 6 にアライメント用重なり幅 La として 1 μ m 重複させる。この工程では、隣り合う第 2 の画素電極 62 同士で、フォトレジストの最小幅までパターニングする必要はなく、第 2 の画素電極 62 の他方の側縁部 62b を第 1 の画素電極 61 の中途部上に配置させればよい。

10

【 0050 】

第 2 の画素電極 62 をエッチングしたら、第 2 の画素電極 62 をマスクとして、各第 2 の画素電極 62 間から露出する絶縁膜 17 に対しフォトリソグラフィ技術を実施し、図 5 (g) に示す通り、当該絶縁膜 17 をエッチングする。この状態において、絶縁膜 17 は、第 2 の画素電極 62 の直下の部位にのみ残留し、それ以外の部位が除去されている。

【 0051 】

絶縁膜 17 をエッチングしたら、図 5 (h) に示す通り、第 1 の画素電極 61 及び第 2 の画素電極 62 を被覆するように層間絶縁膜 16 上に配向膜 18 をべた一面に成膜し、トランジスタアレイ基板 1 の製造が終了する。

20

【 0052 】

以上の第 1 の実施形態では、コンタクトホール 17a を通じて第 1 の画素電極 61 と第 2 の画素電極 62 とが電気的に導通した状態で、第 1 の画素電極 61 と第 2 の画素電極 62 とが互いに異なる層に形成されているため、周知のフォトリソグラフィ・エッチング技術の精度の限界とは無関係に、第 2 の画素電極 62 の一方の側縁部 62a と、当該第 2 の画素電極 62 に接続された薄膜トランジスタ 4 に対して当該一方の側縁部 62a 側に隣接した薄膜トランジスタ 4 に接続された第 1 の画素電極 61 の一方の側縁部 61a と、の間の画素電極間距離 Lx を、最小仕上がり加工寸法長さ Lmin 以下に狭めることができる。そのため、ドレインライン 6 の線幅を、従来の 6 μ m から周知のフォトリソグラフィ・エッチング技術の精度の限界とされる最小仕上がり加工寸法長さ Lmin まで狭めることができ、互いに隣接する画素の画素電極間距離 Lx を短くすることで各画素の開口率を向上させることができる。

30

【 0053 】

なお、本発明は上記第 1 の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲において種々の改良及び設計の変更をおこなってもよい。

例えば、上記第 1 の実施形態では、第 2 の画素電極 62 を、絶縁膜 17 を介して第 1 の画素電極 61 の上層に配したが、当該第 2 の画素電極 62 を、絶縁膜 17 を介さずに第 1 の画素電極 61 の直上層に配してもよいし、第 1 の画素電極 61 と同層に配してもよい。

また、上記第 1 の実施形態では、第 1 の画素電極 61 と第 2 の画素電極 62 との 2 つの画素電極をドレインライン 6 に重複させたが、第 1, 第 2 の画素電極 61, 62 以外の他の画素電極を、互いに電気的に導通させた状態で 3 つ以上用いてドレインライン 6 上に画素電極を重複させてもよい。

40

【 0054 】

[第 2 の実施形態]

本第 2 の実施形態に係る液晶ディスプレイパネル 100 は、上記第 1 の実施形態に係る液晶ディスプレイパネル 100 と略同様の構成を有しているが、トランジスタアレイ基板 1 の層間絶縁膜 16 上の層構造が異なっている。本第 2 の実施形態では、層間絶縁膜 16 上の層構造及びその製造方法についてのみ説明する。

【 0055 】

図 6 は本第 2 の実施形態に係るトランジスタアレイ基板 1 の電極構成を示す平面図であ

50

る。図 7 及び図 8 は本第 2 の実施形態に係るトランジスタアレイ基板 1 を用いた液晶ディスプレイパネル 100 の一部を示す断面図であって、図 7 は図 6 の C - C 線に沿う断面図であり、図 8 は図 6 の D - D 線に沿う断面図である。

【0056】

層間絶縁膜 16 上には複数の第 1 の画素電極 71, 71, ... が形成されている。第 1 の画素電極 71 は透明でかつ低抵抗率の材料で形成されており、例えば、酸化インジウム若しくは酸化スズ又はこれらのうちの少なくとも 1 つを含む混合物（例えば、ITO、亜鉛ドーパ酸化インジウム、CTO）で構成されている。

【0057】

各第 1 の画素電極 71 は、図 6 に示す通り、平面視して複数のゲートライン 5, 5, ... と複数のドレインライン 6, 6, ... によって囲まれて構成された複数の画素のうち所定の第 1 の画素にそれぞれ配置されており、詳しくは図 6 中横方向（ドレインライン 6 に直交する方向）においては 1 画素置きに配置され、図 6 中縦方向においては互いに隣り合って列状に配置されている。各第 1 の画素電極 71 には、対向基板 40 のカラーフィルタ 43 がそれぞれ相対している。

10

【0058】

図 6 ~ 図 8 に示す通り、各第 1 の画素電極 71 においては一方の側縁部 71a がドレインライン 6 上に延出しており、図 6 に示す通り、他方の側縁部 71b もドレインライン 6 上に延出している。本第 2 の実施形態では、第 1 の画素電極 71 及びドレインライン 6 を断面視又は平面視すると、一方の側縁部 71a 及び他方の側縁部 71b がアライメント用重なり幅 La として共にドレインライン 6 と 1 μm 重複している。

20

【0059】

図 6 及び図 7 に示す通り、トランジスタアレイ基板 1 を断面視又は側面視すると、各第 1 の画素電極 71 につき 1 つの薄膜トランジスタ 4 のソース電極 14 が重複しており、層間絶縁膜 16 におけるこの重複箇所にはコンタクトホール 16a が形成されている。コンタクトホール 16a には第 1 の画素電極 71a の一部が入り込んでおり、第 1 の画素電極 71 とソース電極 14 とがコンタクトホール 16a を通じて電氣的に導通している。

【0060】

層間絶縁膜 16 上には絶縁膜 19 がそれぞれ成膜されている。各絶縁膜 19 は酸化珪素、窒化珪素等から形成されたものであり、後述の第 2 の画素電極 72 の直下に成膜されている。

30

【0061】

各絶縁膜 19 上には第 2 の画素電極 72, 72, ... が形成されている。第 2 の画素電極 72 は第 1 の画素電極 71 と同様のものであって、透明でかつ低抵抗率の材料で形成されており、例えば、酸化インジウム若しくは酸化スズ又はこれらのうちの少なくとも 1 つを含む混合物（例えば、ITO、亜鉛ドーパ酸化インジウム、CTO）で構成されている。

【0062】

各第 2 の画素電極 72 は、図 6 に示す通り、平面視して複数のゲートライン 5, 5, ... と複数のドレインライン 6, 6, ... によって囲まれて構成された複数の画素のうち上記第 1 の画素に隣接する第 2 の画素にそれぞれ配置されており、詳しくは図 6 中横方向においては 1 画素置きに配置され、図 6 中縦方向においては互いに隣り合って列状に配置されている。つまり、トランジスタアレイ基板 1 を平面視すると、第 1 の画素電極 71 で構成される図 6 中縦方向の列（第 1 の画素の列）と、第 2 の画素電極 72 で構成される図 6 中縦方向の列（第 2 の画素の列）とが、交互に配列され、図 6 中横方向において第 1 の画素と第 2 の画素とが互いに隣接しており、各第 2 の画素電極 72 が第 1 の画素電極 71 間に配されている。各第 2 の画素電極 72 にも、第 1 の画素電極 71 と同様に、対向基板 40 のカラーフィルタ 43 がそれぞれ相対している。

40

【0063】

図 6 及び図 8 に示す通り、各第 2 の画素電極 72 においては一方の側縁部 72a がドレインライン 6 上に延出しており、図 6 及び図 7 に示す通り、他方の側縁部 72b もドレイ

50

ンライン 6 上に延出している。本第 2 の実施形態では、第 2 の画素電極 7 2 及びドレインライン 6 を断面視又は平面視すると、一方の側縁部 7 2 a 及び他方の側縁部 7 2 b が共にアライメント用重なり幅 La としてドレインライン 6 と 1 μ m 重複している。

【 0 0 6 4 】

図 6 及び図 7 に示す通り、トランジスタアレイ基板 1 を断面視又は平面視すると、各第 2 の画素電極 7 2 につき 1 つの薄膜トランジスタ 4 のソース電極 1 4 が重複しており、層間絶縁膜 1 6 及び絶縁膜 1 9 におけるこの重複箇所にはコンタクトホール 1 9 a が形成されている。コンタクトホール 1 9 a には第 2 の画素電極 7 2 の一部が入り込んでおり、第 2 の画素電極 7 2 とソース電極 1 4 とがコンタクトホール 1 9 a を通じて電氣的に導通している。

10

【 0 0 6 5 】

これらすべての第 1 , 第 2 の画素電極 7 1 , 7 2 を被覆するように配向膜 2 0 がべた一面に形成されている。配向膜 2 0 は液晶分子 5 0 を配向させるものである。

【 0 0 6 6 】

次に、トランジスタアレイ基板 1 の製造方法、詳しくはトランジスタアレイ基板 1 における層間絶縁膜 1 6 上の層構造の製造方法について説明する。

【 0 0 6 7 】

図 9 は、トランジスタアレイ基板 1 の製造過程を経時的に示す図面である。

以下の説明では、図 6 の D - D 線に沿う断面に着目して層間絶縁膜 1 6 上の層構造の製造過程を順次説明する。

20

【 0 0 6 8 】

各薄膜トランジスタ 4 が層間絶縁膜 1 6 に被覆された状態（層間絶縁膜 1 6 には既にコンタクトホール 1 6 a , 1 9 a が形成されている）において、図 9 (a) に示す通り、層間絶縁膜 1 6 上に第 1 の画素電極 7 1 をべた一面に成膜する。この状態において、第 1 の画素電極 7 1 の一部がコンタクトホール 1 6 a , 1 9 a に入り込んで、第 1 の画素電極 7 1 と各薄膜トランジスタ 4 のソース電極 1 4 とが電氣的に導通する。

【 0 0 6 9 】

第 1 の画素電極 7 1 を成膜したら、第 1 の画素電極 7 1 にフォトリソグラフィ技術を施して当該第 1 の画素電極 7 1 を所定パターンにエッチングし、図 9 (b) に示す通り、第 1 の画素電極 7 1 の一方の側縁部 7 1 a をアライメント用重なり幅 La としてドレインライン 6 に 1 μ m 重複させ、そのドレインライン 6 に隣り合うドレインライン 6 に他方の側縁部 7 1 b をアライメント用重なり幅 La として 1 μ m 重複させる。この工程では、後述の第 2 の画素電極 7 2 の一部を薄膜トランジスタ 4 のソース電極に電氣的に導通させる必要があるため、コンタクトホール 1 9 a に入り込んだ第 1 の画素電極 7 1 の一部を除去しなければならない。

30

【 0 0 7 0 】

第 1 の画素電極 7 1 をエッチングしたら、図 9 (c) に示す通り、各第 1 の画素電極 7 1 を被覆するように層間絶縁膜 1 6 上に絶縁膜 1 9 をべた一面に成膜する。絶縁膜 1 9 を成膜すると、コンタクトホール 1 9 a に絶縁膜 1 9 の一部が入り込むため、当該絶縁膜 1 9 にフォトリソグラフィ技術を施して、絶縁膜 1 9 のコンタクトホール 1 9 a に対応する部位及びコンタクトホール 1 9 a に入り込んだ絶縁膜 1 9 の一部をエッチングする。

40

【 0 0 7 1 】

絶縁膜 1 9 をエッチングしたら、図 9 (d) に示す通り、絶縁膜 1 9 を被覆するように第 2 の画素電極 7 2 を絶縁膜 1 9 上にべた一面に成膜する。この状態において、第 2 の画素電極 7 2 の一部がコンタクトホール 1 9 a に入り込んで、第 2 の画素電極 7 2 と薄膜トランジスタ 4 の各ソース電極 1 4 とが電氣的に導通する。

【 0 0 7 2 】

第 2 の画素電極 7 2 を成膜したら、当該第 2 の画素電極 7 2 にフォトリソグラフィ技術を施して所定パターンにエッチングし、図 9 (e) に示す通り、第 2 の画素電極 7 2 の一方の側縁部 7 2 a をドレインライン 6 にアライメント用重なり幅 La として 1 μ m 重複

50

させ、そのドレインライン 6 に隣り合うドレインライン 6 に他方の側縁部 7 2 b をアライメント用重なり幅 L_a として $1\ \mu\text{m}$ 重複させる。

【 0 0 7 3 】

第 2 の画素電極 7 2 をエッチングしたら、第 2 の画素電極 7 2 をマスクとして、各第 2 の画素電極 7 2 間から露出する絶縁膜 1 9 に対しフォトリソグラフィ技術を施し、図 9 (f) に示す通り、当該絶縁膜 1 9 をエッチングする。この状態において、絶縁膜 1 9 は、第 2 の画素電極 7 2 の直下の部位にのみ残留し、それ以外の部位が除去されている。

【 0 0 7 4 】

絶縁膜 1 9 をエッチングしたら、図 9 (g) に示す通り、第 1 の画素電極 7 1 及び第 2 の画素電極 7 2 を被覆するように増感絶縁膜 1 6 上に配向膜 2 0 をべた一面に成膜し、トランジスタアレイ基板 1 の製造が終了する。

【 0 0 7 5 】

以上の第 2 の実施形態では、第 1 の画素電極 7 1 と第 2 の画素電極 7 2 とが互いに異なる層に形成されているため、周知のフォトリソグラフィ・エッチング技術の精度の限界とは無関係に、第 1 , 第 2 の画素電極 7 1 , 7 2 の一方の側縁部 7 1 a , 7 2 a 同士及び他方の側縁部 7 1 b , 7 2 b 同士の間隔 (画素電極間距離 L_x) を最小仕上がり加工寸法長さ L_{min} 以下に狭めることができる。そのため、ドレインライン 6 の線幅を、従来の $6\ \mu\text{m}$ から周知のフォトリソグラフィ・エッチング技術の精度の限界とされる $4\ \mu\text{m}$ まで狭めることができ、ひいては各画素の開口率を向上させることができる。

【 0 0 7 6 】

なお、上記第 1 , 第 2 の各実施形態では、半導体膜 1 0 としてアモルファスシリコン又はポリシリコンを適用したが、半導体膜 1 0 は、これに限らず可視光のフォトンエネルギーより大きな金属酸化物から形成されたものであって可視光透過性を有する半導体であってもよく、具体的には、酸化亜鉛、酸化マグネシウム亜鉛、酸化カドミウム亜鉛、酸化カドミウムのうちの何れかから形成されるのがよい。

同様に、不純物半導体膜 1 2 , 1 3 は共に、可視光のフォトンエネルギーより大きな金属酸化物 (酸化亜鉛、酸化マグネシウム亜鉛、酸化カドミウム亜鉛、酸化カドミニウム) に n^+ の不純物 (例えば G a) をドーピングしたものであってもよい。

【 0 0 7 7 】

また上記第 1 , 第 2 の各実施形態では、薄膜トランジスタ 4 は逆スタガ構造であったが、これに限らずコプラナ型等用途に応じて適宜設計変更してもよい。

また上記第 1 , 第 2 の各実施形態では、薄膜トランジスタ 4 は n チャネル型であったが、 p チャネル型のみ、或いは n チャネル型の薄膜トランジスタ及び p チャネル型薄膜トランジスタが混在するようにしてもよい。

【 図面の簡単な説明 】

【 0 0 7 8 】

【 図 1 】 第 1 の実施形態に係るトランジスタアレイ基板の電極構成を示す平面図である。

【 図 2 】 図 1 の A - A 線に沿う断面図である。

【 図 3 】 図 1 の B - B 線に沿う断面図である。

【 図 4 】 第 1 の実施形態に係る画素の等価回路図である。

【 図 5 】 第 1 の実施形態に係るトランジスタアレイ基板の製造過程を経時的に示す図面である。

【 図 6 】 第 2 の実施形態に係るトランジスタアレイ基板の電極構成を示す平面図である。

【 図 7 】 図 6 の C - C 線に沿う断面図である。

【 図 8 】 図 6 の D - D 線に沿う断面図である。

【 図 9 】 第 2 の実施形態に係るトランジスタアレイ基板の製造過程を経時的に示す図面である。

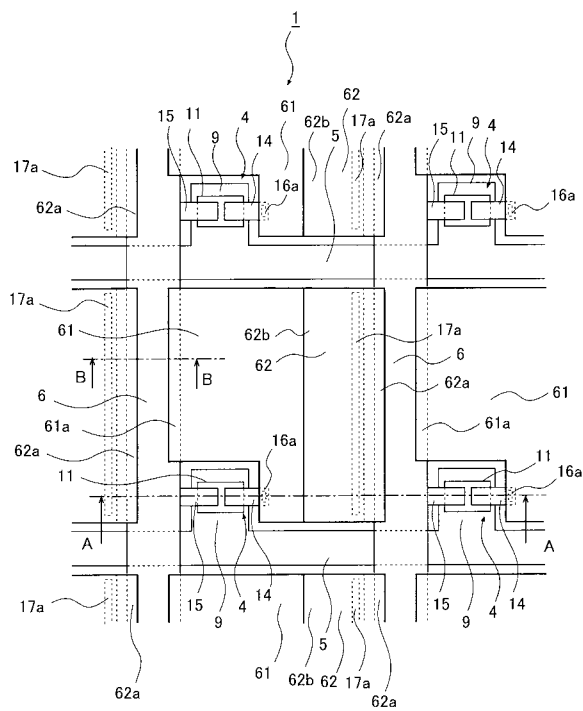
【 図 1 0 】 従来のトランジスタアレイ基板の断面図である。

【 符号の説明 】

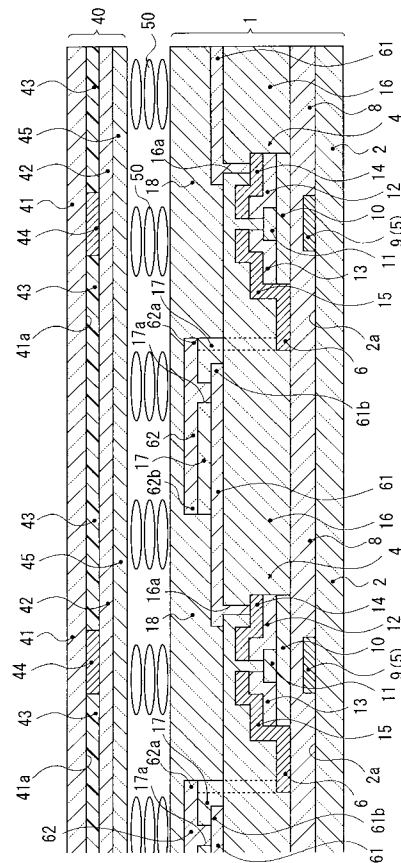
【 0 0 7 9 】

- 1 トランジスタアレイ基板
- 4 薄膜トランジスタ
- 5 ゲートライン
- 6 ドレインライン
- 6 1 , 7 1 第 1 の画素電極
- 6 1 a , 7 1 a 一方の側縁部
- 6 1 b , 7 1 b 他方の側縁部
- 6 2 , 7 2 第 2 の画素電極
- 6 2 a , 7 2 a 一方の側縁部
- 6 2 b , 7 2 b 他方の側縁部

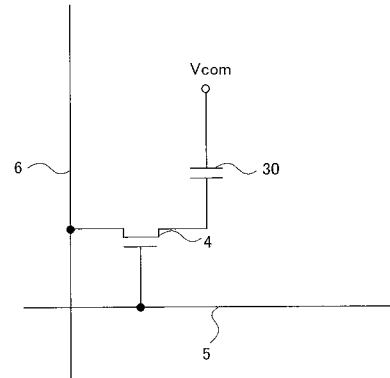
【 図 1 】



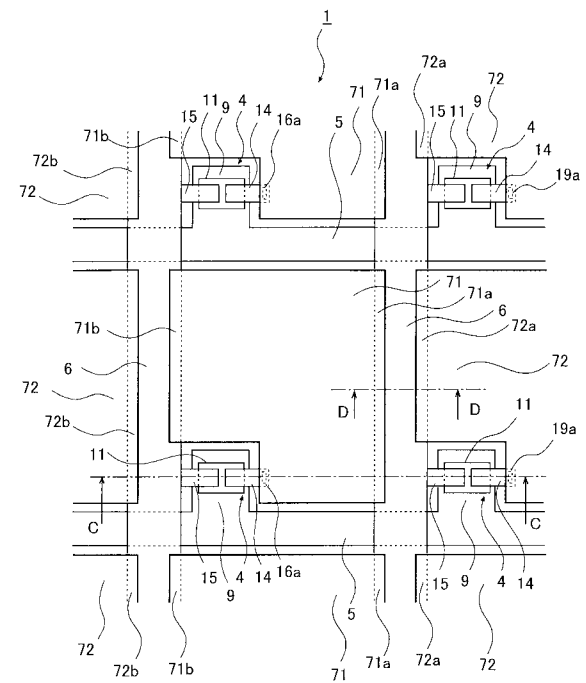
【 図 2 】



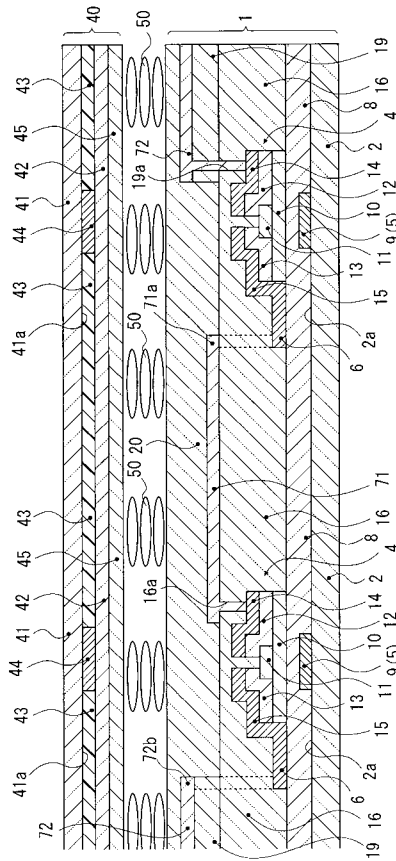
【圖 4】



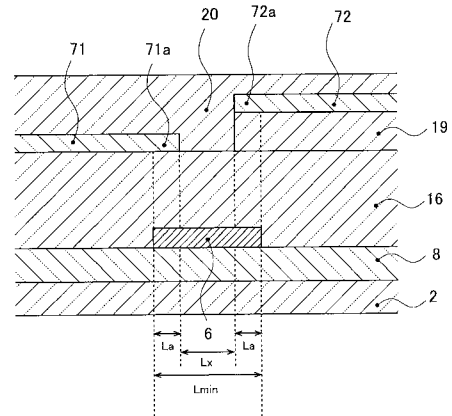
【 図 6 】



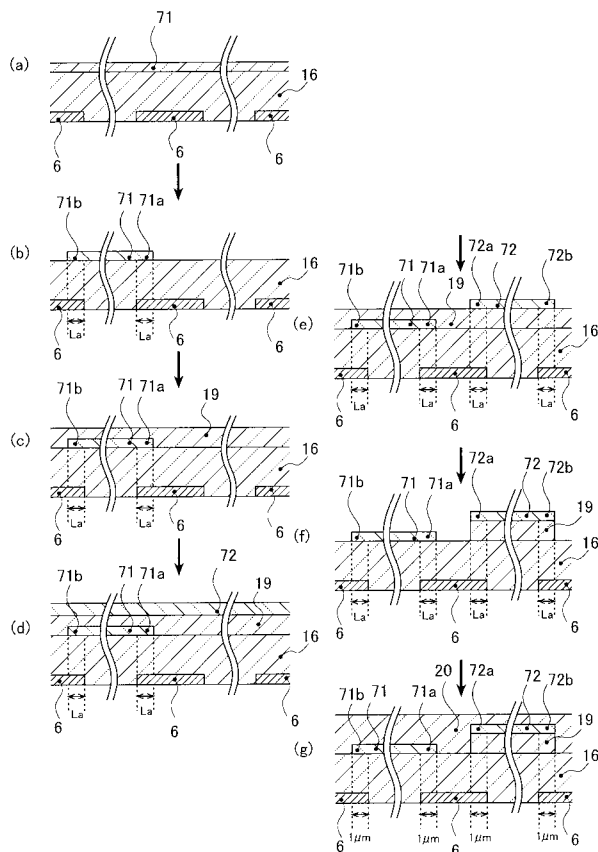
【図 7】



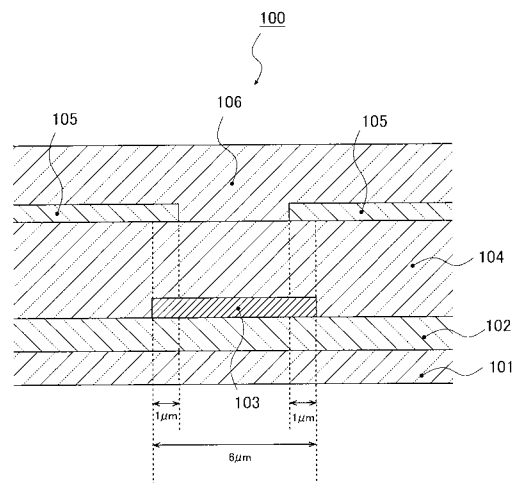
【図 8】



【図 9】



【図 10】



フロントページの続き

(56)参考文献 特開平10-123564(JP,A)
特開平06-160875(JP,A)
特開平10-170954(JP,A)
特開平04-264528(JP,A)
特開2003-330390(JP,A)
特開平06-222390(JP,A)
特開2003-140172(JP,A)
特開平10-142619(JP,A)
特開2003-248233(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345、
1/135 - 1/1368、
G09F 9/00 - 9/46、
H01L 21/33、27/32、29/786

专利名称(译)	晶体管阵列基板和液晶显示板		
公开(公告)号	JP4661060B2	公开(公告)日	2011-03-30
申请号	JP2004062163	申请日	2004-03-05
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	田中良孝		
发明人	田中 良孝		
IPC分类号	G09F9/30 G02F1/1343 G02F1/1368 H01L29/786 H01L21/336		
FI分类号	G09F9/30.338 G02F1/1343 G02F1/1368 H01L29/78.612.D		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/GA24 2H092/GA26 2H092/GA29 2H092/HA03 2H092/HA04 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA42 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB32 2H092/JB57 2H092/JB58 2H092/KA04 2H092/KA05 2H092/KB24 2H092/KB25 2H092/MA02 2H092/MA13 2H092/MA17 2H092/MA27 2H092/NA07 2H092/QA06 2H192/AA24 2H192/BA42 2H192/BC12 2H192/BC33 2H192/CB05 2H192/CB71 2H192/CC66 2H192/EA04 2H192/EA22 2H192/EA43 5C094/AA60 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/EA04 5C094/FA02 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/EE03 5F110/EE04 5F110/EE06 5F110/FF02 5F110/FF03 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK21 5F110/NN02 5F110/NN12 5F110/NN23 5F110/NN24 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN72 5F110/QQ01		
其他公开文献	JP2005250228A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了在有源矩阵驱动型的液晶显示面板等中使用，提高每个像素相对于晶体管阵列基板的开口率。解决方案：晶体管阵列基板具有薄膜晶体管，该薄膜晶体管布置在通过组合栅极线6（如栅格）构成的每个像素中。晶体管阵列基板设置有布置在各个像素中的第一像素电极61和以与第一像素电极导电的状态布置在各个像素中的第二像素电极62，并且形成第一像素电极61和第二像素电极62在相互不同的层中，第一和第二像素电极61和62的相应的一侧边缘部分61a和62a与漏极线6重叠。

