

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4580368号
(P4580368)

(45) 発行日 平成22年11月10日(2010.11.10)

(24) 登録日 平成22年9月3日(2010.9.3)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1345 (2006.01)	GO2F 1/1345
HO1L 21/336 (2006.01)	HO1L 29/78 612D
HO1L 29/786 (2006.01)	HO1L 29/78 616U
請求項の数 23 (全 30 頁) 最終頁に続く	

(21) 出願番号	特願2006-180059 (P2006-180059)	(73) 特許権者	501426046
(22) 出願日	平成18年6月29日(2006.6.29)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2007-133366 (P2007-133366A)		ミテッド
(43) 公開日	平成19年5月31日(2007.5.31)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成18年6月29日(2006.6.29)		イドードン 20
(31) 優先権主張番号	10-2005-0106839	(74) 代理人	100110423
(32) 優先日	平成17年11月9日(2005.11.9)		弁理士 曾我 道治
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上の非表示領域に形成された、第1多結晶半導体パターン、第1ゲート電極、第1ソース電極及び第1ドレイン電極を有するp型の駆動薄膜トランジスタ、並びに第2多結晶半導体パターン、第2ゲート電極、第2ソース電極及び第2ドレイン電極を有するn型の駆動薄膜トランジスタと、

前記基板上の表示領域に形成された、相互に交差して画素領域を定義するゲート配線及びデータ配線と、

前記基板上の表示領域に形成され、かつ前記ゲート配線及びデータ配線と接続され、第3多結晶半導体パターン、第3ゲート電極、第3ソース電極及び第3ドレイン電極を有する画素薄膜トランジスタと、

前記第3ドレイン電極を上から覆う画素電極と、

前記第1ソース電極及び第1ドレイン電極並びに前記第2ソース電極及び第2ドレイン電極を上から覆う遮断パターンと、

前記データ配線及び前記第3ソース電極を上から覆う遮断配線と、

前記画素領域に位置するストレージキャパシターと

を備え、

前記ストレージキャパシターは、

前記基板上の表示領域に形成された第1ストレージ電極と、

前記第1ストレージ電極上に位置する第2ストレージ電極と、

10

20

前記第 2 ストレージ電極上に位置し、かつ前記第 3 ドレイン電極から延長された第 3 ストレージ電極とを有し、

前記第 1 ストレージ電極は、

前記第 3 多結晶半導体パターンから延長された第 4 多結晶半導体パターンと、

前記第 4 多結晶半導体パターンの上部に位置するストレージパターンとを含む

ことを特徴とする液晶表示装置。

【請求項 2】

前記第 4 多結晶半導体パターンの外郭部は前記ストレージパターンによって覆われないことを特徴とする請求項 1 記載の液晶表示装置

【請求項 3】

前記第 2 ストレージ電極により覆われてない前記第 4 多結晶半導体パターンの外郭部の一部は、 n^+ イオンでドーピングされている

ことを特徴とする請求項 1 記載の液晶表示装置

【請求項 4】

前記第 4 多結晶半導体パターンの外郭部の一部は、前記第 2 ストレージ電極によって覆われない

ことを特徴とする請求項 1 記載の液晶表示装置

【請求項 5】

前記第 1 乃至第 3 多結晶半導体パターン及び前記第 1 ストレージ電極上に位置するゲート絶縁膜と、

前記第 1 乃至第 3 ゲート電極及び前記第 2 ストレージ電極上に位置する層間絶縁膜とをさらに備え、

前記画素電極は、前記層間絶縁膜の上部に位置する

ことを特徴とする請求項 1 記載の液晶表示装置

【請求項 6】

前記層間絶縁膜は、前記第 1 乃至第 3 ゲート電極及び前記第 2 ストレージ電極上に位置し、酸化半導体で形成された第 1 膜を有する

ことを特徴とする請求項 5 記載の液晶表示装置

【請求項 7】

前記層間絶縁膜は、前記画素電極と接触し、かつ前記第 1 膜の上部に位置し、窒化半導体で形成された第 2 膜をさらに有する

ことを特徴とする請求項 6 記載の液晶表示装置

【請求項 8】

第 1 マスクを使用して、基板上の非表示領域において、 p 領域に第 1 多結晶半導体パターンを、 n 領域に第 2 多結晶半導体パターンを形成するとともに、前記基板上の表示領域において、スイッチング領域に第 3 多結晶半導体パターンを、ストレージ領域に第 1 ストレージ電極の役割を果たす、前記第 3 多結晶半導体パターンから延長される第 4 多結晶半導体パターン、及び前記第 4 多結晶半導体パターン上のストレージパターンを形成する工程と、

前記第 1 乃至第 4 多結晶半導体パターン上にゲート絶縁膜を形成する工程と、

第 2 マスクを使用して、前記ゲート絶縁膜上において、前記 p 領域に第 1 ゲート電極を、前記 n 領域に第 1 金属パターンを、前記スイッチング領域及びストレージ領域に第 2 金属パターンを、前記表示領域に前記第 2 金属パターンと接続されるゲート配線を形成する工程と、

前記第 1 ゲート電極、第 1 金属パターン及び第 2 金属パターンを形成した後、前記第 1 多結晶半導体パターンの第 1 ソース部及び第 1 ドレイン部に p^+ イオンをドーピングする工程と、

第 3 マスクを使用して、前記第 1 金属パターン及び第 2 金属パターンから、前記 n 領域には第 2 ゲート電極を、前記スイッチング領域には第 3 ゲート電極を、前記ストレージ領域には第 2 ストレージ電極を形成する工程と、

10

20

30

40

50

前記第 2 ゲート電極、前記第 3 ゲート電極及び前記第 2 ストレージ電極を形成した後、前記第 2 多結晶半導体パターンの第 2 ソース部及び第 2 ドレイン部、並びに前記第 3 多結晶半導体パターンの第 3 ソース部及び第 3 ドレイン部に n^+ イオンをドーピングする工程と、

前記第 1 乃至第 3 ゲート電極、及び前記第 2 ストレージ電極の上に層間絶縁膜を形成する工程と、

第 4 マスクを使用して、前記第 1 ソース部及び第 1 ドレイン部、前記第 2 ソース部及び第 2 ドレイン部、並びに前記第 3 ソース部を露出するとともに、前記第 3 ドレイン部、第 4 多結晶半導体パターン、ストレージパターンの中で少なくとも 1 つを露出するコンタクトホールを前記層間絶縁膜に形成する工程と、

10

第 5 マスクを使用して、前記層間絶縁膜上に、前記 p 領域、n 領域及びスイッチング領域の各々にソース電極及びドレイン電極を、前記ストレージ領域に第 3 ストレージ電極を形成するとともに、前記スイッチング領域のソース電極と接続されるデータ配線を形成する工程と、

第 6 マスクを使用して、前記スイッチング領域のドレイン電極及び前記第 3 ストレージ電極の上に画素電極を、前記 p 領域及び前記 n 領域に形成された各々のソース電極及びドレイン電極の上に遮断パターンを、前記データ配線及び前記スイッチング領域のソース電極の上に遮断配線を形成する工程と

を含むことを特徴とする液晶表示装置の製造方法。

【請求項 9】

20

前記第 1 マスクを使用して、前記第 1 乃至第 4 多結晶半導体パターン及びストレージパターンを形成する工程は、

多結晶半導体層、金属層及びフォトレジスト層を順次積層して形成する工程と、

前記第 1 マスクを使用して、前記 p 領域に第 1 フォトレジストパターンを、前記 n 領域に第 2 フォトレジストパターンを、前記スイッチング領域に第 3 フォトレジストパターンを、前記ストレージ領域に前記第 1、第 2、及び第 3 フォトレジストパターンより厚い第 4 フォトレジストパターンを形成する工程と、

前記多結晶半導体層及び前記金属層をエッチングして、前記第 1 乃至第 4 多結晶半導体パターン上において、前記 p 領域に第 3 金属パターンを、前記 n 領域に第 4 金属パターンを、前記スイッチング領域及び前記ストレージ領域に第 5 金属パターンを形成する工程と

30

、
前記第 1 乃至第 4 フォトレジストパターンをアッシングして、前記第 1 乃至第 3 フォトレジストパターンを除去する工程と、

前記アッシングされた第 4 フォトレジストパターンを使用して、前記第 3 乃至第 5 金属パターンを除去する工程とを含み、

前記第 5 金属パターンを除去する工程は、前記第 5 金属パターンの前記第 3 多結晶半導体パターンに対応する部分を除去して、前記第 4 多結晶半導体パターン上に前記ストレージパターンを形成することを含む

ことを特徴とする請求項 8 記載の液晶表示装置の製造方法。

【請求項 10】

40

前記第 1 マスクは、透過部と、前記第 1 乃至第 3 フォトレジストパターンに対応する半透過部と、前記第 4 フォトレジストパターンに対応する遮断部とを含む

ことを特徴とする請求項 9 記載の液晶表示装置の製造方法。

【請求項 11】

前記第 2 マスクを使用して、前記第 1 ゲート電極、前記第 1 金属パターン、及び前記第 2 金属パターンを形成する工程は、

前記ゲート絶縁膜上に金属層を形成する工程と、

前記金属層をパターニングして、前記 1 多結晶半導体パターンの中心部に対応する前記第 1 ゲート電極と、前記第 2 多結晶半導体パターンを覆う前記第 1 金属パターンと、前記第 3 及び第 4 多結晶半導体パターンを覆う前記第 2 金属パターンを形成する工程とを含む

50

ことを特徴とする請求項 8 記載の液晶表示装置の製造方法。

【請求項 1 2】

前記第 3 マスクを使用して、前記第 2 ゲート電極、前記第 3 ゲート電極、及び前記第 2 ストレージ電極を形成する工程は、

前記第 1 多結晶半導体パターンを覆う第 1 フォトリソパターン、前記第 2 及び前記第 3 多結晶半導体パターンの中心部に各々対応する第 2 及び第 3 フォトリソパターン、並びに前記ストレージ領域に対応する第 4 フォトリソパターンを形成する工程と、

前記第 1 乃至第 4 フォトリソパターンを使用して、前記第 1 及び第 2 金属パターンをエッチングする工程とを含む

ことを特徴とする請求項 8 記載の液晶表示装置の製造方法。

10

【請求項 1 3】

前記第 4 多結晶半導体パターンの外郭部の一部は、前記第 2 ストレージ電極に覆われない

ことを特徴とする請求項 1 2 記載の液晶表示装置の製造方法。

【請求項 1 4】

前記第 4 多結晶半導体パターンの外郭部の一部は、前記 n^+ イオンによってドーピングされる

ことを特徴とする請求項 1 3 記載の液晶表示装置の製造方法。

【請求項 1 5】

前記第 4 多結晶半導体パターンの外郭部の一部にドーピングされた n^+ イオンを前記ストレージパターンの下部へ拡散させる熱処理工程をさらに含む

20

ことを特徴とする請求項 1 4 記載の液晶表示装置の製造方法。

【請求項 1 6】

前記第 2 多結晶半導体パターン及び前記第 3 多結晶半導体パターンに n^- イオンをドーピングして低濃度ドーピング領域を形成する工程をさらに含む

ことを特徴とする請求項 1 2 記載の液晶表示装置の製造方法。

【請求項 1 7】

前記 n^- イオンをドーピングする工程は、

前記第 1 乃至第 4 フォトリソパターンをアッシングする工程と、

アッシングされた前記第 1 乃至第 4 フォトリソパターンを使用して、前記第 2 ゲート電極及び前記第 3 ゲート電極の側面部を除去する工程と、

30

前記第 2 及び第 3 多結晶半導体パターンにおいて、前記第 2 及び第 3 ゲート電極の除去された側面部に対応する部分を n^- イオンでドーピングする工程とを含む

ことを特徴とする請求項 1 6 記載の液晶表示装置の製造方法。

【請求項 1 8】

前記層間絶縁膜を形成する工程は、

前記第 1 乃至第 3 ゲート電極、及び前記第 2 ストレージ電極の上に、酸化シリコンを蒸着して第 1 膜を形成する工程を含む

ことを特徴とする請求項 8 記載の液晶表示装置の製造方法。

40

【請求項 1 9】

前記層間絶縁膜を形成する工程は、

前記画素電極と接触し、前記第 1 膜の上部に窒化シリコンを蒸着して第 2 膜を形成する工程をさらに含む

ことを特徴とする請求項 1 8 記載の液晶表示装置の製造方法。

【請求項 2 0】

前記画素電極は、前記スイッチング領域のドレイン電極及び前記第 3 ストレージ電極を覆い、前記遮断パターンは、前記 n 領域及び前記 p 領域のソース電極及びドレイン電極を覆い、前記遮断配線は、前記スイッチング領域のソース電極及びデータ配線を覆う

ことを特徴とする請求項 8 記載の液晶表示装置の製造方法。

【請求項 2 1】

50

基板上の非表示領域に位置する n 型の駆動薄膜トランジスタ及び p 型の駆動薄膜トランジスタと、

前記基板上の表示領域に位置し、多結晶半導体パターン、前記多結晶半導体パターンの上に位置するゲート電極、前記ゲート電極の上に位置するソース電極及びドレイン電極を有する画素薄膜トランジスタと、

前記多結晶半導体パターン及び前記ゲート電極の間に位置するゲート絶縁膜と、

前記ゲート電極と前記ソース電極及びドレイン電極の間に位置する層間絶縁膜と、

相互に交差して画素領域を定義するゲート配線及びデータ配線と、

前記画素領域に位置する画素電極と、

前記画素薄膜トランジスタと接続し、前記画素薄膜トランジスタの多結晶半導体パターンから延長されたストレージ多結晶半導体パターン及び前記ストレージ多結晶半導体パターンの上部に位置するストレージパターンを持つ第 1 ストレージ電極、前記ゲート絶縁膜の上部に位置する第 2 ストレージ電極、並びに前記画素薄膜トランジスタのドレイン電極から延長された第 3 ストレージ電極を有するストレージキャパシターと

を備えたことを特徴とする液晶表示装置。

【請求項 2 2】

前記画素電極は、前記画素薄膜トランジスタのドレイン電極、前記第 3 ストレージ電極及び前記層間絶縁膜の上部に位置し、前記画素薄膜トランジスタのドレイン電極を覆うことを特徴とする請求項 2 1 記載の液晶表示装置。

【請求項 2 3】

前記 n 型及び p 型の駆動薄膜トランジスタのソース電極及びドレイン電極を上から覆う遮断パターンと、

前記画素薄膜トランジスタのソース電極及び前記データ配線を上から覆う遮断配線とをさらに備えた

ことを特徴とする請求項 2 2 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に駆動回路一体型液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置は、薄膜トランジスタ T F T を含むアレイ基板とカラーフィルタ基板間に液晶を注入して、この液晶の異方性による光の屈折率の差を利用してイメージを得る表示装置である。このような表示装置のスイッチング素子として使用される薄膜トランジスタは、アレイ部の設計によって多様な形態で構成でき、特に、アクティブ層として使用される半導体層には、非晶質シリコンまたは、多結晶シリコン（ポリシリコン）を使用する。この時、一般的なスイッチング素子としては、水素化された非晶質シリコン（a - S i : H）が主に利用されるが、これは、低温工程が可能であり、低価格の絶縁基板が使用できるからである。ところが、水素化された非晶質シリコンは、原子配列が無秩序であるために、弱い結合（w e a k S i - S i b o n d）及びダングリングボンド（d a n g l i n g b o n d）が存在して、光の照射や電場の印加時、準安定状態に変化され、薄膜トランジスタ素子として活用する時に、安定性が問題になり、電気的特性（低い電界効果の移動度： $0.1 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{s}$ ）が良くないので、駆動回路としては、使用するのが難しい。一方、ポリシリコンは、非晶質シリコンに比べて、電界効果と移動度が大きいので、基板上に、駆動回路が形成でき、ポリシリコンを利用して、基板に直接駆動回路を形成すると、実装が大変簡単になり、液晶パネルがさらにコンパクトに製作できる長所がある。

【0003】

図 1 は、従来のスイッチング素子と駆動回路が 1 つの基板に形成された一体型の液晶表

10

20

30

40

50

示装置を概略的に示した図である。図 1 に示したように、絶縁基板 10 は、表示領域 D1 と非表示領域 D2 で定義され、前記表示領域 D1 には、多数の画素領域 P がマトリックス状に位置し、各画素ごとにスイッチング素子 T 及びこれに連結された画素電極 17 が構成される。また、前記画素領域 P の一側に沿って延長されたゲート配線 12 と、これとは垂直に交差するデータ配線 14 が構成される。前記非表示領域 D2 には、駆動回路部 16、18 が構成されるが、前記駆動回路部 16、18 は、基板 10 の一側に位置して、前記ゲート配線 12 に信号を供給するゲート駆動回路部 16 と、これとは平行ではない基板 10 の他側に位置して、前記データ配線 14 に信号を供給するデータ駆動回路部 18 を含む。前記ゲート駆動回路部 16 及びデータ駆動回路部 18 は、外部から入力された信号を調節し、各々ゲート配線 12 及びデータ配線 14 を通じて画素領域 P に、ディスプレイコントロール信号及びデータ信号を供給するための回路である。従って、前記ゲート駆動回路部 16 及びデータ駆動回路部 18 は、入力される信号を適切に出力させるために、一般的には、インバーターである CMOS (Complementary Metal-Oxide Semiconductor) 構造の薄膜トランジスタで構成される。前記 CMOS は、高速信号処理が要求される駆動回路部薄膜トランジスタに使用される半導体技術の一種であり、陰電気で充電された余分の電子等 (n 型の半導体) と陽電気で充電された正孔等 (p 型の半導体) を利用して 1 つの伝導体を形成し、相互補完的な方法で、前記 2 種類の半導体の効果的な電気制御に使用される。このように、非表示領域 D2 の駆動回路部を構成する CMOS 素子は、n 型及び p 型の多結晶薄膜トランジスタの組み合わせで構成され、前記表示領域 D1 のスイッチング素子は、n 型及び p 型の多結晶薄膜トランジスタで構成される。

【0004】

図 2 は、従来の液晶表示装置の表示領域を示した概略的な平面図である。図 2 に示したように、基板 30 の一面に、第 1 方向に、ゲート配線 GL が構成され、前記ゲート配線 GL と交差して、画素領域 P を定義するデータ配線 DL が構成される。前記ゲート配線 GL 及びデータ配線 DL の交差部には、ゲート電極 52 及びアクティブ層 38 (多結晶シリコン層) と、ソース電極 74a 及びドレイン電極 74b で構成された多結晶の薄膜トランジスタ T が構成され、前記画素領域 P には、前記ドレイン電極 74b と接触する画素電極 82 が構成される。また、前記画素領域 P には、第 1 ストレージ電極 40、第 2 ストレージ電極 54、第 3 ストレージ電極 76 で形成されたストレージキャパシタ Cst が構成される。前記のような構成は、液晶パネルの表示領域の一部を示しており、このような形状が連続されて表示領域を構成する。前述した表示領域の周辺に、駆動回路部 (図示せず) を形成し、駆動回路部 (図示せず) には、前記ゲート配線 GL 及びデータ配線 DL に信号を伝達するための駆動回路 (図示せず) が形成される。前記駆動回路 (図示せず) は、多結晶薄膜トランジスタの組み合わせによって構成され、駆動の特性が速くて、漏洩電流がないようにするために、n 型の多結晶薄膜トランジスタも、前述したように、CMOS 薄膜トランジスタの組み合わせによって形成することができる。

【0005】

以下、図 3A 及び図 3B は、従来のスイッチング素子と駆動回路が 1 つの基板に形成される一体型の液晶表示装置用アレイ基板を示した概略的な断面図である。図 3A は、駆動回路部を示した断面図であり、図 3B は、前記図 2 の III-III 線に沿って切断した断面図である。図 3A と図 3B に示したように、非表示領域 D2 に構成した駆動回路 DC は、CMOS 薄膜トランジスタ T の組み合わせによって構成され、前記 CMOS 薄膜トランジスタ T は、n 型の薄膜トランジスタ Tn と p 型の薄膜トランジスタ Tp の組み合わせによって構成される。表示領域 D1 に構成された単一画素領域 P は、スイッチング素子 Ts と、これと接触して画素領域 P 全面に形成された画素電極 82 と、補助容量部であるストレージキャパシタ Cst が形成される。この時、前記画素領域 P に使用するスイッチング素子 Ts は、n 型または、p 型の多結晶薄膜トランジスタを使用するが、一般的には、n 型の多結晶薄膜トランジスタを使用する。前記ストレージキャパシタ Cst は、第 1 ストレージ電極 40、第 2 ストレージ電極 54、第 3 ストレージ電極 76 で形成され、

等価回路的には、2つのキャパシターC1、C2が直列接続された状態である。このような構成は、領域を拡大しなくても、補助容量がさらに確保できる長所がある。前述したような構成の駆動回路一体型の液晶表示装置用アレイ基板は、一般的に、ストレージキャパシターCstを形成するためのドーピング工程と、n型の多結晶薄膜トランジスタTnを形成するためのn⁺イオンドーピング工程と、p型の多結晶薄膜トランジスタTpを形成するためのp⁺イオンドーピング工程を含む9マスク工程を必要とする。以下、工程図面を参照して、従来の駆動回路一体型の液晶表示装置用アレイ基板の製造方法を説明する。

【0006】

図4Aないし図4Iは、従来の液晶表示装置用アレイ基板の非表示領域の製造工程を示した概略的な断面図であり、図5Aないし図5Iは、従来の液晶表示装置用アレイ基板の表示領域の製造工程を示した概略的な平面図であり、図6Aないし図6Iは、各々図5Aないし図5IのVI-VI線に沿って切断した断面図である。

10

【0007】

図4Aと図5Aと図6Aは、第1マスク工程を示した図である。図4Aと図5Aと図6Aに示したように、基板30に、表示領域D1と非表示領域D2を定義して、表示領域D1には、多数の画素領域Pを定義する。この時、非表示領域D2に、第1領域A1と第2領域A2を定義し、前記画素領域Pに、第3領域A3と第4領域A4を定義する。前述したように、第1ないし第4領域A1、A2、A3、A4が定義された基板30の一面に、絶縁物質を蒸着してバッファ層32を形成し、前記バッファ層32の上部に非晶質シリコン(a-Si:H)を蒸着した後、結晶化する工程を行う。一般的には、レーザーを利用して結晶化を行う。結晶化工程によって結晶化された層をパターンニングし、前記第1領域A1と第2領域A2と第3領域A3に、アクティブ層として機能する第1ないし第3多結晶半導体層34、36、38を形成し、前記第4領域A4に、第1ストレージ電極として機能する第4多結晶半導体層40を形成する。この時、第3多結晶半導体層38と第4多結晶半導体層40は、一体に形成することができる。

20

【0008】

図4Bと図5Bと図6Bは、第2マスク工程を示しており、前記第4領域A4の第4多結晶半導体層40にイオンをドーピングする工程を示した図である。図4Bと図5Bと図6Bに示したように、第1ないし第4多結晶半導体層34、36、38、40が形成された基板30全面に、フォトレジストを塗布した後、第2マスク工程によってパターンニングし、前記第1領域A1と第2領域A2及び第3領域A3を遮蔽する第1フォトレジストパターン42を形成する。前記第1フォトレジストパターン42によって遮蔽されない第4領域A4の第4多結晶半導体層40の表面に、n⁺イオンをドーピングする工程を行う。前記第4多結晶半導体層40は、電極の役割をして、低い抵抗を有するために、イオン(nまたは、p型のイオン)をドーピングする工程を行う。イオンドーピング工程が完了すると、前記第1フォトレジストパターン42を除去する工程を行う。

30

【0009】

図4Cと図5Cと図6Cは、第3マスク工程を示した断面図である。図4Cと図5Cと図6Cに示したように、前記第4領域A4の第4多結晶半導体層40にイオンをドーピングして第1ストレージ電極を形成する工程後、前記第1ないし第4多結晶半導体層34、36、38、40が形成された基板30全面にゲート絶縁膜46を形成する。前記ゲート絶縁膜46は、窒化シリコンSiNxと酸化シリコンSiO₂を含む無機絶縁物質グループのうちから選択された1つ以上の物質を蒸着して形成する。前記ゲート絶縁膜46が形成された基板30全面に、導電性金属を蒸着して第3マスク工程によってパターンニングし、前記第1ないし第3多結晶半導体層34、36、38の中心に対応する上部に第1ないし第3ゲート電極48、50、52を形成し、前記第4領域A4の第4多結晶半導体層40に対応する上部に第2ストレージ電極54を形成すると同時に、前記第3領域A3に構成したゲート電極52から延長され、画素領域Pの一侧に位置するようにゲート配線GLを形成して、前記第2ストレージ電極54から延長され画素領域Pを横切るストレージ配線SLを形成する。

40

50

【0010】

図4Dと図5Dと図6Dは、第4マスク工程を示しており、第2領域A2と第3領域A3の第2多結晶半導体層36及び第3多結晶半導体層38に、 n^+ イオンをドーピングするための工程断面図である。図4Dと図5Dと図6Dに示したように、第1ないし第3電極48、50、52と第2ストレージ電極54とゲート配線（図示せず）が形成された基板30全面にフォトレジストを塗布した後、第4マスク工程によってパターニングし、前記第1領域A1を覆うフォトレジストパターン56を形成する。前記フォトレジストパターン56間に露出された第2領域A2と第3領域A3に n^+ イオンをドーピングする工程を行う。前記第2領域A2と第3領域A3の第2半導体層36と第3半導体層38領域の前記第2ゲート電極50と第3ゲート電極52の周辺に露出された表面に n^+ イオンがドーピングされ、イオンがドーピングされた領域は、抵抗性接触（ohmic contact）の特性を有する。前述したような第4マスク工程が完了すると、前記フォトレジストパターン56を除去する工程を行う。

10

【0011】

図4Eと図5Eと図6Eは、第5マスク工程を示しており、第1領域A1の半導体層に p^+ イオンをドーピングするための工程断面図である。図4Eと図5Eと図6Eに示したように、第1ないし第3ゲート電極48、50、52と第2ストレージ電極54が形成された基板30にフォトレジストを塗布した後、第5マスク工程によってパターニングし、第2領域A2と第3領域A3と第4領域A4を覆うフォトレジストパターン58を形成する。ここで、前記第4領域A4は、既に第2ストレージ電極54が形成された状態であるので、フォトレジストパターンを形成しなくても良い。第1領域A1の露出された第1半導体層34のゲート電極48の周辺に露出された表面に p^+ イオンをドーピングする工程を行う。この時、イオンがドーピングされた領域は、前述したように、抵抗性接触（ohmic contact）の特性を有する。

20

【0012】

図4Fと図5Fと図6Fは、第6マスク工程を示した工程断面図である。前述したように、第1ないし第3半導体層34、36、38にイオンをドーピングして抵抗性接触領域（以下、オーミックコンタクト領域と称する。）の形成工程が行われた基板30に、窒化シリコン Si_3N_4 と酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された1つを蒸着して層間絶縁膜60を形成する。前記層間絶縁膜60とその下部のゲート絶縁膜46を第6マスク工程によってパターニングし、前記第1ないし第3半導体層34、36、38のオーミックコンタクト領域（イオンドーピング領域）を露出するコンタクトホールを形成する。詳しくは、前記第1ないし第3ゲート電極48、50、52を中心に両側の半導体層34、36、38、すなわち、オーミックコンタクト領域を各々露出する第1ないし第3コンタクトホール62、64、66を形成する。前記第1ないし第3コンタクトホール62、64、66は、第1ないし第3ソースコンタクトホール62a、64a、66a及び第1ないし第3ドレインコンタクトホール62b、64b、66bで構成される。

30

【0013】

図4Gと図5Gと図6Gは、第7マスク工程を示した工程断面図である。前記第1ないし第3半導体層34、36、38のオーミックコンタクト領域（イオンドーピング領域）の一部を露出する層間絶縁膜60が形成された基板30全面に、クロムCr、モリブデンMo、タングステンW、銅Cu、アルミニウム合金AlNd等を含む導電性金属グループのうちから選択された1つを蒸着してパターニングし、前記露出されたオーミックコンタクト領域と接触する第1ないし第3ソース電極70a、72a、74aと第1ないし第3ドレイン電極70b、72b、74bを形成する。この時、前記第3領域A3に構成したドレイン電極74bから第4領域A4に延長された延長部をさらに形成して、これは、第3ストレージ電極76としての役割を果たす。また、前記表示領域D1の第3領域A3に形成したソース電極74aから延長され、前記ゲート配線GLと交差して画素領域Pの一侧に延長されたデータ配線DLを形成する。前述した第1ないし第7マスク工程によって

40

50

、非表示領域 D 2 には、p 型の多結晶薄膜トランジスタ T (p) と n 型の多結晶薄膜トランジスタ T (n) の組み合わせである C M O S 素子が形成され、前記表示領域 D 1 の第 3 領域 A 3 には、n 型の多結晶薄膜トランジスタで構成されたスイッチング薄膜トランジスタ T s が形成され、前記第 4 領域 A 4 には、第 1 ストレージ電極 4 0、第 2 ストレージ電極 5 4、第 3 ストレージ電極 7 6 (ソース / ドレイン金属層) で構成された第 1 ストレージキャパシター C 1 及び第 2 ストレージキャパシター C 2 は、ストレージキャパシター C s t を構成する。

【 0 0 1 4 】

図 4 H と図 5 H と図 6 H は、第 8 マスク工程を示した工程断面図である。図 4 H と図 5 H と図 6 H に示したように、前記第 1 ないし第 3 領域 A 1、A 2、A 3 ごとに第 1 ないし第 3 ソース電極 7 0 a、7 2 a、7 4 a と第 1 ないし第 3 ドレイン電極 7 0 b、7 2 b、7 4 b が形成された基板 3 0 全面に、前述した絶縁物質グループのうちから選択された 1 つ以上の物質を蒸着して保護層 7 8 を形成する。前記保護層 7 8 を第 8 マスク工程によってパターニングし、前記第 3 領域 A 3 のドレイン電極 7 4 b または、第 3 ストレージ電極 7 6 を露出するドレインコンタクトホール 8 0 を形成する。

【 0 0 1 5 】

図 4 I と図 5 I と図 6 I は、第 9 マスク工程を示した工程断面図である。図 4 I と図 5 I と図 6 I に示したように、前記保護層 7 8 が形成された基板 3 0 全面に、インジウム - スズ - オキサイド I T O とインジウム - ジンク - オキサイド I Z O を含む透明な導電性金属グループのうちから選択された 1 つを蒸着して、第 9 マスク工程によってパターニングし、前記ドレイン電極 7 4 b または、これに延長された前記第 3 ストレージ電極 7 6 と接触して前記画素領域 P に位置する画素電極 8 2 を形成する。以上、前述したような第 1 ないし第 9 マスク工程によって、従来の駆動回路一体型の液晶パネルの薄膜トランジスタアレイ基板を製作することができる。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

従って、従来は、多数の工程によって駆動回路一体型のアレイ基板を製作するために、工程時間の増大と生産費用の増加により生産効率が低下するという問題点があった。また、多数の工程による不良発生率が高いという短所があった。

【 0 0 1 7 】

本発明は、前述したような課題を解決するためになされたもので、その目的は、工程数を減少させて工程時間を短縮することができ、生産費用を低下させると同時に、不良発生率を減少させて生産効率を高めることができる液晶表示装置及びその製造方法を得るものである。

【 課題を解決するための手段 】

【 0 0 1 8 】

本発明に係る液晶表示装置は、基板上の非表示領域に形成された、第 1 多結晶半導体パターン、第 1 ゲート電極、第 1 ソース電極及び第 1 ドレイン電極を有する p 型の駆動薄膜トランジスタ、並びに第 2 多結晶半導体パターン、第 2 ゲート電極、第 2 ソース電極及び第 2 ドレイン電極を有する n 型の駆動薄膜トランジスタと、前記基板上の表示領域に形成された、相互に交差して画素領域を定義するゲート配線及びデータ配線と、前記基板上の表示領域に形成され、かつ前記ゲート配線及びデータ配線と接続され、第 3 多結晶半導体パターン、第 3 ゲート電極、第 3 ソース電極及び第 3 ドレイン電極を有する画素薄膜トランジスタと、前記第 3 ドレイン電極を上から覆う画素電極と、前記第 1 ソース電極及び第 1 ドレイン電極並びに前記第 2 ソース電極及び第 2 ドレイン電極を上から覆う遮断パターンと、前記データ配線及び前記第 3 ソース電極を上から覆う遮断配線と、前記画素領域に位置するストレージキャパシターとを備え、前記ストレージキャパシターは、前記基板上の表示領域に形成された第 1 ストレージ電極と、前記第 1 ストレージ電極上に位置する第 2 ストレージ電極と、前記第 2 ストレージ電極上に位置し、かつ前記第 3 ドレイン電極か

ら延長された第3ストレージ電極とを有し、前記第1ストレージ電極は、前記第3多結晶半導体パターンから延長された第4多結晶半導体パターンと、前記第4多結晶半導体パターンの上部に位置するストレージパターンとを含むものである。

【0019】

本発明に係る液晶表示装置の製造方法は、第1マスクを使用して、基板上の非表示領域において、p領域に第1多結晶半導体パターンを、n領域に第2多結晶半導体パターンを形成するとともに、前記基板上の表示領域において、スイッチング領域に第3多結晶半導体パターンを、ストレージ領域に第1ストレージ電極の役割を果たす、前記第3多結晶半導体パターンから延長される第4多結晶半導体パターン、及び前記第4多結晶半導体パターン上のストレージパターンを形成する工程と、前記第1乃至第4多結晶半導体パターン上にゲート絶縁膜を形成する工程と、第2マスクを使用して、前記ゲート絶縁膜上において、前記p領域に第1ゲート電極を、前記n領域に第1金属パターンを、前記スイッチング領域及びストレージ領域に第2金属パターンを、前記表示領域に前記第2金属パターンと接続されるゲート配線を形成する工程と、前記第1ゲート電極、第1金属パターン及び第2金属パターンを形成した後、前記第1多結晶半導体パターンの第1ソース部及び第1ドレイン部にp⁺イオンをドーピングする工程と、第3マスクを使用して、前記第1金属パターン及び第2金属パターンから、前記n領域には第2ゲート電極を、前記スイッチング領域には第3ゲート電極を、前記ストレージ領域には第2ストレージ電極を形成する工程と、前記第2ゲート電極、前記第3ゲート電極及び前記第2ストレージ電極を形成した後、前記第2多結晶半導体パターンの第2ソース部及び第2ドレイン部、並びに前記第3多結晶半導体パターンの第3ソース部及び第3ドレイン部にn⁺イオンをドーピングする工程と、前記第1乃至第3ゲート電極、及び前記第2ストレージ電極の上に層間絶縁膜を形成する工程と、第4マスクを使用して、前記第1ソース部及び第1ドレイン部、前記第2ソース部及び第2ドレイン部、並びに前記第3ソース部を露出するとともに、前記第3ドレイン部、第4多結晶半導体パターン、ストレージパターンの中で少なくとも1つを露出するコンタクトホールを前記層間絶縁膜に形成する工程と、第5マスクを使用して、前記層間絶縁膜上に、前記p領域、n領域及びスイッチング領域の各々にソース電極及びドレイン電極を、前記ストレージ領域に第3ストレージ電極を形成するとともに、前記スイッチング領域のソース電極と接続されるデータ配線を形成する工程と、第6マスクを使用して、前記スイッチング領域のドレイン電極及び前記第3ストレージ電極の上に画素電極を、前記p領域及び前記n領域に形成された各々のソース電極及びドレイン電極の上に遮断パターンを、前記データ配線及び前記スイッチング領域のソース電極の上に遮断配線を形成する工程とが設けられたものである。

【発明の効果】

【0020】

本発明に係る液晶表示装置及びその製造方法は、従来に比べて、工程が単純化されて生産費用を節減でき、工程時間を短縮することができる。また、工程が単純化されることによって、不良発生率を低下させることができ、生産効率を改善することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態に係る駆動回路一体型の液晶表示装置用アレイ基板の製造方法を説明する。図7は、本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域を概略的に示した平面図である。図7に示したように、基板100上に、一方向に延長されたゲート配線GLと、前記ゲート配線GLと垂直に交差して画素領域Pを定義するデータ配線DLを構成する。前記ゲート配線GLとデータ配線DLの交差点には、スイッチング素子である画素薄膜トランジスタを構成し、前記画素領域Pには、画素電極170を構成する。前記画素薄膜トランジスタは、多結晶半導体パターン116と、ゲート電極148と、ソース電極164aと、ドレイン電極164bとを含む。前記画素電極170は、前記ドレイン電極164bと接触するように構成する。前記画素領域Pの一部には、画素ストレージジキャパシターCs_tを構成する。前記画素ストレージジキャパシターCs

t は、ストレージ半導体パターン 118 及びストレージパターン 124 で積層形成された第 1 ストレージ電極 S1 と、ストレージ配線 SL から前記第 1 ストレージ電極 S1 の上部に延長された第 2 ストレージ電極 150 と、前記ドレイン電極 164b から前記第 2 ストレージ電極 150 の上部に延長された第 3 ストレージ電極 166 で構成される。前記画素電極 170 は、前記ドレイン電極 164b と前記第 3 ストレージ電極 166 とを覆う。遮断配線 173 は、前記ソース電極 164a と、前記ソース電極 164a から延長されたデータ配線 DL を覆う。以下、断面構成を参照して、前述した構成を含む駆動回路一体型の液晶表示装置用アレイ基板の構成を説明する。

【0022】

図 8A 及び図 8B は、本発明の実施の形態に係るスイッチング素子と駆動回路部が 1 つの基板に形成される液晶表示装置用アレイ基板を示した概略的な断面図であり、図 8B は、図 7 の V I I I - V I I I 線に沿って切断した概略的な断面図である。図 8A と図 8B に示したように、駆動回路一体型の液晶表示装置用アレイ基板 100 は、表示領域 D1 と非表示領域 D2 に区分される。前記非表示領域 D2 には、n (第 2) 領域 A2 に位置する n 型の駆動薄膜トランジスタ T (n) と p (第 1) 領域 A1 に位置する p 型の駆動薄膜トランジスタ T (p) の組み合わせである CMOS で構成された駆動回路が形成されている。前記 p 型の駆動薄膜トランジスタ T (p) は、第 1 ゲート電極 136 と、第 1 多結晶半導体パターン 112 と、第 1 ソース電極 160a と、第 1 ドレイン電極 160b で構成される。前記 n 型の駆動薄膜トランジスタ T (n) は、第 2 ゲート電極 146 と、第 2 多結晶半導体パターン 114 と、第 2 ソース電極 162a と、第 2 ドレイン電極 162b で構成される。遮断パターン 172 は、前記第 1 ソース電極 160a と、前記第 1 ドレイン電極 160b と、前記第 2 ソース電極 162a と、前記第 2 ドレイン電極 162b を上から覆う。前記表示領域 D1 には、画素薄膜トランジスタと、画素電極 170 と、画素ストレージキャパシター Cst とが位置する。前記画素薄膜トランジスタは、スイッチング (第 3) 領域 A3 に位置し、第 3 ゲート電極 148 と、前記第 1 多結晶半導体パターン 116 と、前記第 3 ソース電極 164a と、前記第 3 ドレイン電極 164b とで構成される。遮断配線 173 は、データ配線 DL と、前記第 3 ソース電極 164a とを上から覆う。画素電極 170 は、前記第 3 ドレイン電極 164b と、前記第 3 ストレージ電極 166 とを上から覆う。前記画素ストレージキャパシター Cst は、ストレージ (第 4) 領域 A4 に位置し、並列に接続する第 1 ストレージキャパシター C1 と第 2 ストレージキャパシター C2 を含む。前記第 1 ストレージキャパシター C1 は、第 1 ストレージ電極 S1 と第 2 ストレージ電極 150 とで構成され、前記ストレージキャパシター C2 は、前記第 2 ストレージ電極 150 と第 3 ストレージ電極 166 とで構成される。前記第 1 ストレージ電極 S1 は、第 4 多結晶半導体パターン 118 と、前記第 4 多結晶半導体パターン 118 の上部に位置するストレージパターン 124 とを含む。前記第 4 多結晶半導体パターン 118 は、第 3 多結晶半導体パターン 116 と一体に構成され、前記第 3 ストレージ電極 166 は、前記第 3 ドレイン電極 164b と一体に構成される。層間絶縁膜は、酸化シリコン SiO₂ で形成される第 1 膜 152a と、窒化シリコン SiNx で形成される第 2 膜 152b を含む。前述した構成の中で、前記 n 型及び前記 p 型の駆動薄膜トランジスタ及び画素薄膜トランジスタの多結晶半導体パターンと、前記画素ストレージキャパシター Cst の多結晶半導体パターン 118 と、この上部のストレージパターンは単一のマスク工程で構成される。そして、前記 n 型及び前記 p 型の駆動薄膜トランジスタ及び前記画素薄膜トランジスタのゲート電極を形成し、前記 n 型の駆動薄膜トランジスタ及び前記画素薄膜トランジスタの多結晶半導体の表面に部分的に n⁺ イオンドーピングと、n⁻ イオンとドーピングを行い、p 型の駆動薄膜トランジスタの多結晶半導体パターン 112 に p⁺ イオンをドーピングし、画素ストレージキャパシター Cst の前記第 2 ストレージ電極 150 を形成する工程は、2 度のマスク工程で構成される。また駆動薄膜トランジスタ及び前記画素薄膜トランジスタのソース電極及びドレイン電極を形成した後、保護層の形成を省略し、画素電極 170 を形成する。この時、層間絶縁膜のため、窒化シリコン SiNx と酸化シリコン SiO₂ を積層し、窒化シリコン SiNx を上部に位置させて、前記画素電極 170 と

10

20

30

40

50

接触させる。

【0023】

本発明の実施の形態に係る駆動回路一体型の液晶表示装置用アレイ基板は、前述したマスク工程を含み、6マスク工程によって製作することができる。

【0024】

図9Aないし図9Nは、本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の製造工程を示した概略的な断面図であり、図10Aないし図10Nは、本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の製造工程を示した概略的な平面図であり、図11Aないし図11Nは、各々図10Aないし図10NのX I - X I 線に沿って切断した部分を示した断面図である。

10

【0025】

以下、図9Aないし図9Eと、図10Aないし図10Eと、図11Aないし図11Eは、第1マスク工程を示した図である。

【0026】

図9Aと図10Aと図11Aに示したように、基板100を表示領域D1と非表示領域D2に定義して、前記表示領域D1には、多数の画素領域Pが定義され、前記画素領域Pには、スイッチング領域A3とストレージ領域A4が定義されている。また、前記非表示領域D2には、p領域A1と、n領域A2が定義されている。この時、p領域A1は、p型の駆動薄膜トランジスタが形成される領域であり、n領域A2は、n型の駆動薄膜トランジスタが形成される領域である。さらに、前記スイッチング領域A3は、画素薄膜トランジスタが形成される領域であり、前記ストレージ領域A4は、画素ストレージキャパシターが形成される領域である。前述したように、複数の領域A1、A2、A3、A4が定義された基板100全面に、バッファ層102と多結晶シリコン層104と第1金属層106を積層して形成する。前記バッファ層102は、窒化シリコンSiNxと酸化シリコンSiO₂を含む無機絶縁物質グループのうちから選択された1つまたは、1つ以上の物質を蒸着して形成する。前記多結晶シリコン層104は、不純物を含まない純粋非晶質シリコン(a-Si:H)を蒸着した後、脱水素工程及び結晶化工程を行って形成する。前記第1金属層106は、タングステンW、モリブデンMo、クロムCr、モリブデントングステンMoW等を含む導電性金属グループのうちから選択された1つを蒸着して形成する。前記第1金属層106が形成された基板100全面に、フォトレジストを塗布して第1感光層108を形成する。前記第1感光層108と離れた上部に、透過部M1と遮断部M2と半透過部M3で構成されたマスクM(第1マスク)を位置させる。前記遮断部M2は、前記ストレージ領域A4に対応するようにし、前記半透過部M3は、前記p領域A1と前記n領域A2と前記スイッチング領域A3に対応するようにし、前記透過部M1は、その他の領域に対応するようにする。この時、前記マスクMは、前記感光層108の位置によって強度の異なる光を照射して、部分的に感光層を露光し、特に、前記半透過部M3は、光の回折による光強度の減少を利用して下部の感光層が表面から一部だけ露光されるようにすることを特徴とする。

20

30

【0027】

従って、図9Bと図10Bと図11Bに示したように、前記マスクMの上部に光を照射した後、現像すると、前記p領域A1と前記n領域A2には、一部除去され最初より低くなった第1フォトレジストパターン110aと第2フォトレジストパターン110bが形成され、前記第スイッチング領域A3と前記ストレージ領域A4には、段差を有する第3フォトレジストパターン(発明としては、第3及び第4フォトレジストパターンと言う。)110cが形成される。すなわち、前記スイッチング領域A3と第ストレージ領域A4にかけて第3フォトレジストパターン110cがパターンニングされるが、前記マスクMの半透過部M3(図11A)が位置した前記スイッチング領域A3に対応する部分は、低い高さで形成される。前記第1ないし第3フォトレジストパターン110a、110b、110cの周辺に露出された前記第1金属層106及びその下部の多結晶シリコン層104を除去する工程を行う。

40

50

【0028】

図9Cと図10Cと図11Cに示したように、前記第1ないし第3フォトリソパターン110a、110b、110cの下部には、第1ないし第3金属パターン（発明としては、第1ないし第4金属パターンと言う。）120、122、124と、その下部には、第1ないし第4多結晶半導体層112、114、116、118が残る。この時、前記第3半導体層116及び第4半導体層118は、一体にパターン化される。前記第1ないし第3フォトリソパターン110a、110b、110cをアッシングする工程を行う。

【0029】

図9Dと図10Dと図11Dに示したように、前記p領域A1と前記n領域A2とスイッチング領域A3に対応する前記第1ないし第3フォトリソパターン110a、110b、110cの部分は、除去され、前記ストレージ領域A4に対応する前記第3フォトリソパターン110cの部分は残る。前記p領域A1とn領域A2とスイッチング領域A3に対応して露出された第1ないし第3金属パターン120、122、124を除去する工程を行う。この時、アッシングされた前記第3フォトリソパターン110cを利用して行う。

10

【0030】

図9Eと図10Eと図11Eに示したように、前記p領域A1と前記n領域A2と前記スイッチング領域A3にそれぞれ対応する第1ないし第3半導体層112、114、116が露出される。前記ストレージ領域の第4多結晶半導体層118の上部には、前記第3多結晶半導体層116に対応する部分がエッチングされた第3金属パターン124（以下、ストレージパターンと称する。）が残る。

20

【0031】

以上、前述した第1マスク工程によって、p領域A1とn領域A2とスイッチング領域A3に、第1ないし第3多結晶半導体層112、114、116が形成でき、前記ストレージ領域A4に、前記第3多結晶半導体層116と一体に構成された第4多結晶半導体層118と、ストレージパターン124を積層して形成することができる。この時、前記ストレージパターン124と第4多結晶半導体層118は、第1ストレージ電極としての役割をする。前述した工程で、前記第4多結晶半導体層118にストレージパターン124を形成することによって、前記第4半導体層118を電極として使用するための別途の不純物イオンドーピング工程が省略できる。

30

【0032】

以下、図9F及び図9Gと、図10F及び図10Gと、図11F及び図11Gは、第2マスク工程を示した図である。

【0033】

図9Fと図10Fと図11Fに示したように、前記ストレージ領域A4に、ストレージパターン124が形成された基板100全面に、ゲート絶縁膜128と第2金属層130を積層し、前記第2金属層130上に、フォトリソを塗布して第2感光層132を形成する。第2マスク工程によって、前記第2感光層132を露光して現像する工程を行う。

40

【0034】

図9Gと図10Gと図11Gに示したように、p領域A1とn領域A2に残された第1フォトリソパターン134a及び第2フォトリソパターン134bと、前記スイッチング領域A3と前記ストレージ領域A4に残された第3フォトリソパターン134cの周辺に露出された第2金属層130（図9Fと図11F）を除去する工程を行う。前記p領域A1の第1フォトリソパターン134aの下部には、第1ゲート電極136が形成され、前記n領域A2と前記スイッチング領域A3及びストレージ領域A4には、第1金属パターン138と第2金属パターン140が各々残される。この時、前記p領域A1の第1多結晶半導体層112には、第1チャンネル部B1と、第1ソース部B2と、第1ドレイン部B3とがある。前記第1ソース部B2と、第1ドレイン部B3の間に第

50

1チャンネル部B 1が位置する。前記第1チャンネル部B 1は第1ゲート電極1 3 6に覆われ、前記第1ソース部B 2と前記第2ドレイン部B 3は、前記第1ゲート電極1 3 6に覆われない。前記第1ゲート電極1 3 6は前記第1チャンネル部B 1に対応するように形成する。第1金属パターン1 3 8は、前記第2多結晶半導体パターン1 1 4を覆い、第2金属パターン1 4 0は、前記第3多結晶半導体パターン1 1 6と前記第4多結晶半導体パターン1 1 8を覆う。前述した工程で、前記第2金属パターン1 4 0の一側と他側に連結されたゲート配線GLとストレージ配線SLを形成する。前記第1ないし第3フォトレジストパターン1 3 4 a、1 3 4 b、1 3 4 cを除去する工程を行う。

【0035】

図9 Hと図10 Hと図11 Hは、p領域の第1多結晶半導体層1 1 2に、p⁺イオンをドーピングする工程を示した図である。図9 Hと図10 Hと図11 Hに示したように、前記p領域A 1に、第1ゲート電極1 3 6が形成され、前記n領域A 2に、第1金属パターン1 3 8が形成され、前記スイッチング領域A 3及びストレージ領域A 4に、前記第2金属パターン1 4 0が形成された基板1 0 0全面に、p⁺イオンドーピング工程を行う。前記ゲート電極1 3 6と前記第1金属パターン1 3 8と前記第2金属パターン1 4 0はドーピングマスクとして役割をする。前記p領域A 1の第1多結晶半導体層1 1 2の第1ソース部B 2と、第1ドレイン部B 3には、p⁺イオンドーピングされて、オーミック領域が形成される。

【0036】

図9 Iないし図9 Kと、図10 Iないし図10 Kと、図11 Iないし図11 Kは、第3マスク工程を示した図である。

【0037】

図9 Iと図10 Iと図11 Iに示したように、第3感光層を形成し、第3マスク工程によってパターンニングし、前記p領域A 1には、第1多結晶半導体パターン1 1 2を覆う第1フォトレジストパターン1 4 2 aを、前記n領域A 2には、第2フォトレジストパターン1 4 2 bとその下部の第2ゲート電極1 4 6を、前記スイッチング領域A 3には、第3フォトレジストパターン1 4 2 cとその下部の第3ゲート電極1 4 8を、前記ストレージ領域A 4には、第4フォトレジストパターン1 4 2 dとその下部の第2ストレージ電極1 5 0を形成する。前記第4フォトレジストパターン1 4 2 dはストレージ配線SLの上部にも形成される。前記スイッチング領域A 3の第3ゲート電極1 4 8は、ゲート配線GLから突出された形状であり、前記第2ストレージ電極1 5 0は、前記ストレージ配線SLから突出延長された形状である。この時、前記n領域A 2の第2多結晶半導体パターン1 1 4は、第2チャンネル部C 1と、第2ソース部C 2と、第2ドレイン部C 3と、第1低濃度ドーピング部C 4を持つ。前記第2ソース部C 2と、第2ドレイン部C 3の間に第2チャンネル部C 1が位置する。前記第1低濃度ドーピング部C 4は、前記第2チャンネル部C 1と前記第2ソース部C 2の間、前記第2チャンネル部C 1と前記第2ドレイン部C 3の間に位置する。前記第2ゲート電極1 4 6は、前記第2チャンネル部C 1と前記第1低濃度ドーピング部C 4とに対応するように形成され、前記第2チャンネル部C 1と前記第1低濃度ドーピング部C 4とは前記第2ゲート電極1 4 6に覆われ、前記第2ソース部C 2と前記第2ドレイン部C 3とは前記第2ゲート電極1 4 6に覆わない。前記スイッチング領域A 3の第3多結晶半導体パターン1 1 6は、第3チャンネル部D 1と、第3ソース部D 2と、第3ドレイン部D 3と、第2低濃度ドーピング部D 4を持つ。前記第3ソース部D 2と、第3ドレイン部D 3の間に第3チャンネル部D 1が位置する。前記第2低濃度ドーピング部D 4は、前記第3チャンネル部D 1と前記第3ソース部D 2の間、前記第3チャンネル部D 1と前記第3ドレイン部D 3の間に位置する。前記第3ゲート電極1 4 8は、前記第3チャンネル部D 1と前記第2低濃度ドーピング部D 4とに対応するように形成され、前記第3チャンネル部D 1と前記第2低濃度ドーピング部D 4とは前記第3ゲート電極1 4 8に覆われ、前記第3ソース部D 2と前記第3ドレイン部D 3とは前記第3ゲート電極1 4 8に覆わない。前記第1ないし第4フォトレジストパターン1 4 2 a、1 4 2 b、1 4 2 c、1 4 2 dをそのまま置いた状態で、基板1 0 0全面に、n⁺イオンド

ーピング工程を行う。前記第2フォトリジストパターン142bと第3フォトリジストパターン142cによって遮れない第2多結晶半導体層114及び第3多結晶半導体層116の第2ソース部C2及び第2ドレイン部C3と、第3ソース部D2及び第3ドレイン部D3とが n^+ イオンドーピングされて、オーミック領域が形成される。この時、前記ストレージパターン124の周辺に露出された前記第4多結晶半導体パターン118の表面にも、 n^+ イオンがドーピングされる。これに関連して、図10Iを見ると、第4多結晶半導体パターン118の一部はストレージパターン124と第2ストレージ電極150によって覆われない。特に、図11C乃至11Eに示すアッシングとエッチング工程によってストレージパターン124の外郭部は除去され、第4多結晶半導体パターン118の外郭部はストレージパターン124によって覆われない。この第4多結晶半導体パターン118の外郭部の一部は第2ストレージ電極150によっても覆われない。したがって、第4多結晶半導体パターン118の一部は n^+ イオンによってドーピングされる。

【0038】

図9J及び図9Kと、図10J及び図10Kと、図11J及び図11Kは、 n 領域とスイッチング領域に低濃度ドーピングする工程である。

【0039】

図9Jと図10Jと図11Jに示したように、前記第1ないし第4フォトリジストパターン142a、142b、142c、142dをアッシング(ashing)した結果を示した図である。前記各領域(A1、A2、A3、A4)に残された第1ないし第4フォトリジストパターン142a、142b、142c、142dをアッシング(ashing)する工程を行う。前記アッシング工程は、乾式エッチング工程と類似であり、前記第1ないし第4フォトリジストパターン142a、142b、142c、142dを完全に除去する目的よりは、周辺の一部だけを除去して下部金属層の一部を露出するためである。本工程では、前記第2フォトリジストパターン142bと第3フォトリジストパターン142cの末端が、それぞれ前記第2チャンネル部C1と前記第3チャンネル部D1の末端と一致するように行う。したがって、前記第1低濃度ドーピング部C4と第2低濃度ドーピング部D4にそれぞれ対応する前記第2ゲート電極146と前記第3ゲート電極148が露出される。この時、前記第1と第4フォトリジストパターン142a、142dの側面の一部も除去される。前記第1フォトリジストパターン142aは、前記第1ゲート電極136を覆ったままである。前記第2ストレージ電極150及びゲート配線GLとストレージ配線SLの周辺も一部露出される。以後、前記第2ゲート電極146と、第3ゲート電極148と、第2ストレージ電極150と、ゲート配線GLと、ストレージ配線SLの露出された部分を除去する工程を行う。この工程によって、除去された第2ゲート電極146と第3ゲート電極148の各々は前記第2チャンネル部C1と前記第3チャンネル部D1に対応する。

【0040】

図9Kと図10Kと図11Kは、低濃度ドーピング領域を形成するための n^- イオンをドーピングする工程を示した図である。図9Kと図10Kと図11Kに示したように、前述した工程で、アッシングされた前記第1ないし第4フォトリジストパターン142a、142b、142c、142dが残ったまま n^- イオンをドーピングする工程を行う。したがって、前記第1低濃度領域と第2低濃度領域は n^- イオンによって、ドーピングされる。 n^- イオンのドーピングの濃度は、 n^+ イオンと p^+ イオンのドーピングの濃度より低い。したがって、前記第2ソース部C2及び第2ドレイン部C3と、前記第3ソース部D2及び第3ドレイン部D3は、 n^- イオンの影響を受けない。そして、第2、第3チャンネル部C1、D1は、ドーピングされない。前記低濃度領域を形成する理由は、チャンネル(アクティブ領域)に近接した領域で、熱電子効果によって発生する漏洩電流特性を最小化するためである。 n^- ドーピング工程後、第1ないし第4フォトリジストパターン142a、142b、142c、142dを除去する工程を行う。

【0041】

以上、前述した第2及び第3マスク工程によって、前記第1多結晶半導体層112の上

10

20

30

40

50

部に第1ゲート電極136を形成して、前記第1ソース部B2と前記第2ドレイン部B3に p^+ イオンをドーピングし、前記第1低濃度ドーピング領域C4と第2低濃度ドーピング領域D4に n^- イオンをドーピングして、第2ゲート電極146及び第3ゲート電極148を形成する。また、前記ストレージ領域A4には、第2ストレージ電極150を形成する工程を行う。

【0042】

図9Lと図10Lと図11Lは、第4マスク工程を示した図である。図9Lと図10Lと図11Lに示したように、基板100全面に、酸化シリコン SiO_2 を蒸着して第1膜152aを形成し、窒化シリコン $SiNx$ を蒸着して第2膜152bを形成する。前記第1膜152aと第2膜152bは層間絶縁膜152を構成する。前記窒化シリコン $SiNx$ の第2膜152bは、前記第1膜152aより、以後の工程で形成される画素電極との界面特性が良い。前記層間絶縁膜152が形成された基板100全面に、フォトリソを塗布した後、第4マスク工程によってパターニングし、前記第1ないし第3多結晶半導体層112、114、116の各々のソース部とドレイン部を露出する第1ないし第6コンタクトホール154a、154b、156a、156b、158a、158bを形成する。詳しくは、前記第1ソース部及び前記第1ドレイン部（図9HのB2、B3）を各々露出する第1、第2コンタクトホール154a、154bと、前記第2ソース部及び前記第2ドレイン部（図9JのC2、C3）を各々露出する第3、第4コンタクトホール156a、156bと、前記第3ソース部及び前記第3ドレイン部（図11JのD2、D3）を各々露出する第5、第6コンタクトホール158a、158bとを形成する。前記層間絶縁膜152が形成された基板100を熱処理する工程を行う。熱処理工程で、前記ストレージパターン124の周辺に露出された前記第4多結晶半導体パターン118の一部にドーピングされたイオン（ n^+ イオン）が、前記ストレージパターン124の下部に拡散される現象が起こる。このことによって、前記ストレージパターン124とその下部の第4多結晶半導体パターン118は、オーミックコンタクトを構成して相互に信号が流れるようになる。さらに、前述した工程で形成された前記第6コンタクトホール158bは、前記第3多結晶半導体層116の代わりに、前記ストレージパターン124の周辺に露出された第4多結晶半導体層118または、前記ストレージパターン124を露出することもできる。これが可能な理由は、前記第4多結晶半導体パターン118がオーミックコンタクトの特性を持ち、前記第3多結晶半導体パターン116と第4多結晶半導体層118が一体に形成され同じ信号が流れる構造で形成されたためである。

【0043】

図9Mと図10Mと図11Mは、第5マスク工程を示した図である。図9Mと図10Mと図11Mに示したように、層間絶縁膜152全面に、前述した導電性金属物質グループのうちから選択された1つ以上の金属物質である第3金属層を蒸着してパターニングする。この時、第1ないし第6コンタクトホール154a、154b、156a、156b、158a、158bを利用して、前記第1乃至第3ソース部及びドレイン部に各々接触する第1乃至第3ソース電極及びドレイン電極160a、160b、162a、162b、164a、164bを形成する。さらに、スイッチング領域A3の第3ソース電極164aと接続されるデータ配線DLも形成する。この時、前記第3ドレイン電極164bは、前記ストレージ領域A4に拡張され、拡張された領域は、第3ストレージ電極166として使用される。

【0044】

図9Nと図10Nと図11Nは、第6マスク工程を示した図である。図9Nと図10Nと図11Nに示したように、前記第1ないし第3ソース電極160a、162a、164a及び第1ないし第3ドレイン電極160b、162b、164bと第3ストレージ電極166が形成された基板100全面に、インジウム-スズ-オキシドITOとインジウム-ジnk-オキシドIZOを含む透明な物質グループのうちから選択された1つまたは、1つ以上を蒸着して、第6マスク工程によってパターニングし、前記露出された第3ドレイン電極164bまたは、第3ストレージ電極166と接触しながら前記画素領域P

全面に位置するように画素電極 170 を形成する。画素電極 170 は、層間絶縁膜 152 と接触する。前記画素電極 170 は、前記第 3 ドレイン電極 164 b と第 3 ストレージ電極 166 を覆う。遮断パターン 172 と遮断配線 173 は、画素電極 170 と同時に形成される。前記遮断パターン 172 は、前記第 1 ソースおよび第 1 ドレイン電極 160 a、160 b と、前記第 2 ソースおよび第 2 ドレイン電極 162 a、162 b を覆い、前記遮断配線 173 は、データ配線 DL と前記第 3 ソース電極 164 a を覆う。透明導電性物質をパターンニングするエッチング液は、その下部の金属パターンと反応して、ガルバニック (galvanic) 現象を起こして、下部の金属パターンに損害を与えることが出来る。この事を防止するために、画素電極 170 と、遮断パターン 172 と、遮断配線 173 とは、下部の金属パターン 160 a、160 b、162 a、162 b、164 a、164 b、166、DL を全て覆う。

10

【0045】

前述したような 6 マスク工程によって、本発明による駆動回路一体型の液晶表示装置用アレイ基板を製作ができる。

【0046】

一方、図に示さないが、各画素領域に対応するカラーフィルターと、データ配線、ゲート配線及び薄膜トランジスタに対応するブラックマトリックスと、画素電極に対応する共通電極とを含み、アレイ基板と向かい合っているカラーフィルター基板を形成できる。アレイ基板とカラーフィルター基板を合着し、2つの基板の間に液晶を注入して、液晶表示装置を製造できる。

20

【図面の簡単な説明】

【0047】

【図 1】従来の液晶表示装置を概略的に示した図である。

【図 2】従来の液晶表示装置の表示領域を示した概略的な平面図である。

【図 3 A】従来の液晶表示装置用アレイ基板を示した概略的な断面図である。

【図 3 B】図 2 の I I I - I I I 線に沿って切断した断面図である。

【図 4 A】従来の液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 4 B】従来の液晶表示装置用アレイ基板の非表示領域の第 2 マスク工程を示した断面図である。

30

【図 4 C】従来の液晶表示装置用アレイ基板の非表示領域の第 3 マスク工程を示した断面図である。

【図 4 D】従来の液晶表示装置用アレイ基板の非表示領域の第 4 マスク工程を示した断面図である。

【図 4 E】従来の液晶表示装置用アレイ基板の非表示領域の第 5 マスク工程を示した断面図である。

【図 4 F】従来の液晶表示装置用アレイ基板の非表示領域の第 6 マスク工程を示した断面図である。

【図 4 G】従来の液晶表示装置用アレイ基板の非表示領域の第 7 マスク工程を示した断面図である。

40

【図 4 H】従来の液晶表示装置用アレイ基板の非表示領域の第 8 マスク工程を示した断面図である。

【図 4 I】従来の液晶表示装置用アレイ基板の非表示領域の第 9 マスク工程を示した断面図である。

【図 5 A】従来の液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した平面図である。

【図 5 B】従来の液晶表示装置用アレイ基板の表示領域の第 2 マスク工程を示した平面図である。

【図 5 C】従来の液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した平面図である。

50

【図 5 D】従来の液晶表示装置用アレイ基板の表示領域の第 4 マスク工程を示した平面図である。

【図 5 E】従来の液晶表示装置用アレイ基板の表示領域の第 5 マスク工程を示した平面図である。

【図 5 F】従来の液晶表示装置用アレイ基板の表示領域の第 6 マスク工程を示した平面図である。

【図 5 G】従来の液晶表示装置用アレイ基板の表示領域の第 7 マスク工程を示した平面図である。

【図 5 H】従来の液晶表示装置用アレイ基板の表示領域の第 8 マスク工程を示した平面図である。

10

【図 5 I】従来の液晶表示装置用アレイ基板の表示領域の第 9 マスク工程を示した平面図である。

【図 6 A】図 5 A の V I - V I 線に沿って切断した部分の断面図である。

【図 6 B】図 5 B の V I - V I 線に沿って切断した部分の断面図である。

【図 6 C】図 5 C の V I - V I 線に沿って切断した部分の断面図である。

【図 6 D】図 5 D の V I - V I 線に沿って切断した部分の断面図である。

【図 6 E】図 5 E の V I - V I 線に沿って切断した部分の断面図である。

【図 6 F】図 5 F の V I - V I 線に沿って切断した部分の断面図である。

【図 6 G】図 5 G の V I - V I 線に沿って切断した部分の断面図である。

【図 6 H】図 5 H の V I - V I 線に沿って切断した部分の断面図である。

20

【図 6 I】図 5 I の V I - V I 線に沿って切断した部分の断面図である。

【図 7】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域を概略的に示した平面図である。

【図 8 A】本発明の実施の形態に係るスイッチング素子と駆動回路部が 1 つの基板に形成される液晶表示装置用アレイ基板を示した概略的な断面図である。

【図 8 B】図 7 の V I I I - V I I I 線に沿って切断した部分の概略的な断面図である。

【図 9 A】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 B】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

30

【図 9 C】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 D】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 E】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 F】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 2 マスク工程を示した断面図である。

【図 9 G】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 2 マスク工程を示した断面図である。

40

【図 9 H】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域で p^+ イオンをドーピングする工程を示した断面図である。

【図 9 I】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 3 マスク工程を示した断面図である。

【図 9 J】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 3 マスク工程を示した断面図である。

【図 9 K】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 3 マスク工程を示した断面図である。

【図 9 L】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 4 マスク工程を示した断面図である。

50

【図 9 M】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 5 マスク工程を示した断面図である。

【図 9 N】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 6 マスク工程を示した断面図である。

【図 10 A】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 B】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 C】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

10

【図 10 D】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 E】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 F】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 2 マスク工程を示した断面図である。

【図 10 G】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 2 マスク工程を示した断面図である。

【図 10 H】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域で p^+ イオンをドーピングする工程を示した断面図である。

20

【図 10 I】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した断面図である。

【図 10 J】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した断面図である。

【図 10 K】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した断面図である。

【図 10 L】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 4 マスク工程を示した断面図である。

【図 10 M】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 5 マスク工程を示した断面図である。

30

【図 10 N】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 6 マスク工程を示した断面図である。

【図 11 A】図 10 A の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 B】図 10 B の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 C】図 10 C の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 D】図 10 D の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 E】図 10 E の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 F】図 10 F の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 G】図 10 G の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 H】図 10 H の X I - X I 線に沿って切断した部分を示した断面図である。

40

【図 11 I】図 10 I の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 J】図 10 J の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 K】図 10 K の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 L】図 10 L の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 M】図 10 M の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 N】図 10 N の X I - X I 線に沿って切断した部分を示した断面図である。

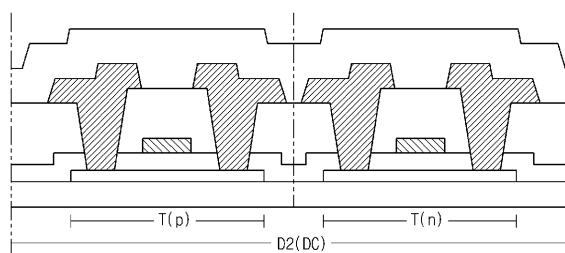
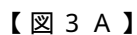
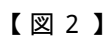
【符号の説明】

【0048】

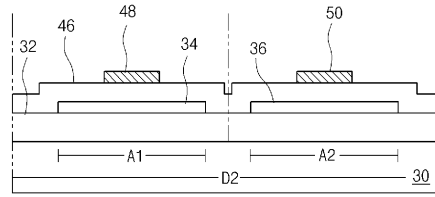
100 液晶表示装置用アレイ基板、112 第 1 多結晶半導体層、114 第 2 多結晶半導体層、116 第 3 多結晶半導体層、118 第 4 多結晶半導体層、124 スト

50

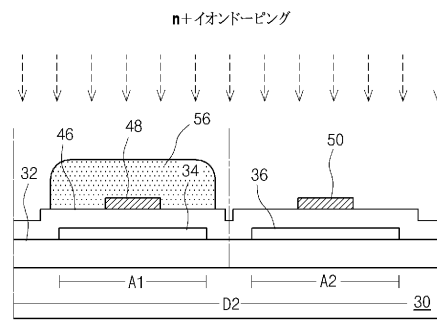
【 圖 1 】



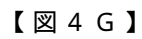
【 図 4 C 】



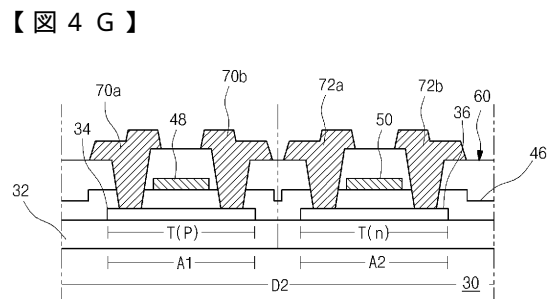
【 図 4 D 】



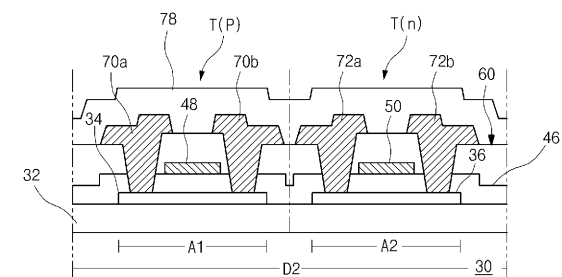
n+イオンドーピング



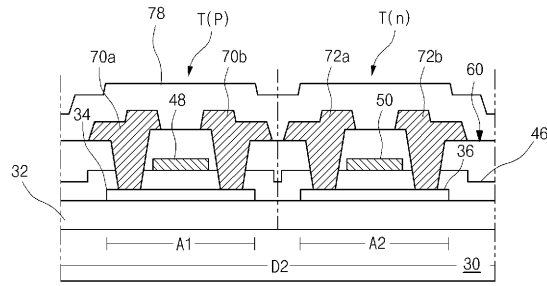
p+イオンドーピング



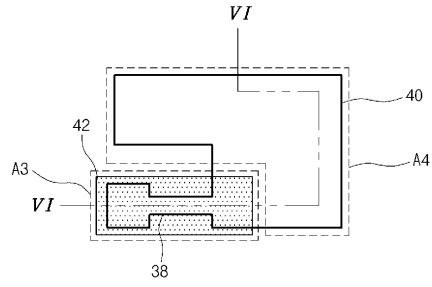
【 図 4 H 】



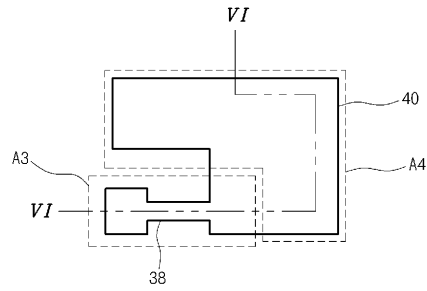
【図 4 I】



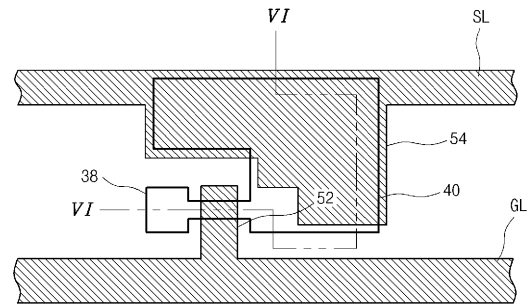
【図 5 B】



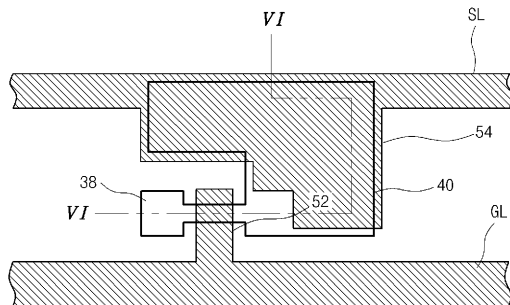
【図 5 A】



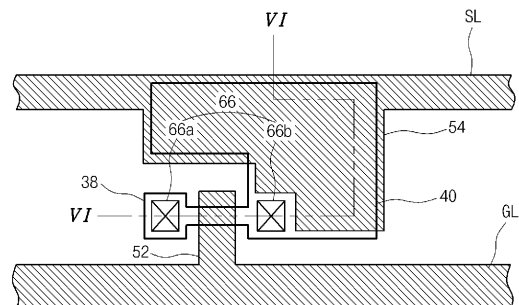
【図 5 C】



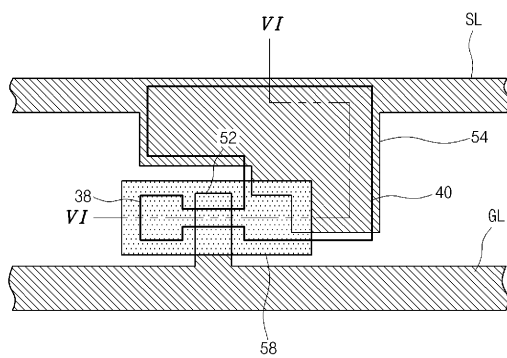
【図 5 D】



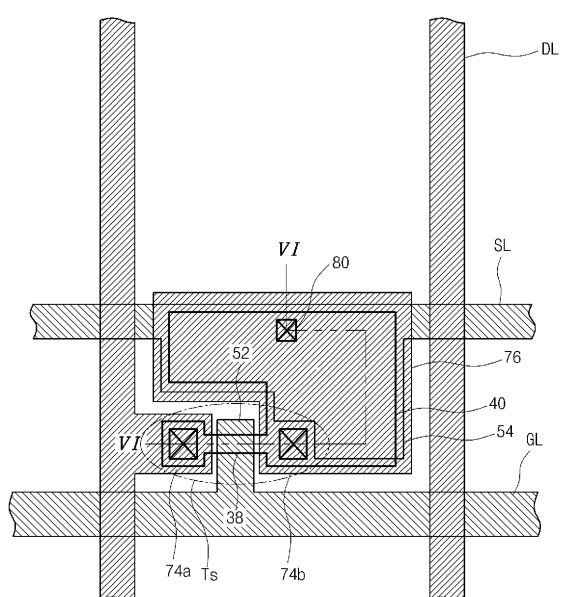
【図 5 F】



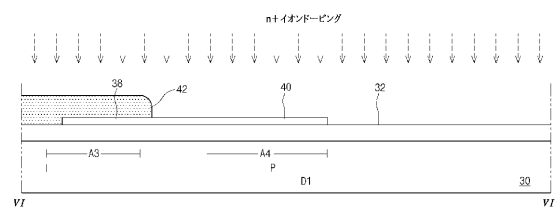
【図 5 E】



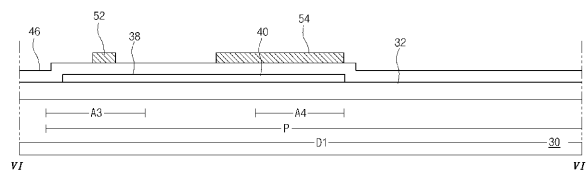
【 図 5 H 】



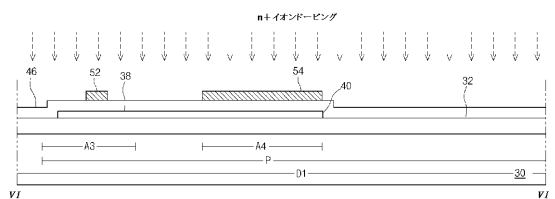
【 図 6 B 】



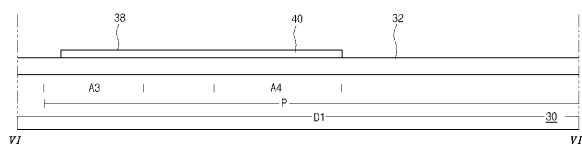
【 図 6 C 】



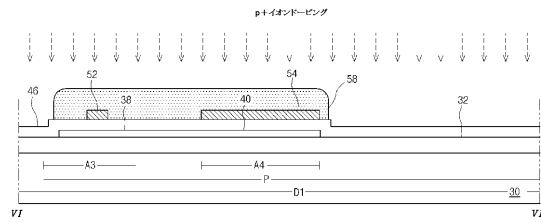
【 図 6 D 】



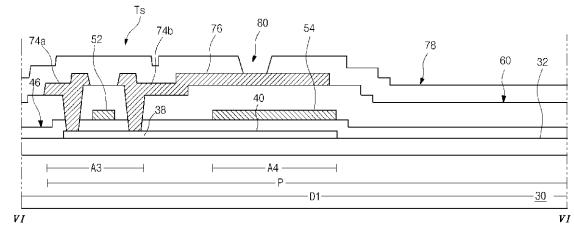
【 図 6 A 】



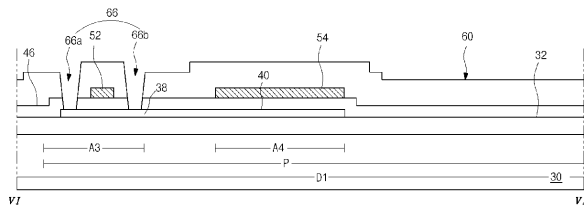
【図 6 E】



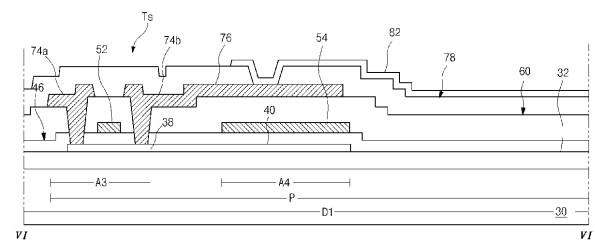
【図 6 H】



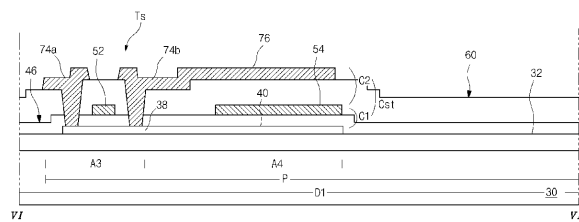
【図 6 F】



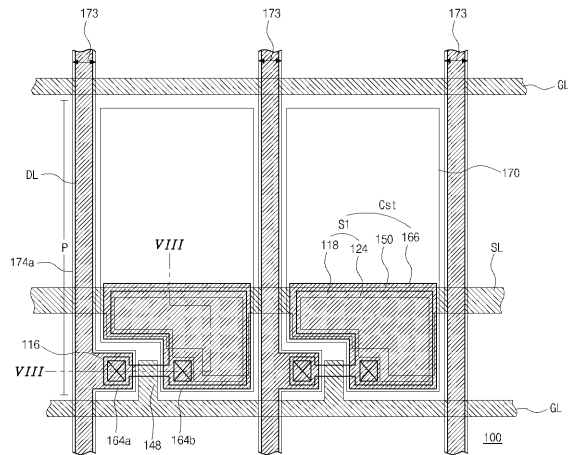
【図 6 I】



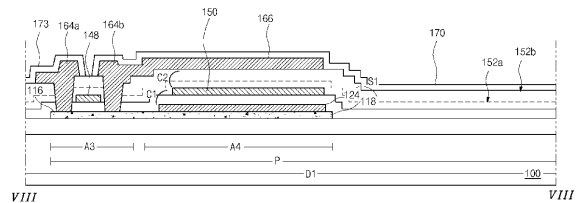
【図 6 G】



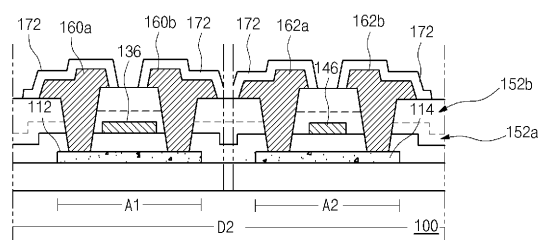
【図 7】



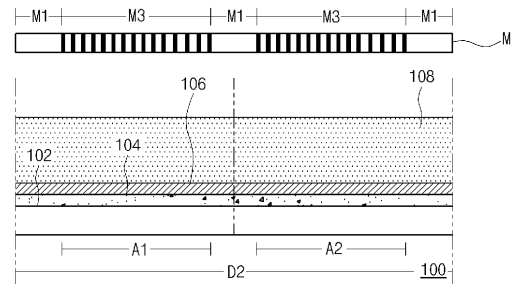
【図 8 B】



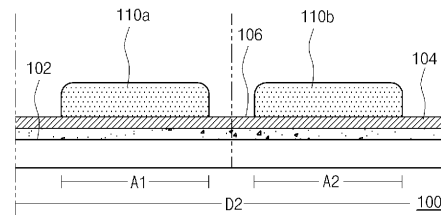
【図 8 A】



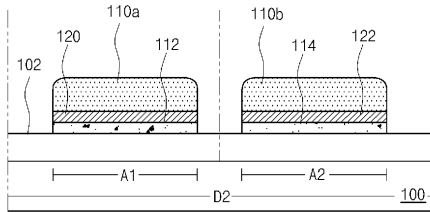
【図 9 A】



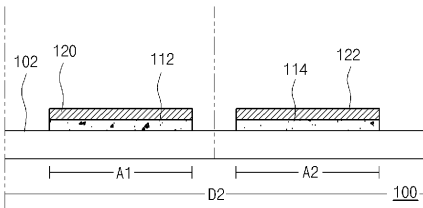
【図 9 B】



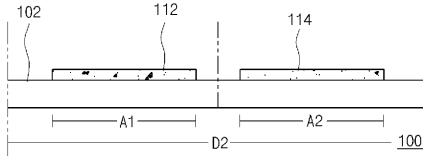
【図 9 C】



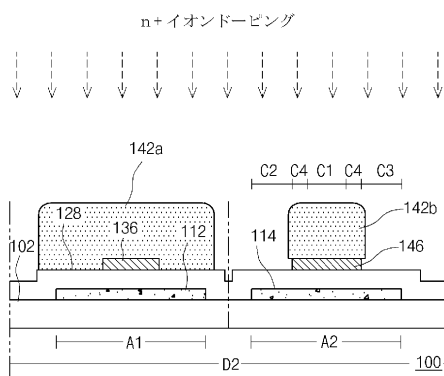
【図 9 D】



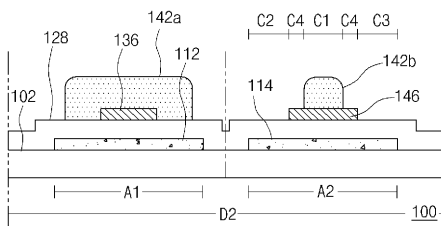
【図 9 E】



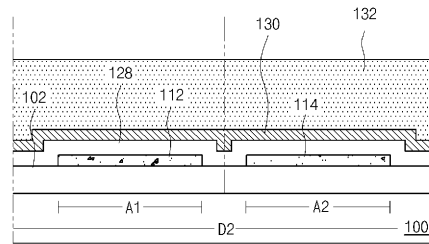
【図 9 I】



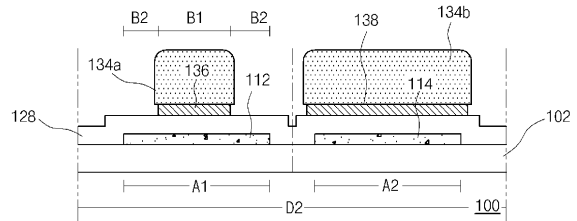
【図 9 J】



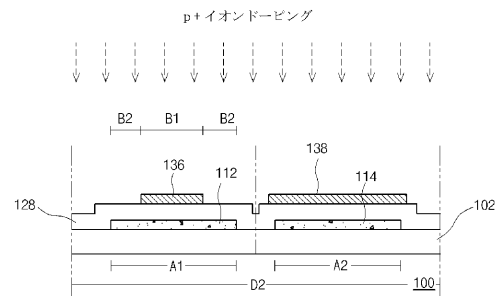
【図 9 F】



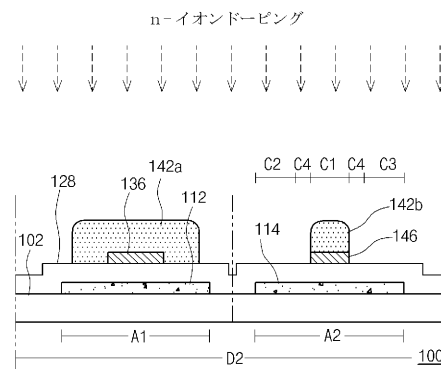
【図 9 G】



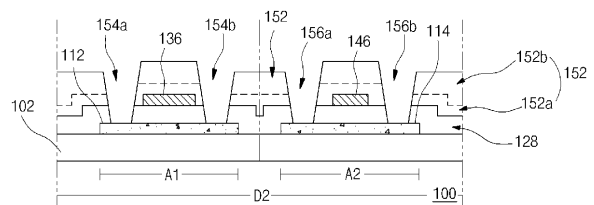
【図 9 H】



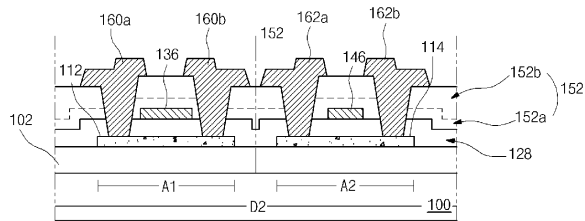
【図 9 K】



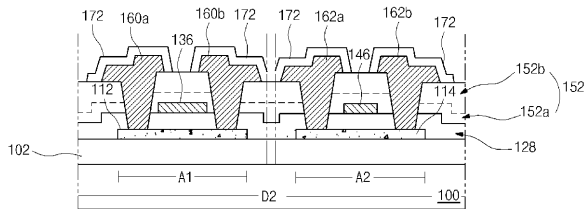
【図 9 L】



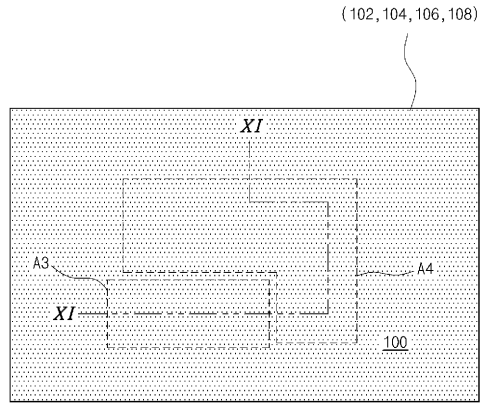
【図 9 M】



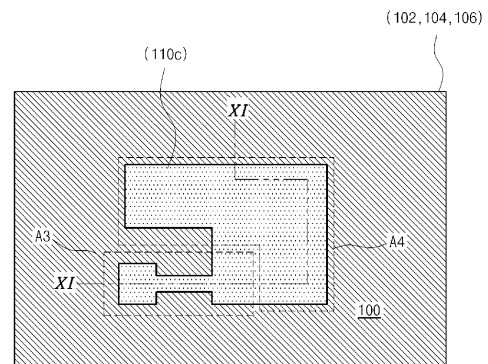
【図 9 N】



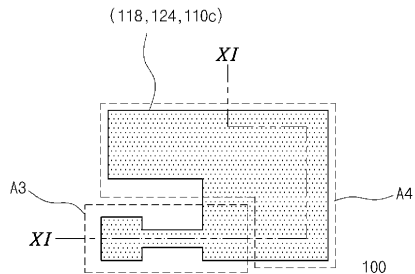
【図 10 A】



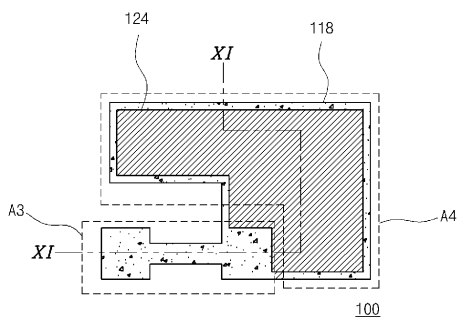
【図 10 B】



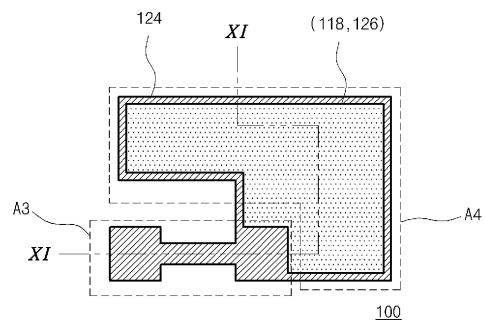
【図 10 C】



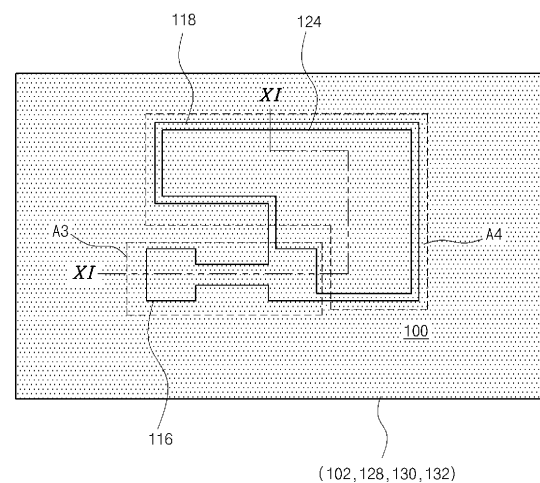
【図 10 E】



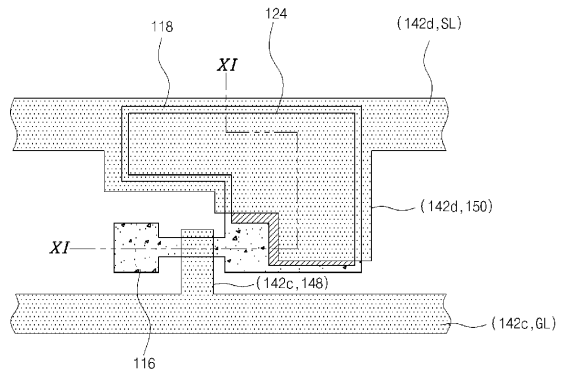
【図 10 D】



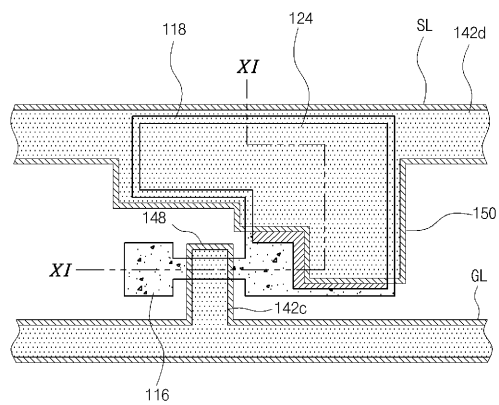
【図 10 F】



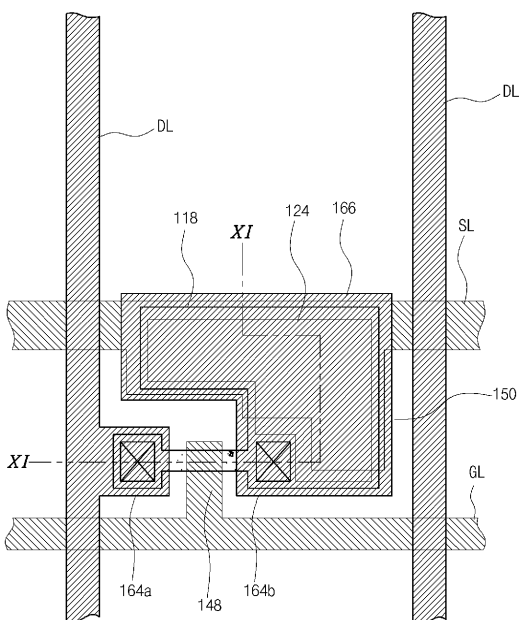
【 図 1 0 I 】



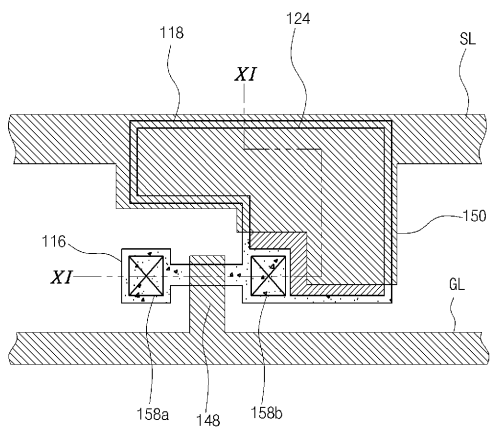
【図 10 J】



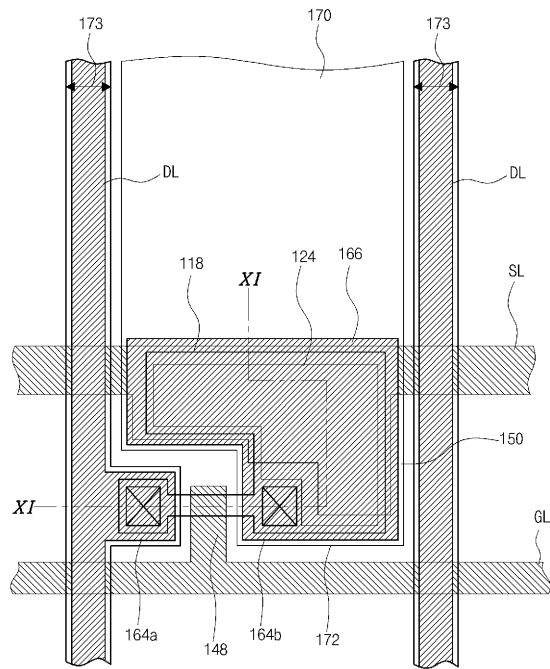
【 図 1 0 M 】



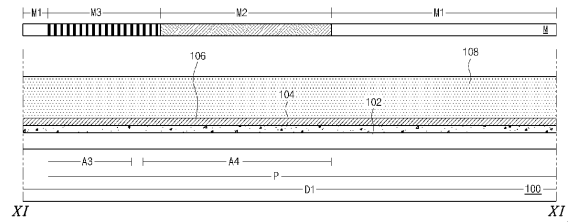
XI—



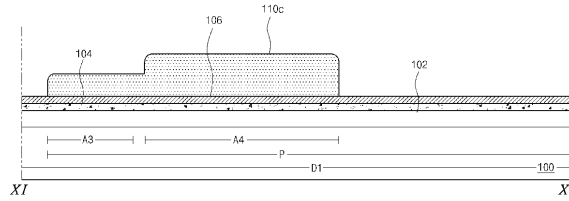
【図10N】



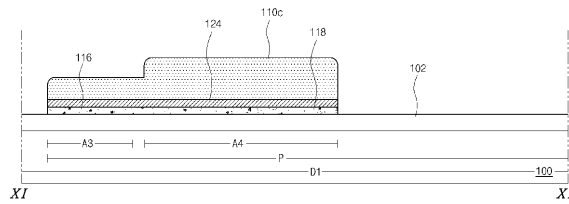
【図11A】



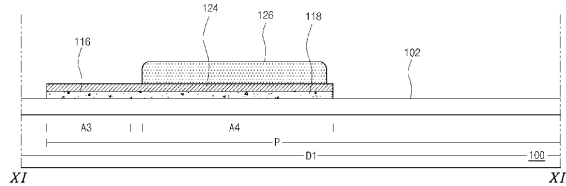
【図11B】



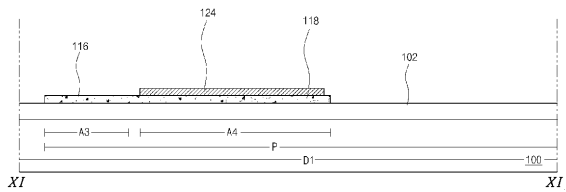
【図11C】



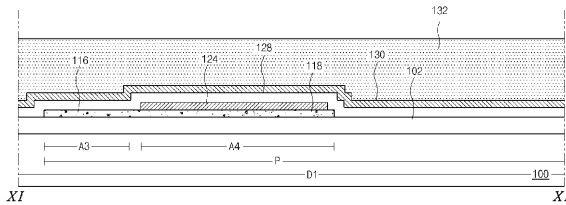
【図11D】



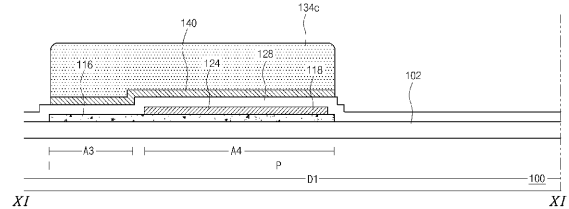
【図11E】



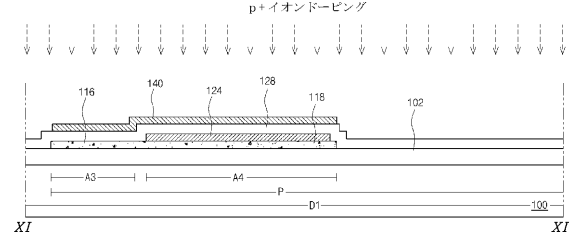
【図11F】



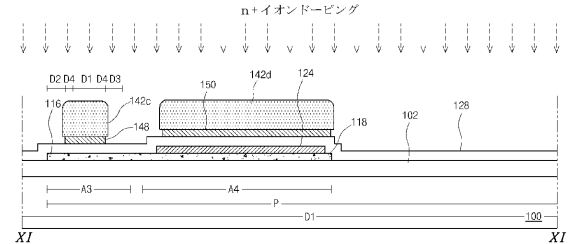
【図11G】



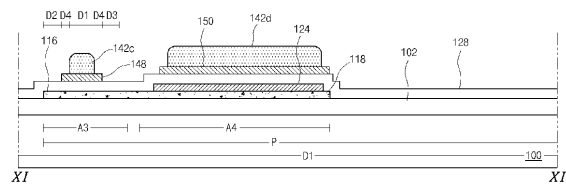
【図11H】



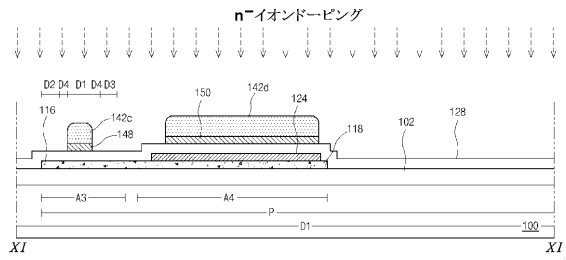
【図11I】



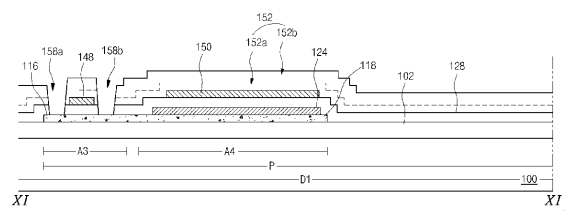
【図 11 J】



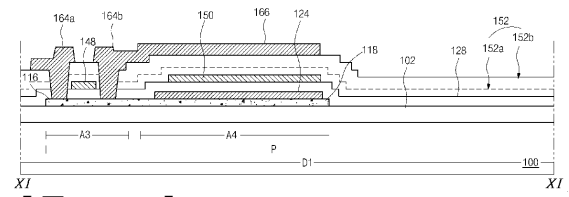
【図 11 K】



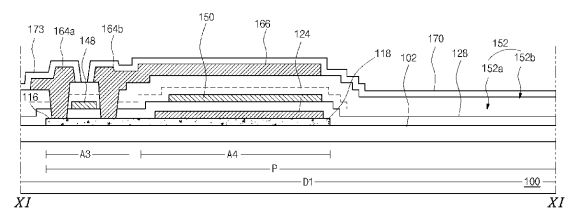
【図 11 L】



【図 11 M】



【図 11 N】



フロントページの続き

(51)Int.Cl.		F I	
<i>H 0 1 L</i>	<i>21/3205</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 21/88 <i>Z</i>
<i>H 0 1 L</i>	<i>23/52</i>	<i>(2006.01)</i>	<i>G 0 9 F</i> 9/30 <i>3 3 8</i>
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>G 0 9 F</i> 9/35
<i>G 0 9 F</i>	<i>9/35</i>	<i>(2006.01)</i>	

(72)発明者 ソクウ・イ
大韓民国、キョンギ - ド、アニョン - シ、ドンアン - グ、ピサン - ドン、 1 1 0 2 ボンジ、クァナ
ク・アパートメント 1 2 7 - 1 2 0 7

(72)発明者 ヨンイン・バク
大韓民国、キョンギ - ド、アニョン - シ、ドンアン - グ、ホゲ - ドン 8 1 1、ホゲ2チャ・ヒョ
ンデホームタウン 2 0 2 - 2 0 1

審査官 河原 正

(56)参考文献 特開2003 - 273124 (J P , A)
特開平06 - 118449 (J P , A)
特開2003 - 098515 (J P , A)
特開2003 - 121878 (J P , A)
特開2000 - 002892 (J P , A)
特開2000 - 171832 (J P , A)
特開2000 - 243975 (J P , A)

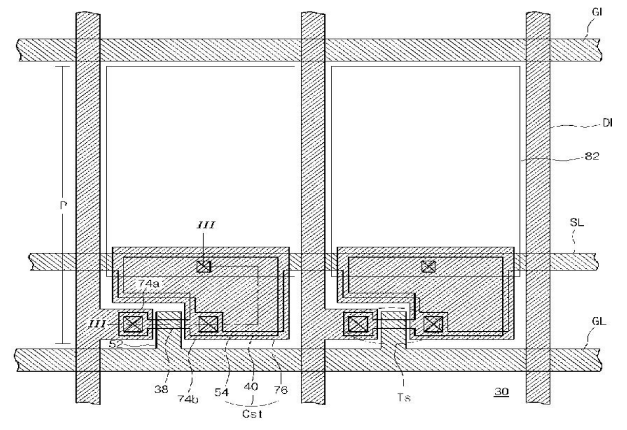
(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 6 8
G 0 9 G 9 / 3 0 - 9 / 4 6
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 3 / 5 2
H 0 1 L 2 9 / 7 8 6

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4580368B2	公开(公告)日	2010-11-10
申请号	JP2006180059	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ソクウイ ヨンインパク		
发明人	ソクウ・イ ヨンイン・パク		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1345 H01L21/336 H01L29/786 H01L21/3205 H01L23/52 G09F9/30 G09F9/35		
CPC分类号	H01L21/823814 G02F1/13454 G02F1/136213 G02F1/136227 G02F1/1368 G02F2001/136218 G02F2001/13629 G02F2202/104		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1345 H01L29/78.612.D H01L29/78.616.U H01L21/88.Z G09F9/30.338 G09F9/35		
F-TERM分类号	2H092/GA29 2H092/GA59 2H092/GA61 2H092/JA25 2H092/JA46 2H092/JB21 2H092/JB63 2H092/JB66 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA10 2H092/KA18 2H092/KB04 2H092/KB11 2H092/KB25 2H092/MA13 2H092/MA15 2H092/MA16 2H092/MA17 2H092/MA27 2H092/MA28 2H092/NA27 2H092/NA29 2H192/AA24 2H192/CB02 2H192/CC72 2H192/CC75 2H192/DA12 2H192/DA67 2H192/FB02 2H192/HA44 5C094/AA43 5C094/AA44 5C094/BA03 5C094/BA43 5C094/DA09 5C094/DB01 5C094/GB10 5F033/HH17 5F033/HH19 5F033/HH20 5F033/HH22 5F033/HH35 5F033/HH38 5F033/QQ08 5F033/QQ58 5F033/QQ74 5F033/RR04 5F033/RR06 5F033/TT02 5F033/VV06 5F033/VV10 5F033/VV15 5F033/XX33 5F033/XX34 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD13 5F110/DD14 5F110/GG02 5F110/GG13 5F110/GG42 5F110/HJ12 5F110/HJ23 5F110/HL02 5F110/HL07 5F110/HL11 5F110/HL22 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN72 5F110/NN73 5F110/PP35 5F110/QQ01 5F110/QQ05		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	川原忠志		
优先权	1020050106839 2005-11-09 KR		
其他公开文献	JP2007133366A		
外部链接	Espacenet		

摘要(译)

的方法，可以减少时间，以获得液晶显示装置，并且能够通过降低缺陷率提高了生产效率及其制造方法。形成在非显示区中的衬底100，第一多晶半导体和p型驱动具有第一栅电极和所述第一源电极和第一漏电极的薄膜晶体管，并且所述第二多晶半导体上和具有第二栅电极和第二源电极和第二漏电极，形成在基板100的显示区域的n型驱动TFT，相互交叉以限定像素区域的栅极线GL和数据线和DL，具有第三多晶半导体图案和所述第三栅极电极和第三源电极与第三漏极电极，其从所述第三漏电极上方覆盖一个像素电极170，第一源电极和所述像素薄膜晶体管从上方覆盖漏电极，第二源和第二漏电极的阻挡图案，以及从上方覆盖数据线和第三源电极的阻挡线173。点域7

【圖 2】



【图 3 A】