

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4562968号
(P4562968)

(45) 発行日 平成22年10月13日 (2010. 10. 13)

(24) 登録日 平成22年8月6日 (2010. 8. 6)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)G09G 3/36
G09G 3/20 612J
G09G 3/20 623M
G09G 3/20 650C

請求項の数 6 (全 12 頁)

(21) 出願番号 特願2001-388363 (P2001-388363)
 (22) 出願日 平成13年12月20日 (2001. 12. 20)
 (65) 公開番号 特開2002-351432 (P2002-351432A)
 (43) 公開日 平成14年12月6日 (2002. 12. 6)
 審査請求日 平成16年6月9日 (2004. 6. 9)
 (31) 優先権主張番号 2000-079375
 (32) 優先日 平成12年12月20日 (2000. 12. 20)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100106703
 弁理士 産形 和央
 (74) 代理人 100096943
 弁理士 白井 伸一

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

ビデオデータが存在する期間を指示するデータ・イネーブル信号をタイミング・コントローラにおいて入力として受ける段階と、前記データ・イネーブル信号のイネーブル開始時点をリセット信号発生部において検出する段階と、前記データ・イネーブル信号のイネーブル開始時点で前記リセット信号発生部においてリセット信号を発生する段階であって、前記リセット信号はイネーブル開始時点のみでロー論理からハイ論理に変える段階と、トグル・クロック及びリセット部において、前記リセット信号にตอบสนองして前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットする段階であって、前記リセット信号はロー論理からハイ論理に変わるとき、前記ソース・シフト・クロックは前記イネーブル開始時点のみでリセットされる段階とを含み、前記イネーブル開始時点は、前記ビデオデータが存在する間に、前記データ・イネーブル信号がロー論理からハイ論理に変わる間の時間であり、前記リセット信号発生部は、入力ラインを經由して前記データ・イネーブル信号とドットクロックを入力として受けて前記ドットクロックにより前記データ・イネーブル信号を遅延させるためのDフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理積演算して前記データ・イネーブル信号のイネーブル開始時点を指示するリセット信号を発生するためのANDゲートを具備することを特徴とする液晶表示装置の駆動方法。

【請求項 2】

ソース駆動部において、前記ソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチする段階と、前記ソース駆動部において、前記ラッチされたビデオデータを液晶パネルのデータラインに供給する段階と、ゲート駆動部において、前記液晶パネルのゲートラインにスキャンパルスを順次的に供給する段階を更に含むことを特徴とする請求項1記載の液晶表示装置の駆動方法。

【請求項3】

ビデオデータが存在する期間を指示するデータ・イネーブル信号のイネーブル開始時点を検出してリセット信号を発生するリセット信号発生部であって、前記リセット信号はイネーブル開始時点のみでロー論理からハイ論理に変えるリセット信号発生部と、前記リセット信号に応答して前記イネーブル開始時点で前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットさせるトグル・クロック及びリセット部であって、前記リセット信号はロー論理からハイ論理に変わるとき、前記ソース・シフト・クロックは前記イネーブル開始時点のみでリセットされるトグル・クロック及びリセット部とを含み、前記イネーブル開始時点は、前記ビデオデータが存在する間に、前記データ・イネーブル信号がロー論理からハイ論理に変わる間の時間であり、前記リセット信号発生部は、入力ラインを経由して前記データ・イネーブル信号とドットクロックを入力として受けて前記ドットクロックにより前記データ・イネーブル信号を遅延させるためのDフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理積演算して前記データ・イネーブル信号のイネーブル開始時点を指示するリセット信号を発生するためのANDゲートを具備することを特徴とする液晶表示装置の駆動装置。

【請求項4】

データラインとゲートラインとが直交し前記データラインとゲートラインの間の画素領域に液晶セルが形成されると共に前記データラインとゲートラインの交差部に形成されて前記液晶セルを駆動するための薄膜トランジスタを有する液晶パネルと、前記ソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチし、ラッチされたビデオデータを前記液晶パネルのデータラインに供給するためのソース駆動部と、前記液晶パネルのゲートラインにスキャンパルスを順次的に供給してスキャンラインを選択するためのゲート駆動部と、前記ソース駆動部とゲート駆動部を制御するためのタイミング・コントローラとを更に具備することを特徴とする請求項3記載の液晶表示装置の駆動装置。

【請求項5】

前記リセット信号発生部と前記トグル・クロック及びリセット部は前記タイミング・コントローラ内に内蔵されることを特徴とする請求項4記載の液晶表示装置の駆動装置。

【請求項6】

前記トグル・クロック及びリセット部は前記ドットクロックをトグルリングすることで前記ソース・シフト・クロックを発生すると共に前記リセット信号に応答して前記ソース・シフト・クロックをリセットさせることを特徴とする請求項3記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関するもので、特に液晶表示装置の解像度モード切り換えの際に画質を鮮明に維持するようにした液晶表示装置の駆動方法及び装置に関するものである。

【0002】

【従来の技術】

アクティブ・マトリックス (Active Matrix) 駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下 "TFT" という) を利用

10

20

30

40

50

して自然に動画像を表示している。このような液晶表示装置はブラウン管に比べて小型化が可能で、コンピュータのモニタは勿論であり、コピー機などの事務自動化機器、携帯電話機や呼出機などの携帯機器まで広範囲に利用されている。

【0003】

このような液晶表示装置は高解像度・大画面化されている。最近ではワーク・ステーションのような高級機種で要求される解像度までもパーソナルコンピュータの液晶モニタでサポートしている。このような液晶表示装置を概略的に表すと図1のようである。

【0004】

図1を参照すると、液晶表示装置はゲートライン（GL1乃至GLm）とデータライン（DL1乃至DLn）の間にTF Tと液晶セルが形成される液晶表示パネル（2）と、データライン（DL1乃至DLn）にデータを供給するためのソース・ドライブ集積回路（Integrated Circuit：以下、“IC”という）（6）と、ゲートライン（GL1乃至GLm）に順次的にスキャンパルスを提供するためのゲート・ドライブIC（4）と、ソース・ドライブIC（6）とゲート・ドライブIC（4）に必要なタイミング制御信号などを供給するためのタイミング・コントローラ（8）と、グラフィック・カードから供給されたデータをタイミング・コントローラ（8）に供給するためのインターフェース回路（12）とを具備する。

10

【0005】

ソース・ドライブIC（6）はタイミング・コントローラ（8）からのソース・シフト・クロック（Source Shift Clock：以下、“SSC”という）によりRGBそれぞれのデータをサンプリング及びラッチして点順次方式（Dot at a time scanning）のタイミング体系を線順次方式（Line at a time scanning）に変換する。このように線順次方式に変換されたデータはスキャンパルスに同期されてn個のデータラインなど（DL1乃至DLn）に同時に供給される。

20

【0006】

タイミング・コントローラ（8）からソース・ドライブIC（6）に供給されるタイミング制御信号にはSSC以下の1水平同期期間の中にデータのサンプリングまたはラッチの初めを指示するソース・スタート・パルス（Source Start Pulse：以下、“SSP”という）、ソース・ドライブIC（6）の出力を制御するソース出力イネーブル（Source Output Enable：SOE）、フレーム/ライン/コラム・インバージョン駆動時にデータの極性を反転させるための制御信号（Polarity：POL）などがある。

30

【0007】

ゲート・ドライブIC（4）はシフト・レジスタとレベル・シフトなどを含めてタイミング・コントローラ（8）からのゲート・スタート・パルス（Gate Start Pulse：以下、“GSP”という）に応答してゲート・ハイ電圧のスキャンパルスをゲートラインなど（GL1乃至GLm）に順次的に供給して液晶セルなどにデータが充電されるようにする。

【0008】

タイミング・コントローラ（8）からゲート・ドライブIC（4）に供給されるタイミング制御信号にはGSP以外のTF TのゲートがONまたはOFFされる時間を決定するゲート・シフト・クロック（GSC）、ゲート・ドライブIC（4）の出力を制御するゲート出力イネーブル（GOE）などがある。

40

【0009】

タイミング・コントローラ（8）はインターフェース回路（12）を経由して入力されるRGB信号をソース・ドライブIC（6）に分配すると共にソース・ドライブIC（6）とゲート・ドライブIC（4）を制御する。このタイミング・コントローラ（8）は図示しない基準クロック発生部から供給されるSSCを利用してソース・ドライブIC（6）とゲート・ドライブIC（4）に必要なタイミング制御信号などを生成する。

【0010】

インターフェース回路（12）は図示しないグラフィック・カードから供給されるRG

50

B データ、データ・イネーブル信号 (Data Enable: 以下、" I _ D E " という) 及びドット・クロック (Dot Clock: 以下、" Dclk " という) をタイミング・コントローラ (8) に供給する。

【0011】

タイミング・コントローラ (8) とインターフェース回路 (12) はデータ供給ライン数を減らして電磁氣的干渉を減らせるように L V D S 回路を含む。

【0012】

V E S A (Video Electronics Standard Association) 標準規格には U X G A、S X G A、X G A、S V G A、V G A の解像度モードでグラフィック・カードからタイミング・コントローラ (8) に入力される I _ D E のブラッキング区間 (ロー論理区間) で Dclk (65 Mhz) の個数が偶数で規定されている。しかし解像度モードが U X G A、S X G A、X G A で S V G A または V G A に転換されるとき Dclk の個数が奇数に変化するようになる。このように解像度モードが切り換わるとき画面上に水平にノイズが表れるようになる。

10

【0013】

タイミング・コントローラ (8) は図 3 及び 4 で分かるように、グラフィック・カードの解像度変化に関係なくインターフェース回路 (12) からのドット・クロック (Dclk) をトグルングして S S C を発生する。これを詳細にすると、従来のタイミング・コントローラ (8) は解像度に関係なく I _ D E がハイレベルに変化する時点から 3 番目に発生するドット・クロック (Dclk) でリセット回路が動作して S S C をリセットさせる。ここで、図 3 のように解像度モードが U X G A、S X G A、X G A である場合の I _ D E のブラ

ンキング区間でドット・クロック (Dclk: X G A モードで 65 Mhz) の個数が偶数 (n) である。この場合には S S C が正常の波形と周波数で発生される。これに反して、図 4 のように解像度モードが S V G A または V G A である場合にデータ・イネーブル信号 (D E) のブラ

ンキング区間でドット・クロック (Dclk) の個数が奇数に変化するようになる。この結果、解像度モードが U X G A、S X G A、X G A から S V G A または V G A に転換されるとき図 5 のようにソース・ドライブ I C (6) に入力される S S P と S S C がセットアップ時間とホ

ールド時間を規定するタイミングスペック (Timing Spec.) を外れるようになり画面上に水平上に水平方向ノイズが表れるようになる。

20

【0014】

図 3 乃至図 5 において、データ・イネーブル信号 (D E) はタイミング・コントローラ (8) の内部回路により生成され、タイミング・コントローラ (8) により入力データから分割された奇数データと偶数データのサンプリング開始時点を指示する。

30

【0015】

これはスコープ画面をキャプチャした図 9 A 乃至図 11 B で更に分かりやすくなる。図 9 A 乃至図 11 B の波形図において、縦軸は時間 (25.0 ns 単位) で、横軸は電圧 (2.0 V) である。

【0016】

X G A の解像度におけるセットアップ時間とホールド時間の S S P と S S C 波形を表す図 9 A と図 9 B で分かるように、X G A の解像度においてドット・クロック (Dclk) の個数が偶数であるために S S P と S S C の波形は正常的に表れる。これに比べて、X G A から V G A に解像度が変化した場合のセットアップ時間とホールド時間の S S P よ S S C 波形を表す図 10 A と図 10 B で分かるように、ドットクロック (Dclk) の個数が偶数から奇数に変化するために S S C の周期が変化するようになり、S S C 波形は解像度が変化する時点で歪曲される。

40

【0017】

【発明が解決しようとする課題】

従って、本発明の目的は液晶表示装置の解像度モード切り換えの際に画質を鮮明に維持するようにした液晶表示装置の駆動方法及び装置を提供することにある。

【0018】

【課題を解決するための手段】

50

前記目的を達成するために、本発明による液晶表示装置の駆動方法はビデオデータが存在する期間を指示するデータ・イネーブル信号を入力として受ける段階と、データ・イネーブル信号のイネーブル開始時点を検出する段階と、データ・イネーブル信号のイネーブル開始時点でリセット信号を発生する段階と、リセット信号に応答して前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットさせる段階を含む。

【0019】

本発明による液晶表示装置の駆動方法はソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチする段階と、ラッチされたビデオデータを液晶パネルのデータラインなどに供給する段階と、液晶パネルのゲートラインなどにスキャンパルス

10

【0020】

本発明による液晶表示装置の駆動装置はビデオデータが存在する期間を指示するデータ・イネーブル信号のイネーブル開始時点を検出してリセット信号を発生するリセット信号発生部と、イネーブル開始時点で前記ビデオデータをサンプリングするためのソース・シフト・クロックをリセットさせるリセット部とを具備する。

【0021】

本発明による液晶表示装置の駆動装置はデータラインなどとゲートラインなどが直交し前記データラインとゲートラインの間の画素領域に液晶セルが形成されると共に前記データラインとゲートラインの交差部に形成されて前記液晶セルを駆動するための薄膜トランジスタを有する液晶パネルと、ソース・シフト・クロックにより前記ビデオデータをサンプリングした後にラッチしてラッチされたビデオデータを前記液晶パネルのデータラインなどに供給するためのソース駆動部と、液晶パネルのゲートラインなどにスキャンパルスを順次的に供給してスキャンラインを選択するためのゲート駆動部と、ソース駆動部とゲート駆動部を制御するためのタイミングコントローラとを更に具備する。

20

【0022】

前記リセット信号発生部と前記リセット部は前記タイミングコントローラ内に内蔵されることを特徴とする。

【0023】

前記リセット信号発生部は入力ラインを経由して前記データ・イネーブル信号とドットクロックを入力受けて前記ドットクロックにより前記データ・イネーブル信号を遅延させるためのDフリップ・フロップと、前記遅延されたデータ・イネーブル信号を反転させるためのインバーターと、前記遅延及び反転されたイネーブル信号と前記入力ラインからのデータ・イネーブル信号を論理積演算して前記データ・イネーブル信号のイネーブル開始時点を指示するリセット信号を発生するためのANDゲートとを更に具備することを特徴とする。

30

【0024】

前記リセット部は前記ドットクロックをトグルリングすることで前記ソース・シフト・クロックを発生すると共に前記リセット信号に応答して前記ソース・シフト・クロックをリセットさせることを特徴とする。

【0025】

40

【作用】

本発明による液晶表示装置の駆動方法及び装置は解像度変化により発生されるドット・クロック(Dclk)の偶数/奇数変化に関係なくタイミングコントローラに入力されるデータ・イネーブル(I_{DE})信号のイネーブル区間の開始時点を検出してソース・シフト・クロック(SSC)をリセットさせるようになる。

【0026】**【発明の実施態様】**

以下、図6乃至図8を参照して本発明の好ましい実施例に対して説明する。

【0027】

図6を参照すると、液晶表示装置はゲートライン(GL1乃至GL_m)とデータライン

50

(DL1乃至DLn)の間にTFTと液晶セルが形成される液晶表示パネル(62)と、データライン(DL1乃至DLn)にデータを供給するためのソース・ドライバIC(66)と、ゲートライン(GL1乃至GLm)に順次的にスキャンパルスを提供するためのゲート・ドライバIC(64)と、ソース・ドライバIC(66)とゲート・ドライバIC(64)に必要なタイミング制御信号などを供給するためのタイミング・コントローラ(68)と、DclkとI_{DE}信号を入力受けてSSCを発生するSSC発生部(60)と、グラフィック・カードから供給されたデータをタイミング・コントローラ(68)に供給するためのインターフェース回路(72)とを具備する。

【0028】

ソース・ドライバIC(66)はSSC発生部(60)からのSSCによりRGBそれぞれのデータをサンプリング及びラッチした後に、スキャンパルスに同期されてデータをn個のデータラインなど(DL1乃至DLn)に同時に供給される。

10

【0029】

ゲート・ドライバIC(64)はシフト・レジスタやレベル・シフトなどを含む、タイミング・コントローラ(68)からのGSPに応答してゲート・ハイ電圧のスキャンパルスをゲートライン(GL1乃至GLm)に順次供給するようになる。

【0030】

タイミング・コントローラ(68)はインターフェース回路(72)を経由して入力されるRGB信号をソース・ドライバIC(66)に分配すると共にタイミング制御信号などを生成してソース・ドライバIC(66)とゲート・ドライバIC(64)を制御する。

20

【0031】

インターフェース回路(72)は図示しないグラフィック・カードから供給されるRGBデータ、I_{DE}及びDclkをタイミング・コントローラ(68)に供給する。

【0032】

SSC発生部(60)は解像度モードの切り換えの際にDclkの個数に無関係にI_{DE}がハイレベルに変化する時点を検知してリセット信号を発生するようになる。また、SSC発生部(60)はリセット信号に応答してDclkをトグルリング(Toggling)することでSSCを発生してそのSSCをソース・ドライバIC(66)に供給するようになる。このSSC発生部(60)はタイミング・コントローラ(68)に内蔵されることができる。

30

【0033】

SSC発生部(60)は図7のようにインターフェース回路(72)からI_{DE}とDclkが入力されるDフリップ・フロップ(21)と、Dフリップ・フロップ(21)の出力端子に接続されたインバータ(23)と、I_{DE}入力ライン(26)を経由してI_{DE}が入力されるバッファ(22)とインバータ(23)の出力端子に共通に接続されたANDゲート(24)と、Dclk入力ライン(27)とANDゲート(24)の出力端子の間に接続されたトグル・クロック&リセット部(25)とを具備する。

【0034】

Dフリップ・フロップ(21)はI_{DE}をDclkが入力されるごとに出力してI_{DE}をDclkの一周期ほど遅延させるようになる。ここで、Dclkの周波数は65MHzと仮定する。

40

【0035】

バッファ(22)はI_{DE}入力ライン(26)を経由して入力されるI_{DE}をANDゲート(24)の第1入力端子に供給して、インバータ(23)はDフリップ・フロップ(21)により遅延されたI_{DE}を反転させANDゲート(24)の第2入力端子に供給する。

【0036】

ANDゲート(24)はバッファ(22)から入力されるI_{DE}とインバータ(23)から入力される遅延及びI_{DE}を論理積演算することにより、I_{DE}がロー論理からハイ論理に変化する時点を示す信号を発生するようになる。

50

【0037】

トグル・クロック&リセット部(25)はANDゲート(24)から入力されるハイ論理信号に¹⁰ 応答してSSCをリセットさせるためのリセット信号を発生すると共にリセット信号に²⁰ 応答してDclkをトグルングすることでSSC 32.5MHzを発生するようになる。

【0038】

図8を参照すると、65MHzのDclkはANDゲート(24)から出力される信号とトグル・クロック&リセット部(25)から出力される信号が同期されるようにDフリップ・フロップ(21)とリセット部(25)に共通に入力される。I_{DE}がブランキング区間(ロー論理)であるとき、ANDゲート(24)の出力信号はバッファ(22)の出力信号がロー論理を維持するのでロー論理を維持する。I_{DE}がロー論理からハイ論理に変化する時点で、バッファ(22)とインバータ(23)の出力信号が同時にハイ論理を有するようになるのでANDゲート(24)はハイ論理のパルス信号を発生する。即ち、ANDゲート(24)は解像度モードの切り換えの際、(例えば、UXGA、SXGA、XGAからSVGAまたはVGAに切り換えるとき)のドット・クロック数の変化に関係なく、I_{DE}の論理値がロー論理からハイ論理に変化する時点を検出する。このようにANDゲート(24)から発生されたパルス信号即ち、リセット信号はトグル・クロック&リセット部(25)のリセット端子に供給される。このようにリセット信号が¹⁰ 入力されると、トグル・クロック&リセット部(25)からソース・ドライブIC(66)に供給される32.5MHzのSSCは、²⁰ 解像度モード切り換えに関係なく、I_{DE}のイネーブル期間においていつも正常的なパルス幅と周波数を有するようになる。

【0039】

SSPはタイミング・コントローラ(68)により奇数・偶数データとリセット信号との間においてSSCの二倍の¹⁰ パルス幅で発生される。

【0040】

【発明の効果】

上述したように、本発明による液晶表示装置の駆動方法及び装置は、解像度変化により発生されるドット・クロック(Dclk)の偶数/奇数変化に関係なく、¹⁰ タイミングコントローラに入力されるデータ・イネーブル(I_{DE})信号のイネーブル区間の開始時点を検出してソース・シフト・クロック(SSC)をリセットさせるようになる。その結果、本発明による液晶表示装置の駆動方法及び装置においては、²⁰ 解像度モードの切り換えの際(例えば、UXGA、SXGA、XGAからSVGAまたはVGAに解像度モードが変化するとき)、ドットクロック(Dclk)の偶数/奇数変化に関係なく、ソース・ドライブICに入力されるSSCとSSPがVESA標準規格のタイミングスペックを満足するようになるので、³⁰ 解像度モードの切り換えの際に水平方向ノイズの発生を防ぐことができる。更に、本発明による液晶表示装置の駆動方法及び装置はソース・ドライブICに入力されるSSCとSSPのタイミング・マージンを確保することができるので低温または高温環境で鮮明な画質を維持することができる。

【0041】

以上説明した内容を通して当業者であれば本発明の技術思想を一脱しない範囲で多様な⁴⁰ 変更及び修正が可能であることが分かる。従って、本発明の技術的な範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【図面の簡単な説明】

【図1】 液晶表示装置の駆動装置を概略的に表すブロック図である。

【図2】 図1に図示されたタイミング・コントローラの出力波形図である。

【図3】 UXGA、SXGA及びXGAの解像度モードにおける図1に図示されたタイミング・コントローラの入/出力波形図である。

【図4】 VGAとSVGAの解像度モードにおける図1に図示されたタイミング・コントローラの入/出力波形図である。

【図5】 VGAとSVGAの解像度モードにおける図1に図示されたタイミング・コン⁵⁰

トローラの入/出力波形図である。

【図6】 本発明の実施例による液晶表示装置の駆動装置を表すブロック図である。

【図7】 図6に図示されたSSC発生部を詳細に表す回路図である。

【図8】 本発明の実施例による液晶表示装置の駆動装置の入/出力波形図である。

【図9A】 XGAの解像度のセットアップ時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。

【図9B】 XGAの解像度のホールド時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。

【図10A】 XGAの解像度のセットアップ時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。

10

【図10B】 XGAの解像度のホールド時間において表れるソース・スタート・パルスとソース・シフト・クロックを表す波形図である。

【図11A】 図9Aと図10Aの波形図を重畳させて表す波形図である。

【図11B】 図9Bと図10Bの波形図を重畳させて表す波形図である。

【符号の説明】

2 液晶表示パネル

4、64 ゲート・ドライブIC

6、66 ソース・ドライブ集積回路

8、68 タイミング・コントローラ

DL1乃至DLn データライン

20

GL1乃至GLm ゲートライン

12、72 インターフェース回路

21 Dフリップ・フロップ

22 バッファ

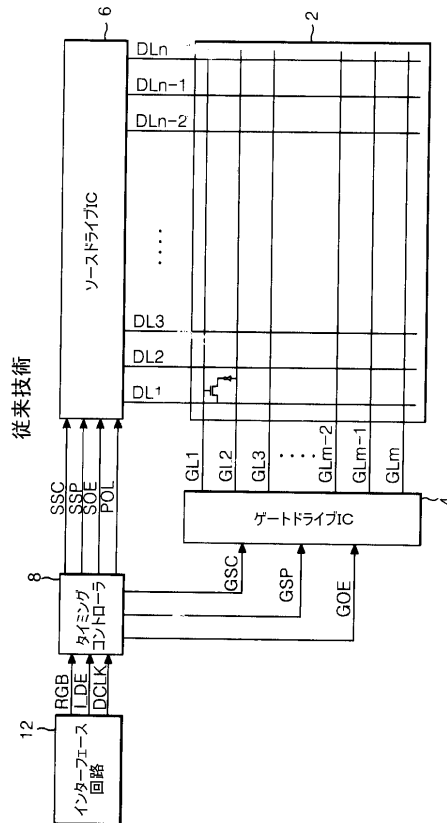
23 インバータ

24 ANDゲート

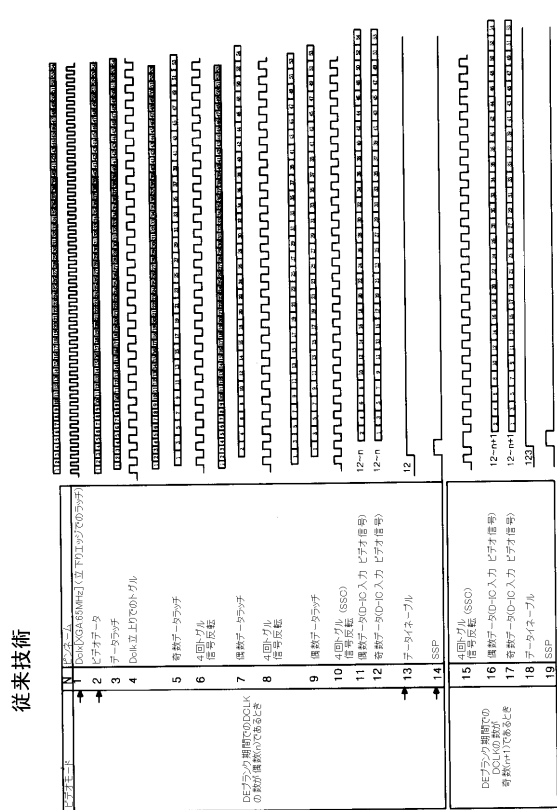
25 トグル・クロック&リセット部

60 SSC発生部

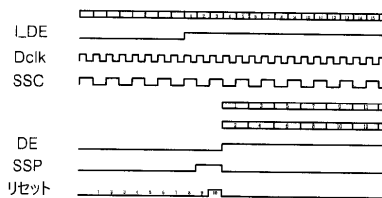
【図 1】



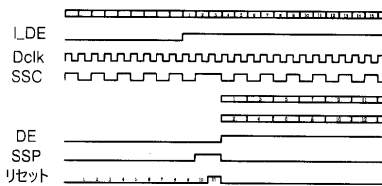
【図 2】



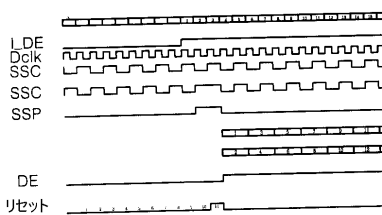
【図 3】



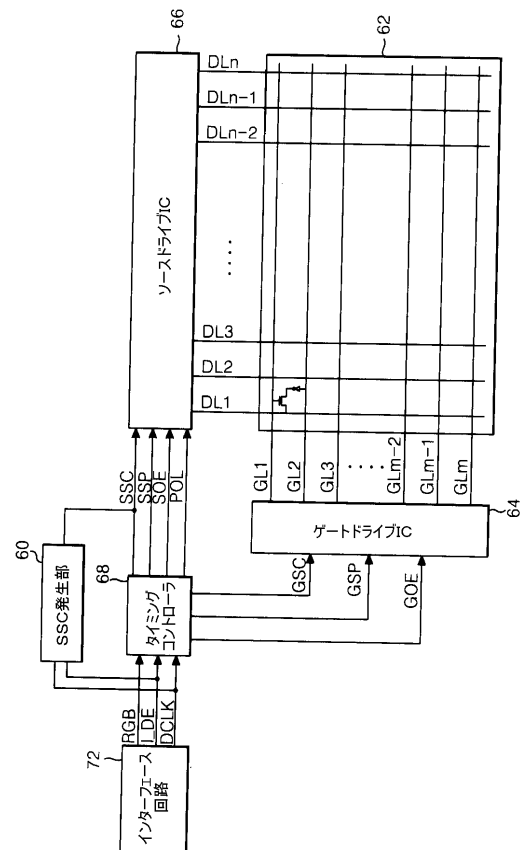
【図 4】



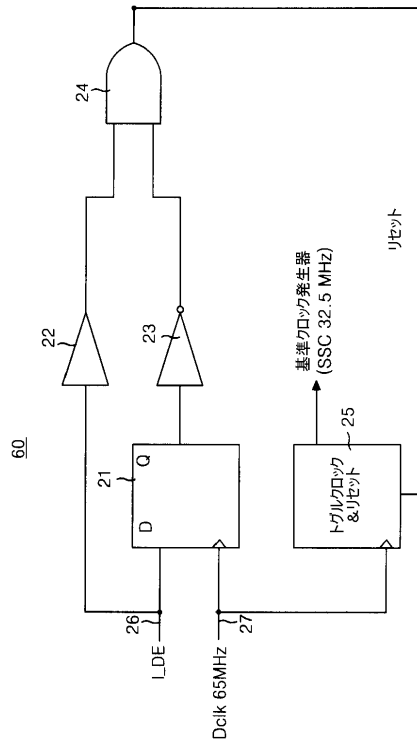
【図 5】



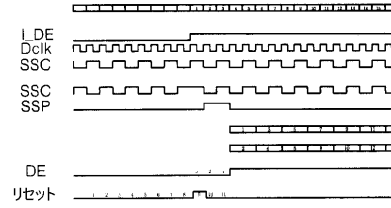
【図 6】



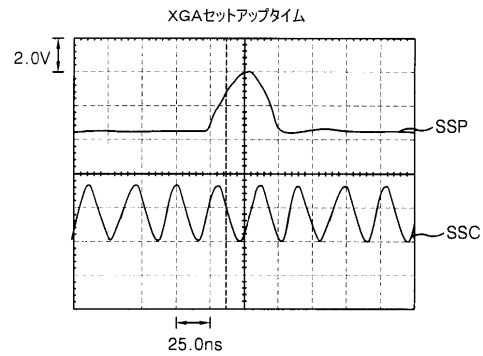
【図 7】



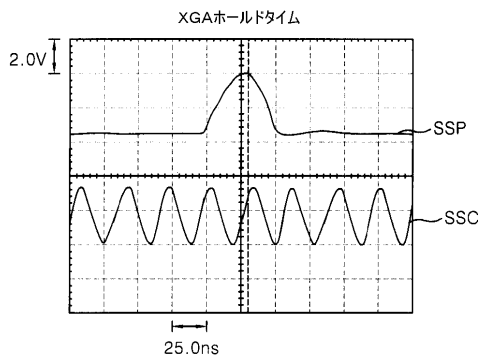
【図 8】



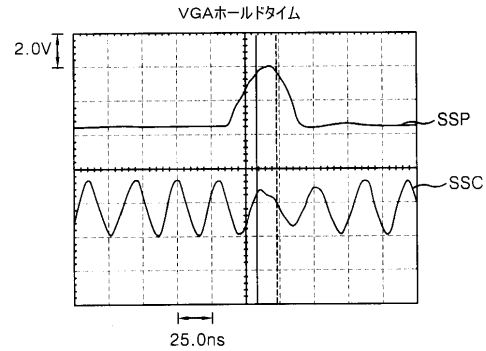
【図 9 A】



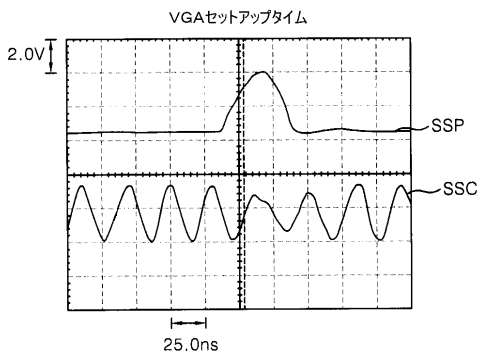
【図 9 B】



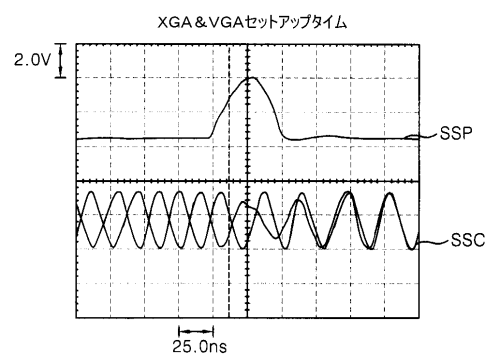
【図 10 B】



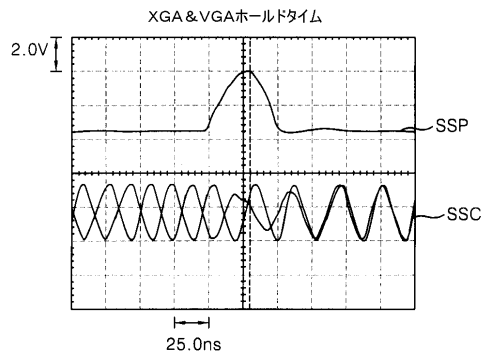
【図 10 A】



【図 11 A】



【図 1 1 B】



フロントページの続き

(74)代理人 100091889

弁理士 藤野 育男

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100102808

弁理士 高梨 憲通

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100107401

弁理士 高橋 誠一郎

(74)代理人 100106183

弁理士 吉澤 弘司

(72)発明者 アーン ソン クック

大韓民国 キョンサンブックード, クミーシ, ビサンードン, ジョンウォン リヴィング フィル
, ナンバー 1 3 0 9

審査官 小川 浩史

(56)参考文献 特開平 9-2 8 1 9 3 1 (J P, A)

特開平 1 0-3 0 1 5 4 4 (J P, A)

特開平 1 1-3 0 7 0 (J P, A)

特開平 8-1 6 0 9 2 2 (J P, A)

特開平 9-2 5 8 6 9 9 (J P, A)

(58)調査した分野(Int.Cl., D B名)

G09G 3/00-3/38

专利名称(译)	用于驱动液晶显示装置的方法和设备		
公开(公告)号	JP4562968B2	公开(公告)日	2010-10-13
申请号	JP2001388363	申请日	2001-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	アーンソンクック		
发明人	アーン ソン クック		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G5/006 G09G3/2096 G09G3/3611 G09G2310/08		
FI分类号	G09G3/36 G09G3/20.612.J G09G3/20.623.M G09G3/20.650.C G02F1/133.550 H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/ND01 2H093/NE06 2H093/NF05 2H193/ZA04 2H193/ZQ06 5C006/AF47 5C006/AF72 5C006/BB16 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF16 5C006/BF49 5C006/FA16 5C058/AA06 5C058/BA01 5C058/BA25 5C058/BA33 5C058/BB06 5C080/AA10 5C080/BB05 5C080/DD30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	臼井伸一 藤野郁夫 朝日 伸光 高桥诚一郎 吉泽博		
审查员(译)	小川博		
优先权	1020000079375 2000-12-20 KR		
其他公开文献	JP2002351432A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的方法和装置，其中在进行装置的分辨率模式切换时清楚地保持图像的质量。解决方案：在用于驱动液晶显示装置的方法和装置中，在数据/不可用信号的开始的时间点产生复位信号。响应于复位信号，源/移位/裂缝被重置，以便响应于其余信号进行视频数据的采样。

