

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4532180号
(P4532180)

(45) 発行日 平成22年8月25日 (2010. 8. 25)

(24) 登録日 平成22年6月18日 (2010. 6. 18)

(51) Int. Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
HO1L 21/336 (2006.01) HO1L 29/78 612Z
HO1L 29/786 (2006.01) HO1L 29/78 623A

請求項の数 2 (全 8 頁)

(21) 出願番号	特願2004-185572 (P2004-185572)	(73) 特許権者	303016487
(22) 出願日	平成16年6月23日 (2004. 6. 23)		ハイディス テクノロジー カンパニー
(65) 公開番号	特開2005-55871 (P2005-55871A)		リミテッド
(43) 公開日	平成17年3月3日 (2005. 3. 3)		大韓民国京畿道利川市夫鉢邑牙美里山13
審査請求日	平成17年7月13日 (2005. 7. 13)		6-1
(31) 優先権主張番号	2003-053492	(74) 代理人	110000051
(32) 優先日	平成15年8月1日 (2003. 8. 1)		特許業務法人共生国際特許事務所
(33) 優先権主張国	韓国 (KR)	(72) 発明者	高 永 益
			大韓民国 京畿道 利川市 代月面 巴東
			里 現代電子社員アパート 109-30
			4
		(72) 発明者	朴 相 鎮
			大韓民国 ソウル市 江西區 禾谷2洞
			869-57

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイパネル

(57) 【特許請求の範囲】

【請求項1】

複数の平行するゲートラインと複数の平行するデータラインとが、互いに交差配置されるように形成された上表面を有するアクティブ領域と、

前記アクティブ領域の外側の第1の領域に形成されて、各々が前記各ゲートラインと連結される複数のゲートパッドと、

前記アクティブ領域の外側の第2の領域に形成されて、各々が前記各データラインと連結される複数のデータパッドと、を有し、

前記ゲートパッド及びデータパッドは、隣接する第1のパッド及び第2のパッドを少なくとも備え、これらの第1及び第2のパッドは少なくともソース端子及びドレイン端子を有する少なくとも一対の対静電破壊用薄膜トランジスタ(TFT)(以下、第1のTFT、第2のTFTという)を有し、

前記第1のパッドの第1のTFTが前記第2のパッドの第1のTFTに対応し、第2のパッドの第2のTFTが第1のパッドの第2のTFTに対応しており、

前記第1及び第2のパッドは前記第1及び第2のTFTのゲート端子として働き、

前記第1のパッドにおける第1のTFTのソース端子を前記第2のパッドにおける第1のTFTのドレイン端子に連結させて前記第1のパッドに生成された静電気を前記第2のパッドに伝達し、

前記第2のパッドにおける第2のTFTのソース端子を前記第1のパッドにおける第2のTFTのドレイン端子に連結させて前記第2のパッドに生成された静電気を前記第1の

パッドに伝達し、

前記第1のTF Tは、全ての前記ゲートパッド及び前記データパッドの上端部に形成され、前記第2のTF Tは、全ての前記ゲートパッド及び前記データパッドの下端部に形成されることを特徴とする液晶ディスプレイパネル。

【請求項2】

前記パッドの第1端に位置する第1のTF Tのソース端子は静電気を第1の方向に伝達し、前記パッドの第2端に位置する第2のTF Tのソース端子は静電気を前記第1の方向と反対の第2の方向に伝達する、ことを特徴とする請求項1に記載の液晶ディスプレイパネル。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は液晶ディスプレイパネルに関するものであり、特に、パネルを製造する途中工程で発生する静電気(ESD: Electro Static Discharge)を防止するための静電気防止回路を構成する場合に、その大きさを極力小さくしてパネルの余裕空間を大きくするのに適した液晶ディスプレイパネルに関するものである。

【背景技術】

【0002】

一般的に、液晶ディスプレイパネルは2枚のガラス基板とその間に封入された液晶層で構成される平板型ディスプレイ装置であり、下部基板には画素領域を定義するようにゲートラインとデータラインとが相互に交差して配置され、各画素領域には画素電極と前記ゲートラインの駆動信号によってスイッチングしてデータラインの信号を画素電極に印加する薄膜トランジスタ(Thin Film Transistor)が配置され、上部基板には画素電極が形成されていない領域に光が透過されることを遮断するためのブラックマトリックスが配置され、各画素領域にカラーフィルター層が配置され、前面には共通電極が配置される。

20

【0003】

このような液晶ディスプレイパネルは複数のゲートラインとデータラインが交差するように配置され、各ゲートラインとデータラインとが交差する部分に薄膜トランジスタが配置されて画像をディスプレイする液晶パネルと、前記液晶パネルのゲートライン及びデータラインそれぞれに駆動電圧を印加するゲートドライバIC及びソースドライバICで主として構成される。

30

【0004】

このような液晶ディスプレイパネルは蒸着(Deposition)、蝕刻(Etching)及びセル製造工程等ほとんど全ての工程で静電気が発生し、このような静電気は素子の破壊、絶縁膜の破壊などをもたらして製品の不良、ひいては収率を減少させる主な要因となる。

【0005】

したがって、一般に生産ラインは静電気を防止するために、導電性チャックとか静電気防止カセットを用いるように設計をされている。また、パネルに静電気が発生しても薄膜トランジスタ素子や配線の特性が変わらないように静電気が放電されるよう画素を設計する。

40

【0006】

例えば、液晶ディスプレイパネルでは静電気による不良を防止するために、配線全体を抵抗で連結して電荷を分散させて放電が徐々に生じるように誘導する方法と、スクライブライン(scribe line)の外側の配線で放電されるようにする方法が一般的に適用されている。ここで、前者の方法は主にTF T-LCDに適用され、後者の方法は主に受動マトリックス(Passive matrix)液晶ディスプレイパネルに適用されている。

【0007】

50

すなわち、TFT-LCDでは基板にショータイングバー(Shorting bar、またはShorting ring)を形成して静電気による不良を防止する。

【0008】

図1は従来技術による液晶ディスプレイパネルの構成図である。

図1に示すように、従来の液晶ディスプレイパネルは静電気からディスプレイパネルを保護するためのゲートESD1及びデータESD3がショータイングバー5で縛られている。前記ショータイングバー5には通常の共通信号が印加される。ここで、前記ゲートESD1及びデータESD3は以後で説明されるアウター(Outer)ESDの反対概念としてインナー(Inner)ESDであると称する。

【0009】

前記ショータイングバー5の外側には"コ"の字または"逆コ"の字形状のリペアライン7が設けられ、薄膜トランジスタレイ基板100の外周部には前記ディスプレイパネルのゲートラインに駆動信号を印加する複数のゲートパッド9と、前記ディスプレイパネルのデータラインに駆動信号を印加するデータパッド11が形成される。

【0010】

このような従来の液晶ディスプレイパネルはパネル外部で発生して内部に流入される静電気がゲートパッド9及びデータパッド11の外側に形成されたゲートアウターESD13とデータアウターESD15とを通じてショータイングバー5に流入され、前記ショータイングバー5に流入された静電気はショータイングバー5によって配分されてパネル全体に均一に広がる。

【0011】

これにより、パネルの内部と外部と間の電圧差が小さくなり、したがって急に静電気が発生してもその静電気による不良を防止することができ、また製造工程でパネル内部に発生する静電気も前述した経路を経てパネル外部に排出されて静電気による影響を小さくできる。

【0012】

しかし、前記のような従来の液晶ディスプレイパネルは次のような問題点がある。

パネルに形成されるインナーESDとアウターESDの大きさは数十 μm から数百 μm の空間(面積)を占める。これは液晶ディスプレイパネルが小型化または大型化されることに伴って、前記ESDの以外にも必要となる液晶ディスプレイパネルに必要な多くのパターンの形成に大きい制約となる。このような制約は液晶ディスプレイパネルでさまざまな不良を惹起させる要因になる。

【0013】

従来の抵抗を用いたESDに代わる技術としては、例えばゲートラインとデータラインにダイオード(特許文献1参照)或いは薄膜トランジスタ(特許文献2参照)を設け、これらの保護素子を介して静電気を放電させる技術が開示されている。しかし、これらの技術には、保護素子を介して静電気をパネル全体に分散させ、静電気の影響を小さくするという技術的思想はない。

【特許文献1】特開2000-162629号公報

【特許文献2】特開2001-21921号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明は上記の従来技術の問題点を解決するために案出したものであり、各パッドの上下に静電気防止のための薄膜トランジスタを形成することにより、特別にESD形成空間を確保する必要がなく、ESDの占める空間を小さくすることができ、これによって、余裕空間を確保することができる液晶ディスプレイパネルを提供することを目的とする。

【課題を解決するための手段】

【0015】

上記目的を達成するためになされた本発明による液晶ディスプレイパネルは、複数の平

10

20

30

40

50

行するゲートラインと複数の平行するデータラインとが、互いに交差配置されるように形成された上表面を有するアクティブ領域と、前記アクティブ領域の外側の第1の領域に形成されて、各々が前記各ゲートラインと連結される複数のゲートパッドと、前記アクティブ領域の外側の第2の領域に形成されて、各々が前記各データラインと連結される複数のデータパッドと、を有し、前記ゲートパッド及びデータパッドは、隣接する第1のパッド及び第2のパッドを少なくとも備え、これらの第1及び第2のパッドは少なくともソース端子及びドレイン端子を有する少なくとも一対の対静電破壊用薄膜トランジスタ(TFT)(以下、第1のTFT、第2のTFTという)を有し、前記第1のパッドの第1のTFTが前記第2のパッドの第1のTFTに対応し、第2のパッドの第2のTFTが第1のパッドの第2のTFTに対応しており、前記第1及び第2のパッドは前記第1及び第2のTFTのゲート端子として働き、前記第1のパッドにおける第1のTFTのソース端子を前記第2のパッドにおける第1のTFTのドレイン端子に連結させて前記第1のパッドに生成された静電気を前記第2のパッドに伝達し、前記第2のパッドにおける第2のTFTのソース端子を前記第1のパッドにおける第2のTFTのドレイン端子に連結させて前記第2のパッドに生成された静電気を前記第1のパッドに伝達し、前記第1のTFTは、全ての前記ゲートパッド及び前記データパッドの上端部に形成され、前記第2のTFTは、全ての前記ゲートパッド及び前記データパッドの下端部に形成されることを特徴とする。

10

【0016】

前記パッドの第1端に位置する第1のTFTのソース端子は静電気を第1の方向に伝達し、前記パッドの第2端に位置する第2のTFTのソース端子は静電気を前記第1の方向と反対の第2の方向に伝達する、ことが好ましい。

20

【0017】

以上のような本発明の特徴及び長所は、発明を実施するための最良の形態に記載される実施例に対する説明から明確になる。

【発明の効果】

【0018】

本発明は各データパッド及びゲートパッドの上端部と下端部とにそれぞれインナーESD及びアウターESDの役割を果たす静電気防止用の薄膜トランジスタを形成することで、ESDが占める空間を小さくして空間に余裕がないことによって発生する製品の不良をあらかじめ防止することができる。

30

【発明を実施するための最良の形態】

【0019】

以下、添付された図面を参照して本発明の望ましい実施例を詳細に説明する。

図2は本発明の液晶ディスプレイパネルによるデータパッドを示す図であり、図3は図2に対する等価回路を示す図である。

【0020】

先ず、図2にはデータパッドの上端と下端のそれぞれに静電気防止のための薄膜トランジスタが形成されていることが示されているが、このような薄膜トランジスタはゲートパッドにも同様に形成されることは明らかである。

【0021】

40

すなわち、本発明の液晶ディスプレイパネルはゲートパッド及びデータパッドに一対ずつの静電気防止用の薄膜トランジスタを形成し、これを通じて、静電気がゲートライン全体またはデータライン全体に伝達することで結局はパネル全体に静電気が伝達されるようにする。この時、各パッドに形成された一対の静電気防止用の薄膜トランジスタはその形成位置によってインナーESD及びアウターESDになる。

【0022】

次にパッドの構造を詳しく説明する。

図2に示すように、一定間隔を置いて複数のデータパッドD1, D2, D3, . . . , Dnが形成され、各データパッドの上端部と下端部とにはそれぞれ接するデータパッドと電氣的に連結される薄膜トランジスタT1a, T2a, T3a, . . . , Tnaが形成さ

50

れる。

【0023】

本実施例では、一番目のデータパッドD1の上端部に形成された薄膜トランジスタT1aのソース端子は二番目のデータパッドD2の上端部に形成された薄膜トランジスタT2aのドレイン(Drain)端子とコンタクトホールを通じて連結され、前記薄膜トランジスタT2aのソース端子は再び三番目のデータパッドD3の上端部に形成された薄膜トランジスタT3aのドレイン端子とコンタクトホールを通じて連結され、このようにすべてのデータパッドの上端部には隣り合うデータパッドを連結して静電気をすべてのデータラインに印加するための薄膜トランジスタT1a, T2a, T3a, . . . , Tnaが形成される。

10

【0024】

また、図2で四番目のデータパッドD4の下端部に形成された薄膜トランジスタT4bのソース端子は三番目のデータパッドD3の下端部に形成された薄膜トランジスタT3bのドレイン端子とコンタクトホールとを通じて連結され、前記薄膜トランジスタT3bのソース端子はまた二番目のデータパッドD2の下端部に形成された薄膜トランジスタT2bのドレイン端子とコンタクトホールとを通じて連結され、このようにすべてのデータパッドの下端部には隣り合うデータパッドを連結して静電気をすべてのデータラインに伝達するための薄膜トランジスタT1b, T2b, T3b, . . . , Tnbが形成される。

【0025】

次に、前記のように構成された本発明の液晶ディスプレイパネルによるESDの動作を説明する。

20

例えば、図2で二番目のデータパッドD2に静電気が発生した場合、前記データパッドD2の下端部側、すなわち、C領域の薄膜トランジスタT2bがオン(ON)になり、それによって前記薄膜トランジスタT2bのソース端子を通じて一番目のデータパッドD1に静電気が伝達される。

【0026】

そして、前記二番目のデータパッドD2の上端部側、すなわち、A領域の薄膜トランジスタT1aがオン(ON)になり、それによって前記薄膜トランジスタT2aのソース端子を通じて三番目のデータパッドD3に静電気が伝達される。

【0027】

このように、二番目のデータパッドD2で発生された静電気は各データパッドの上端部と下端部とに形成された薄膜トランジスタを通じて隣り合うデータパッドに伝達して、このようにすべてのデータパッドに静電気が伝達される。

30

【0028】

本実施例では、前記三番目のデータパッドD3に伝達した静電気は前記三番目のデータパッドD3の上端部側、すなわち、B領域の薄膜トランジスタT3aがオン(ON)になることによって前記薄膜トランジスタT3aのソース端子を通じて隣り合う四番目のデータパッドD4に静電気が伝達される。

【0029】

したがって、データパッドのうちいずれか1ヶ所で静電気が発生する場合、各データパッドの上端部と下端部とに形成された薄膜トランジスタを通じて隣り合うデータパッドに静電気が伝達され、結局はすべてのデータパッドに静電気が伝達されてパネルの外部と内部の電圧差が最小化されて静電気による被害を防止することができる。

40

【0030】

本実施例ではデータパッドを例にして説明したが、これと同様にゲートパッドの上端部と下端部とに形成された薄膜トランジスタを通じて隣り合うゲートパッドに静電気が伝達され、静電気の被害を防止できることは明らかである。

【0031】

その他、本発明はその要旨が逸脱しない範囲で多様に変更して実施することができる。

【図面の簡単な説明】

50

【 0 0 3 2 】

【図 1】従来技術による液晶ディスプレイパネルの構成図である。

【図 2】本発明に係る液晶ディスプレイパネルによるデータパッドの構成図である。

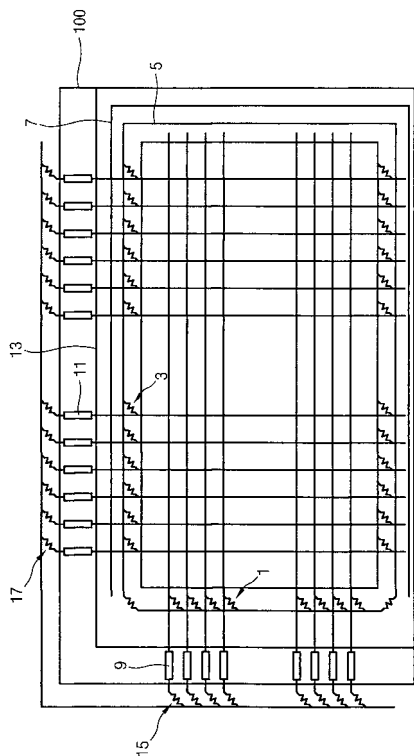
【図 3】図 2 の等価回路図である。

【符号の説明】

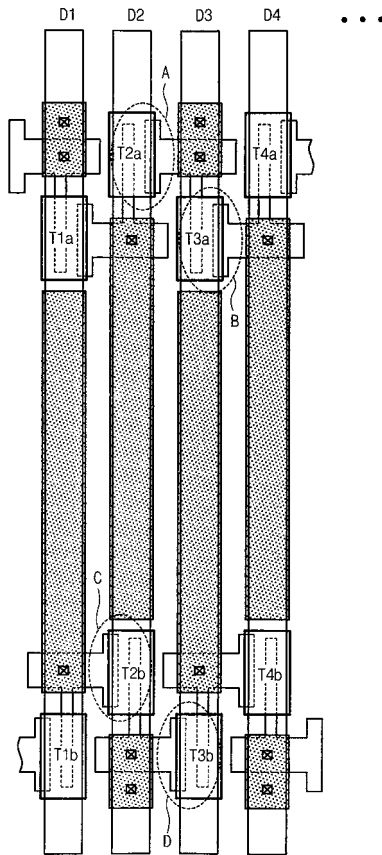
【 0 0 3 3 】

- 1 ゲートインナー E S D
- 3 データインナー E S D
- 5 ショーティングバー
- 7 リペアライン
- 9 ゲートパッド
- 11 データパッド
- 13 ゲートアウター E S D
- 15 データアウター E S D
- 100 薄膜トランジスタレイ基板

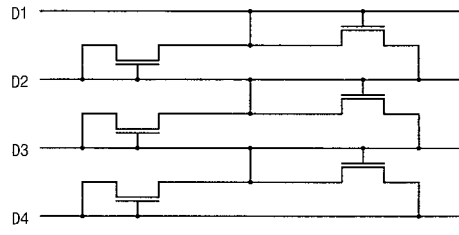
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

審査官 前川 慎喜

(56)参考文献 特開平10-161142(JP,A)
特開平08-179359(JP,A)
特開平11-261011(JP,A)

(58)調査した分野(Int.Cl., DB名)
G02F 1/1345

专利名称(译)	液晶显示面板		
公开(公告)号	JP4532180B2	公开(公告)日	2010-08-25
申请号	JP2004185572	申请日	2004-06-23
[标]申请(专利权)人(译)	Bioi高盘科技有限公司		
申请(专利权)人(译)	Bioi Heidis科技有限公司		
当前申请(专利权)人(译)	Heidis科技有限公司		
[标]发明人	高永益 朴相鎭		
发明人	高永益 朴相鎭		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 G02F1/13 G02F1/1333 G02F1/136 G02F1/1362		
CPC分类号	G02F1/136204		
FI分类号	G02F1/1368 H01L29/78.612.Z H01L29/78.623.A		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/JB22 2H092/JB31 2H092/NA14 2H192/AA24 2H192/GA15 5F110 /AA22 5F110/BB01 5F110/NN77		
优先权	1020030053492 2003-08-01 KR		
其他公开文献	JP2005055871A JP2005055871A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一个液晶显示面板，其静电保护装置（ESD）占用的空间最小化。ZOLUTION：液晶显示面板包括有源区，其中多条栅极线和数据线彼此交叉排列，以显示施加到数据线的图像数据，多个栅极焊盘形成在外部。有源区连接到每条栅极线，多个数据焊盘形成在有源区的外侧并连接到每条数据线，以及一对静电放电保护薄膜晶体管，形成在每个栅极焊盘上，每个数据焊盘是为了执行内部和外部ESD的功能并将从相应的焊盘产生的静电转移到相邻的焊盘。Z

