

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4494369号

(P4494369)

(45) 発行日 平成22年6月30日(2010.6.30)

(24) 登録日 平成22年4月16日(2010.4.16)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1339 (2006.01)

G O 2 F 1/1339 5 0 0

G O 2 F 1/1335 (2006.01)

G O 2 F 1/1339 5 0 5

G O 9 F 9/30 (2006.01)

G O 2 F 1/1335 5 0 5

G O 9 F 9/35 (2006.01)

G O 9 F 9/30 3 3 8

請求項の数 13 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2006-144553 (P2006-144553)
 (22) 出願日 平成18年5月24日(2006.5.24)
 (62) 分割の表示 特願平11-355205の分割
 原出願日 平成11年12月14日(1999.12.14)
 (65) 公開番号 特開2006-317955 (P2006-317955A)
 (43) 公開日 平成18年11月24日(2006.11.24)
 審査請求日 平成18年9月28日(2006.9.28)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 桑原 秀明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の基板の一方の面上の駆動回路部に設けられた第1の薄膜トランジスタと、
 前記第1の薄膜トランジスタ上に設けられた第1のカラーフィルタと、
 前記第1の基板の前記一方の面上の画素部に設けられた第2の薄膜トランジスタと、
 前記第2の薄膜トランジスタ上に設けられた絶縁膜と、
 前記絶縁膜上に設けられた第2のカラーフィルタと、
 前記第2のカラーフィルタ上に設けられ、前記第2の薄膜トランジスタと電気的に接続された画素電極と、
 前記第1の基板の前記一方の面に対向するように設けられた第2の基板と、
 前記第1の基板と前記第2の基板の間隔を保持する柱状スペーサと、
 前記第1の基板と前記第2の基板の間に設けられた液晶と、を有し、
 前記第1のカラーフィルタは赤のカラーフィルタであり、
 前記第2の薄膜トランジスタのゲート電極の上方には、前記第2のカラーフィルタが形成されていることを特徴とする液晶表示装置。

【請求項2】

第1の基板の一方の面上の駆動回路部に設けられた第1の薄膜トランジスタと、
 前記第1の薄膜トランジスタ上に設けられた第1のカラーフィルタと、
 前記第1の基板の前記一方の面上の画素部に設けられた第2の薄膜トランジスタと、
 前記第2の薄膜トランジスタ上に設けられた第1の絶縁膜と、

10

20

前記第 1 の絶縁膜上に設けられた第 2 のカラーフィルタと、
前記第 2 のカラーフィルタ上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜上に設けられ、前記第 2 の薄膜トランジスタと電氣的に接続された画素電極と、
前記第 1 の基板の前記一方の面に対向するように設けられた第 2 の基板と、
前記第 1 の基板と前記第 2 の基板の間隔を保持する柱状スペーサと、
前記第 1 の基板と前記第 2 の基板の間に設けられた液晶と、を有し、
前記第 1 のカラーフィルタは赤のカラーフィルタであり、
前記第 2 の薄膜トランジスタのゲート電極の上方には、前記第 2 のカラーフィルタが形成されていることを特徴とする液晶表示装置。

10

【請求項 3】

請求項 2 において、
前記第 2 の絶縁膜は平坦化膜であることを特徴とする液晶表示装置。

【請求項 4】

第 1 の基板の一方の面上の駆動回路部に設けられた第 1 の薄膜トランジスタと、
前記第 1 の薄膜トランジスタ上に設けられた第 1 のカラーフィルタと、
前記第 1 の基板の前記一方の面上の画素部に設けられた第 2 の薄膜トランジスタと、
前記第 2 の薄膜トランジスタ上に設けられた窒化珪素膜と、
前記窒化珪素膜上に設けられた第 2 のカラーフィルタと、
前記第 2 のカラーフィルタ上に設けられ、前記第 2 の薄膜トランジスタと電氣的に接続された画素電極と、
前記第 1 の基板の前記一方の面に対向するように設けられた第 2 の基板と、
前記第 1 の基板と前記第 2 の基板の間隔を保持する柱状スペーサと、
前記第 1 の基板と前記第 2 の基板の間に設けられた液晶と、を有し、
前記第 1 のカラーフィルタは赤のカラーフィルタであり、
前記第 2 の薄膜トランジスタのゲート電極の上方には、前記第 2 のカラーフィルタが形成されていることを特徴とする液晶表示装置。

20

【請求項 5】

第 1 の基板の一方の面上の駆動回路部に設けられた第 1 の薄膜トランジスタと、
前記第 1 の薄膜トランジスタ上に設けられた第 1 のカラーフィルタと、
前記第 1 の基板の前記一方の面上の画素部に設けられた第 2 の薄膜トランジスタと、
前記第 2 の薄膜トランジスタ上に設けられた窒化珪素膜と、
前記窒化珪素膜上に設けられた第 2 のカラーフィルタと、
前記第 2 のカラーフィルタ上に設けられた絶縁膜と、
前記絶縁膜上に設けられ、前記第 2 の薄膜トランジスタと電氣的に接続された画素電極と、

30

前記第 1 の基板の前記一方の面に対向するように設けられた第 2 の基板と、
前記第 1 の基板と前記第 2 の基板の間隔を保持する柱状スペーサと、
前記第 1 の基板と前記第 2 の基板の間に設けられた液晶と、を有し、
前記第 1 のカラーフィルタは赤のカラーフィルタであり、
前記第 2 の薄膜トランジスタのゲート電極の上方には、前記第 2 のカラーフィルタが形成されていることを特徴とする液晶表示装置。

40

【請求項 6】

請求項 5 において、
前記絶縁膜は平坦化膜であることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、
前記第 2 の薄膜トランジスタのゲート電極の上方に設けられた前記第 2 のカラーフィルタは一層からなることを特徴とする液晶表示装置。

【請求項 8】

50

請求項 1 乃至 7 のいずれか一項において、
前記第 1 の基板と前記第 2 の基板はシール剤で貼り合わせられていることを特徴とする液晶表示装置。

【請求項 9】

請求項 8 において、
前記シール剤には、フィラーが混入されていることを特徴とする液晶表示装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、
前記第 1 及び前記第 2 の薄膜トランジスタは、逆スタガ型の薄膜トランジスタであることを特徴とする液晶表示装置。

10

【請求項 11】

請求項 1 乃至 10 のいずれか一項において、
前記第 1 及び前記第 2 の薄膜トランジスタの半導体層はポリシリコンを有することを特徴とする液晶表示装置。

【請求項 12】

請求項 1 乃至 11 のいずれか一項において、
前記第 2 の薄膜トランジスタの半導体層はアモルファスシリコンを有することを特徴とする液晶表示装置。

【請求項 13】

請求項 1 乃至 12 のいずれか一項において、
前記第 2 のカラーフィルタの画素配列は、ストライプパターン、斜めモザイク配列、三角モザイク配列、R G B G 4 画素配列または R G B W 4 画素配列のいずれかであることを特徴とする液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は薄膜トランジスタ（以下、T F T という）で構成された回路を含む半導体装置およびその作製方法に関する。例えば、液晶表示パネルや E L 表示パネルに代表される電気光学装置およびその様な電気光学装置（電子装置）を部品として搭載した電子機器（電子器具）に関する。

30

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタは I C や電気光学装置のような電子デバイスに広く応用され、特に液晶表示パネルや E L 表示パネルのスイッチング素子として開発が急がれている。

40

【0004】

液晶表示パネルにおいては、アモルファスシリコンまたはポリシリコンを半導体とした T F T をマトリクス状に配置して、各 T F T に接続された画素電極とソース線とゲート線とがそれぞれ形成された素子基板と、これに対向配置された対向電極を有する対向基板との間に液晶材料が挟持されている。また、カラー表示するためのカラーフィルタは対向基板上に形成されている。そして、素子基板と対向基板にそれぞれ光シャッタとして偏光板を配置し、カラー画像を表示している。

【0005】

ここで、液晶表示パネルのカラーフィルタは、R（赤）、G（緑）、B（青）の着色層と、画素の間隙だけを残して遮光マスクとを有し、光を透過させることによって赤色、緑

50

色、青色の光を抽出するものである。また、カラーフィルタの遮光マスクは、一般的に金属膜または黒色顔料を含有した有機膜で構成されている。このカラーフィルタは、画素に対応する位置に形成され、これにより画素ごとに取り出す光の色を変えることができる。なお、画素に対応した位置とは、画素電極と一致する位置を指す。

【0006】

また、EL表示装置においては、赤色、緑色、あるいは青色を有する光を発光するEL素子をマトリクス状に配置するカラー化方式と、白色光を発光するEL素子を用いカラーフィルタによるカラー化方式とがある。この白色光を発光するEL素子を用いカラーフィルタによるカラー化方式は、原理的にはカラーフィルタを用いた液晶表示装置のカラー化方式と同様である。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

カラーフィルタを対向基板に設けた液晶表示パネルでは素子基板と対向基板とを極めて高い精度で位置合わせして組み立てることが必要であり、この精度が低い場合には開口率が低下して表示が暗くなるという問題があった。

【0008】

また、カラーフィルタの遮光マスクとして金属膜を用いた液晶表示パネルでは、他の配線との寄生容量が形成され信号の遅延が生じやすいという問題が生じていた。また、有機膜を用いた場合、製造工程が増加するという問題が生じていた。

20

【0009】

また、赤色、緑色、あるいは青色を有する光を発光するEL素子を用いたEL表示装置では、色ごとにEL材料が異なるため素子特性も異なり均一な表示を得ることは困難であった。例えば、EL材料の劣化速度等がそれぞれ異なるため経過時間によって表示がばらついてしまうという問題が生じていた。

【0010】

また、白色光を発光するEL素子を用いたEL表示装置では、原理的にはカラーフィルタを用いた液晶表示装置と同様であるため、同様の上記問題が生じていた。

【課題を解決するための手段】

【0011】

30

本明細書で開示する発明の構成は、画素部に設けた画素TF Tと、該画素部の周辺にpチャンネル型TF Tとnチャンネル型TF Tとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャンネル型TF T、前記駆動回路のnチャンネル型TF T、及び前記画素部の画素TF Tは、ゲート絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有していることを特徴とする半導体装置である。

【0012】

また、他の発明の構成は、画素部に設けた画素TF Tと、該画素部の周辺にpチャンネル型TF Tとnチャンネル型TF Tとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャンネル型TF T、前記駆動回路のnチャンネル型TF T、及び前記画素部の画素TF Tは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有していることを特徴とする半導体装置である。

40

【0013】

また、他の発明の構成は、画素部に設けた画素TF Tと、該画素部の周辺にpチャンネル型TF Tとnチャンネル型TF Tとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャンネル型TF T、前記駆動回路のnチャンネル型TF T、及び前記画素TF Tは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタとを有し、前記画素部に設けた画素電極は

50

、前記カラーフィルタ上に接して形成され、少なくとも前記保護絶縁膜と前記カラーフィルタとに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続していることを特徴とする半導体装置である。

【0014】

また、上記構成において、前記駆動回路のpチャンネル型TFT及びnチャンネル型TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

【0015】

また、上記各構成において、前記画素TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

10

【0016】

また、上記各構成において、前記画素部に設けた画素電極は、前記層間絶縁膜上に形成され、少なくとも前記保護絶縁膜と前記層間絶縁膜とに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続していることを特徴としている。

【0017】

また、上記各構成において、前記画素部に設けた画素電極は光透過性を有していることを特徴としている。

【0018】

また、上記各構成において、前記駆動回路のpチャンネル型TFTは、少なくとも、アナログスイッチとして使用されていることを特徴としている。

20

【0019】

また、他の発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャンネル型TFTとnチャンネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャンネル型TFT、前記駆動回路のnチャンネル型TFT、及び前記画素部の画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタと、前記カラーフィルタ上に接して有機絶縁物材料からなる層間絶縁膜とを有し、前記画素部の画素TFTは、前記層間絶縁膜上に画素電極を有し、前記画素電極を陽極とするEL素子が接続していることを特徴とする半導体装置である。

【0020】

30

上記構成において、前記画素部に設けた画素電極は、前記層間絶縁膜上に形成され、少なくとも前記保護絶縁膜と前記層間絶縁膜とに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続していることを特徴としている。

【0021】

また、他の発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャンネル型TFTとnチャンネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャンネル型TFT、前記駆動回路のnチャンネル型TFT、及び前記画素TFTは、ゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に接して形成されたカラーフィルタとを有し、前記画素部に設けた画素電極は、前記カラーフィルタ上に接して形成され、少なくとも前記保護絶縁膜と前記カラーフィルタとに設けられた開孔を介して形成された、前記画素TFTに接続する導電性金属配線と接続され、且つ、前記画素電極を陽極とするEL素子が接続していることを特徴とする半導体装置である。

40

【0022】

上記構成において、前記駆動回路のpチャンネル型TFT及びnチャンネル型TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

【0023】

上記各構成において、前記画素TFTのゲート電極の上方に設けられたカラーフィルタは、赤に着色された着色膜であることを特徴としている。

50

【0024】

上記各構成のいずれか一において、前記EL素子から発した光は前記基板を透過して放射されることを特徴としている。

【発明の効果】

【0025】

本発明によってカラーフィルタはブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。

【発明を実施するための最良の形態】

【0026】

本願発明の実施形態について、以下に説明する。

10

【0027】

本発明は、対向基板ではなく、素子基板上にTFTの遮光膜としてカラーフィルタを形成することを特徴としている。特に赤色のカラーフィルタを通過する光の波長は高く、非単結晶珪素膜にほとんど影響を与えないため、有効である。参考までに非単結晶珪素膜55nmに対する吸収率と照射される波長との関係を図23に示した。

【0028】

本発明において、光の劣化から保護するためにTFTのゲート電極の上方、即ちチャネル形成領域を覆うカラーフィルタ(R)を形成する。具体的にはゲート電極を覆う保護絶縁膜(窒化珪素膜等)に接してカラーフィルタを形成し、カラーフィルタに接して層間絶縁膜を形成し、その層間絶縁膜上に画素電極を形成する。この層間絶縁膜は平坦化のために形成されており、カラーフィルタが十分な絶縁性、または平坦性を有しているのであれば層間絶縁膜はなくてもよい。また、保護絶縁膜は、カラーフィルタに含まれる不純物による汚染を防ぐ上で重要な役割を果たしている。

20

【0029】

カラーフィルタには、最も単純なストライプパターンをはじめとして、斜めモザイク配列、三角モザイク配列、RGBG四画素配列、RGBW四画素配列などがある。

【0030】

図6にストライプ状のカラーフィルタとした場合で本発明を適用した一例を示す。図6(A)は基板400上に設けられた画素部401、ソース線側駆動回路402、及びゲート線側駆動回路403とカラーフィルタ404～405との配置関係を簡略に示した上面図である。本発明は、周辺回路である駆動回路402、403上に赤のカラーフィルタ(R)404a、404bが設けられ、TFTの活性層の光劣化を防止すると同時に平坦化の役割も果たしている。また、画素部401上にはストライプ状にカラーフィルタ(B)405b、カラーフィルタ(R)405a、カラーフィルタ(G)405cが繰り返し配置されている。図6(B)に画素の一部(3×3行列)を拡大した模式図を示した。図6(B)に示すように画素TFT部407を保護するカラーフィルタ405dが各画素毎に形成されている。なお、ここではソース線、ゲート線、電極を図示していないが、各カラーフィルタの間隙と重なるように配置されているため、光漏れはない。このようにすることによってカラーフィルタ405dはブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。また、ここでは画素電極と画素TFTとを接続するコンタクトホールを図示していないが、実際には画素TFTと画素電極との層間にカラーフィルタを形成しているためコンタクトホールの箇所には開口が存在している。

30

40

【0031】

また、図7にマトリクス状のカラーフィルタとした場合で本発明を適用した一例を示す。図7(A)は基板500上に設けられた画素部501、ソース線側駆動回路502、及びゲート線側駆動回路503とカラーフィルタ504、505との配置関係を簡略に示した上面図である。本発明は、周辺回路である駆動回路502、503上に赤のカラーフィルタ(R)504aが設けられ、TFTの活性層の光劣化を防止すると同時に平坦化の役割も果たしている。また、画素部501上にはマトリクス状にカラーフィルタ(B)505b、カラーフィルタ(G)505cが配置され、それらの間隙を埋めるようにカラーフィ

50

ルタ (R) 505a が形成されている。図 7 (B) に画素の一部 (3×3 行列) を拡大した模式図を示した。図 7 (B) に示すように画素 TFT 部 507 を保護するカラーフィルタ 505d は互いに繋がっている。なお、ここではソース線、ゲート線、電極を図示していないが、各カラーフィルタの間隙と重なるように配置されているため、光漏れはない。このようにすることによってカラーフィルタ 505a はブラックマスクの役割を果たすため、従来必要であったブラックマスクの形成工程が省略できる。また、ここでは画素電極と画素 TFT とを接続するコンタクトホールを図示していないが、実際には画素 TFT と画素電極との層間にカラーフィルタを形成しているためコンタクトホールの箇所には開口が存在している。

【0032】

10

また、図 6 及び図 7 で示したカラーフィルタの配置は一例であって、特にその配置、形状に限定されず、少なくとも TFT のゲート電極の上方、即ちチャネル形成領域の上方を覆うカラーフィルタ (R) を適宜形成すればよい。

【0033】

また、本発明はアクティブマトリクス基板を用いる表示装置であれば適用することができる。例えば液晶表示装置や EL 表示装置にも適用することができる。白色発光の EL 素子を用いた EL 表示装置においては、画素電極を陽極とし、EL 素子から発した光はアクティブマトリクス基板を透過して放射される。また、有色発光の EL 素子を用いた EL 表示装置においても、色純度を上げるためにカラーフィルタを用いる場合に本発明を適用できる。

20

【0034】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例 1】

【0035】

本発明の実施例を図 1～図 3 を用いて説明する。ここでは、画素部の画素 TFT および保持容量と、表示領域の周辺に設けられる駆動回路の TFT を同時に作製する方法について工程に従って詳細に説明する。

【0036】

図 1 (A) において、基板 101 にはコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも 10～20℃ 程度低い温度であらかじめ熱処理しておいても良い。そして、基板 101 の TFT を形成する表面に、基板 101 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 102 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 102a を 10～200nm (好ましくは 50～100nm)、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 102b を 50～200nm (好ましくは 100～150nm) の厚さに積層形成する。

30

40

【0037】

酸化窒化シリコン膜は従来の平行平板型のプラズマ CVD 法を用いて形成する。酸化窒化シリコン膜 102a は、 SiH_4 を 10SCCM、 NH_3 を 100SCCM、 N_2O を 20SCCM として反応室に導入し、基板温度 325℃、反応圧力 40Pa、放電電力密度 0.41W/cm²、放電周波数 60MHz とした。一方、酸化窒化水素化シリコン膜 102b は、 SiH_4 を 5SCCM、 N_2O を 120SCCM、 H_2 を 125SCCM として反応室に導入し、基板温度 400℃、反応圧力 20Pa、放電電力密度 0.41W/cm²、放電周波数 60MHz とした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0038】

50

このようにして作製した酸化窒化シリコン膜102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム (NH_4HF_2) を7.13%とフッ化アンモニウム (NH_4F) を15.4%含む混合溶液 (ステラケミファ社製、商品名LAL500) の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0039】

次に、25～80nm (好ましくは30～60nm) の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0040】

そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法 (固相成長法)、またはラピットサーマルアニール法 (RTA法) を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400～500℃で1時間程度の熱処理を行い含有する水素量を5atom%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0041】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100～500mJ/cm² (代表的には300～400mJ/cm²) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を80～98%として行う。このようにして図1 (B) に示すように結晶質半導体層103bを得ることができる。

【0042】

そして、結晶質半導体層103b上にフォトリソグラフィーの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、島状半導体層104～108を形成しする。ドライエッチングには CF_4 と O_2 の混合ガスを用いる。その後、プラズマCVD法またはスパッタ法により50～100nmの厚さの酸化シリコン膜によるマスク層194を形成する。

【0043】

この状態で島状半導体層に対し、TFTのしきい値電圧 (V_{th}) を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素 (B)、アルミニウム (Al)、ガリウム (Ga) など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を

10

20

30

40

50

処理するにはイオンドープ法が適している。イオンドープ法ではジボラン (B_2H_6) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャンネル型 T F T のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0044】

駆動回路の n チャンネル型 T F T の L D D 領域を形成するために、n 型を付与する不純物元素を島状半導体層 105、107 に選択的に添加する。そのため、あらかじめレジストマスク 195a~195e を形成した。n 型を付与する不純物元素としては、リン (P) や砒素 (As) を用いれば良く、ここではリン (P) を添加すべく、フォスフィン (PH_3) を用いたイオンドープ法を適用した。形成された不純物領域は低濃度 n 型不純物領域 196、197 として、このリン (P) 濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 196、197 に含まれる n 型を付与する不純物元素の濃度を (n^-) と表す。また、不純物領域 198 は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン (P) を添加した (図 1 (D))。

10

【0045】

次に、レジストマスク 195a~195e を除去した後、添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で $500 \sim 600^\circ\text{C}$ で 1~4 時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。レーザー活性化の方法による場合、KrF エキシマレーザー光 (波長 248 nm) を用い、線状ビームを形成して、発振周波数 $5 \sim 50 \text{ Hz}$ 、エネルギー密度 $100 \sim 500 \text{ mJ/cm}^2$ として線状ビームのオーバーラップ割合を $80 \sim 98\%$ として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。マスク層 194 は、この段階でフッ酸などの溶液でエッチング除去する。

20

【0046】

次いで、島状半導体層を覆って形成されるゲート絶縁膜 109 はプラズマ C V D 法またはスパッタ法を用い、膜厚を $40 \sim 150 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。例えば、 120 nm の厚さで酸化窒化シリコン膜から形成すると良い。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い (図 1 (E))。

30

【0047】

そして、図 1 (E) に示すように、ゲート絶縁膜 109 上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層 (A) 110 と金属膜から成る導電層 (B) 111 とを積層した構造とすると良い。導電層 (B) 111 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には Mo-W 合金膜、Mo-Ta 合金膜) で形成すれば良く、導電層 (A) 110 は窒化タンタル (Ta₃N₅)、窒化タングステン (WN)、窒化チタン (TiN) 膜、窒化モリブデン (MoN) などで形成する。また、導電層 (A) 110 はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) 111 は低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては 30 ppm 以下とすると良かった。例えば、タングステン (W) は酸素濃度を 30 ppm 以下とすることで $20 \mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

40

【0048】

導電層 (A) 110 は $10 \sim 50 \text{ nm}$ (好ましくは $20 \sim 30 \text{ nm}$) とし、導電層 (B)

50

） 1 1 1 は 2 0 0 ～ 4 0 0 nm（好ましくは 2 5 0 ～ 3 5 0 nm）とすれば良い。W をゲート電極とする場合には、W をターゲットとしたスパッタ法で、アルゴン（Ar）ガスと窒素（N₂）ガスを導入して導電層（A） 1 1 1 を窒化タングステン（WN）で 5 0 nm の厚さに形成し、導電層（B） 1 1 0 を W で 2 5 0 nm の厚さに形成する。その他の方法として、W 膜は 6 フッ化タングステン（WF₆）を用いて熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 2 0 μΩcm 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 9 9 . 9 9 9 9 % の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ～ 2 0 μΩcm を実現することができる。

10

【0049】

一方、導電層（A） 1 1 0 に TaN 膜を、導電層（B） 1 1 1 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN 膜は Ta をターゲットとしてスパッタガスに Ar と窒素との混合ガスを用いて形成し、Ta 膜はスパッタガスに Ar を用いる。また、これらのスパッタガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α 相の Ta 膜の抵抗率は 2 0 μΩcm 程度でありゲート電極に使用することができるが、β 相の Ta 膜の抵抗率は 1 8 0 μΩcm 程度でありゲート電極とするには不向きであった。TaN 膜は α 相に近い結晶構造を持つので、この上に Ta 膜を形成すれば α 相の Ta 膜が容易に得られた。尚、図示しないが、導電層（A） 1 1 0 の下に 2 ～ 2 0 nm 程度の厚さでリン（P）をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層（A） 1 1 0 または導電層（B） 1 1 1 が微量に含有するアルカリ金属元素がゲート絶縁膜 1 0 9 に拡散するのを防ぐことができる。いずれにしても、導電層（B） 1 1 1 は抵抗率を 1 0 ～ 5 0 μΩcm の範囲ですることが好ましい。

20

【0050】

次に、フォトマスクを用い、フォトリソグラフィーの技術を使用してレジストマスク 1 1 2 ～ 1 1 7 を形成し、導電層（A） 1 1 0 と導電層（B） 1 1 1 とを一括でエッチングしてゲート電極 1 1 8 ～ 1 2 2 と容量配線 1 2 3 を形成する。ゲート電極 1 1 8 ～ 1 2 2 と容量配線 1 2 3 は、導電層（A）から成る 1 1 8 a ～ 1 2 2 a と、導電層（B）から成る 1 1 8 b ～ 1 2 2 b とが一体として形成されている（図 2（A））。

30

【0051】

導電層（A）および導電層（B）をエッチングする方法は実施者が適宜選択すれば良いが、前述のように W を主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。高密度プラズマを得る手法の一つとして、誘導結合プラズマ（Inductively Coupled Plasma：ICP）エッチング装置を用いると良い。ICP エッチング装置を用いた W のエッチング法は、エッチングガスに CF₄ と Cl₂ の 2 種のガスを反応室に導入し、圧力 0 . 5 ～ 1 . 5 Pa（好ましくは 1 Pa）とし、誘導結合部に 2 0 0 ～ 1 0 0 0 W の高周波（1 3 . 5 6 MHz）電力を印加する。この時、基板が置かれたステージには 2 0 W の高周波電力が印加され、自己バイアスで負電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICP エッチング装置を使用することにより、W などの硬い金属膜も 2 ～ 5 nm/秒のエッチング速度を得ることができる。また、残渣を残すことなくエッチングするためには、1 0 ～ 2 0 % 程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W 膜に対する酸化窒化シリコン膜（ゲート絶縁膜 1 0 9）の選択比は 2 . 5 ～ 3 であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 2 0 ～ 5 0 nm 程度エッチングされて実質的に薄くなった。

40

【0052】

50

そして、画素TFTのnチャネル型TFTにLDD領域を形成するために、n型を付与する不純物元素添加の工程（n⁻ドーピング工程）を行った。ゲート電極118～122をマスクとして自己整合的にn型を付与する不純物元素をイオンドーピング法で添加した。n型を付与する不純物元素として添加するリン（P）の濃度は $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で添加する。このようにして、図2（B）に示すように島状半導体層に低濃度n型不純物領域124～129を形成する。

【0053】

次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行った（n⁺ドーピング工程）。まず、フォトリソマスクを用い、レジストのマスク130～134を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域135～140を形成した。n型を付与する不純物元素にはリン（P）を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン（PH₃）を用いたイオンドーピング法で行った（図2（C））。

【0054】

そして、pチャネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする高濃度p型不純物領域144、145を形成する。ここでは、ゲート電極118、120をマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜105、107、108は、フォトリソマスク4（PM4）を用いてレジストマスク141～143を形成し全面を被覆しておく。高濃度p型不純物領域144、145はジボラン（B₂H₆）を用いたイオンドーピング法で形成する。この領域のボロン（B）濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする（図2（D））。この高濃度p型不純物領域144、145には、前工程においてリン（P）が添加されていて、高濃度p型不純物領域144a、145aには $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で、高濃度p型不純物領域144b、145bには $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含有しているが、この工程で添加するボロン（B）の濃度を1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能する上で何ら問題はなかった。

【0055】

その後、図3（A）に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜146を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜146は無機絶縁材料から形成する。保護絶縁膜146の膜厚は100～200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル（Tetraethyl Orthosilicate：TEOS）とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。酸化窒化シリコン膜を用いる場合には、プラズマCVD法でSiH₄、N₂O、NH₃から作製される酸化窒化シリコン膜、またはSiH₄、N₂Oから作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波（60MHz）電力密度0.1～1.0W/cm²で形成することができる。また、SiH₄、N₂O、H₂から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でSiH₄、NH₃から作製することが可能である。

【0056】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチ

ック基板を用いる場合にはレーザーアニール法を適用することが好ましい（図3（B））。

【0057】

活性化の工程の後、さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0058】

活性化および水素化の工程が終了したら、前記保護絶縁膜に接してカラーフィルタ171を形成する。図3（C）では赤のカラーフィルタしか図示していないが、青のカラーフィルタ、緑のカラーフィルタが適宜所定の配置及び形状で形成されている。本実施例では、カラーフィルタを図6に示した配置とした。また、微細なパターンであるためカラーフィルタはドライエッチングでパターンニングすることが好ましく、ここでは3回のパターンニングを行い3色のカラーフィルタを形成した。ここでは、後に形成される画素電極と画素TFTを接続するためのコンタクトホールを形成する箇所のカラーフィルタは除去した。

【0059】

次いで、カラーフィルタ上に有機絶縁物材料からなる層間絶縁膜147を1.0～2.0μmの平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80℃で60秒の予備加熱を行い、さらにクリーンオープンで250℃で60分焼成して形成することができる。

【0060】

このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜146として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いる必要がある。

【0061】

次いで、透明導電膜を全面に形成し、フォトマスクを用いたパターンニングにより画素電極158を形成する。

【0062】

透明導電膜の材料は、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ ；ITO）などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線169の端面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛（ZnO）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）などを用いることができる。

【0063】

その後、フォトマスクを用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、Heの混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜146をエッチ

ングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。なお、本実施例では、層間絶縁膜を本焼成後にパターンニングした例（図4（A））を示したが、仮焼成後にパターンニングを行い、その後で本焼成を行うことで開口部におけるエッジを図4（C）に示したように滑らかにして配線257を形成する方法を用いてもよい。

【0064】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトリソマスクによりレジストマスクパターンを形成し、エッチングによってソース配線148～152とドレイン配線153～157を形成する。ここで、ドレイン配線157は画素電極158と重なる部分を設け、接続構造を形成している。また、図4（A）及び（B）に示したように、本実施例ではドレイン配線157を、Ti膜157aを50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム膜（Al膜）157bを300～400nmの厚さで形成して配線とした。

【0065】

この状態で水素化処理を行うとTFETの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。また、このような熱処理により保護絶縁膜146や、下地膜102に存在する水素を島状半導体膜104～108に拡散させ水素化をすることもできる。いずれにしても、島状半導体膜104～108中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01～0.1atomic%程度付与すれば良かった（図3（C））。

【0066】

こうして、同一の基板上に、駆動回路のTFETと画素部の画素TFETとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFET200、第1のnチャネル型TFET201、第2のpチャネル型TFET202、第2のnチャネル型TFET203、画素部には画素TFET204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0067】

駆動回路の第1のpチャネル型TFET200には、島状半導体膜104にチャネル形成領域206、高濃度p型不純物領域から成るソース領域207a、207b、ドレイン領域208a、208bを有したシングルドレインの構造を有している。第1のnチャネル型TFET201には、島状半導体膜105にチャネル形成領域209、ゲート電極119と重なるLDD領域210、ソース領域212、ドレイン領域211を有している。このLDD領域において、ゲート電極119と重なるLDD領域を L_{ov} としてそのチャネル長方向の長さは0.5～3.0 μm 、好ましくは1.0～2.0 μm とした。nチャネル型TFETにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFETの劣化を防止することができる。駆動回路の第2のpチャネル型TFET202は同様に、島状半導体膜106にチャネル形成領域213、高濃度p型不純物領域から成るソース領域214a、214b、ドレイン領域215a、215bを有したシングルドレインの構造を有している。第2のnチャネル型TFET203には、島状半導体膜107にチャネル形成領域216、ゲート電極121と一部が重なるLDD領域217、218、ソース領域220、ドレイン領域219が形成されている。このTFETのゲート電極と重なる L_{ov} の長さも0.5～3.0 μm 、好ましくは1.0～2.0 μm とした。また、ゲート電極と重ならないLDD領域を L_{off} として、このチャネル長方向の長さは0.5～4.0 μm 、好ましくは1.0～2.0 μm とした。画素TFET204には、島状半導体膜108にチャネル形成領域221、222、LDD領域223～225、ソースまたはドレイン領域226～228を有している。LDD領域（ L_{off} ）のチャネル長方向の長さは0.5～4.0 μm 、好ましく

は1.5～2.5 μmである。さらに、容量配線123と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TF T 204のドレイン領域228に接続する半導体層229とから保持容量205が形成されている。図3(C)では画素TF T 204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0068】

以上の様な構成は、画素TF Tおよび駆動回路が要求する仕様に応じて各回路を構成するTF Tの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

10

【実施例2】

【0069】

本実施例では、実施例1とは異なる画素電極の形成方法の例を図5に示す。なお、本実施例は画素部における画素電極とドレイン配線の重なり部分以外は実施例1と同一であるため同一の符号を用いる。

【0070】

図5(A)は、画素部における断面構造図を示している。本実施例では、層間絶縁膜にコンタクトホールを形成した後、Ti膜357aとAl膜357bとTi膜357cの積層膜からなるドレイン配線357を形成し、この配線と一部からなるように画素電極358を形成する。

20

【実施例3】

【0071】

高精細で高画質の液晶表示装置を実現するためには、画素TF Tや駆動回路の各回路を構成するTF Tの特性を向上させる必要がある。要求されるTF Tの特性は、しきい値電圧や電界効果移動度、サブスレショルド定数(S値)などの他に、オフ状態で流れる電流(オフ電流)値を低減させることがある。オフ電流値が高い場合には、消費電力が増大するばかりでなく、駆動回路の動作特性が悪化して画質の低下をもたらす要因となる。実施例1で作製したnチャネル型TF TにはLDD領域が形成され、これによってオフ電流値を問題ない程度にまで低減させることができる。一方、pチャネル型TF Tはシングルドレイン構造なので、オフ電流値の増加がしばしば問題となることがある。本実施例では図8を用いてそのような場合に適したオフセット領域を有するpチャネル型TF Tの作製方法を説明する。

30

【0072】

まず、実施例1と同様にして図1(A)～図2(A)に示す工程を行い、ゲート電極118～122と容量配線123までを形成する。そして、nチャネル型TF TにLDD領域を形成するために、n型を付与する不純物元素添加の工程(n⁻ドーピング工程)を行う。ここではゲート電極をマスクとして自己整合的にn型を付与する不純物元素を添加するが、フォトリソマスクを用いてpチャネル型TF Tを形成する島状半導体層104、106の全面をレジストマスク158、159で被覆して不純物元素が添加されないようにする。このようにして、図8(A)に示すように島状半導体層に低濃度n型不純物領域125～129を形成する。

40

【0073】

次に、nチャネル型TF Tにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行う。フォトリソマスクを用い、レジストのマスク130～134を形成し、n型を付与する不純物元素を添加して高濃度n型不純物領域135～140を形成する(図8(B))。

【0074】

その後、実施例1と同様にして保護絶縁層146を形成する。そして、pチャネル型TF Tを形成する島状半導体層104、106にソース領域およびドレイン領域とする高濃度p型不純物領域144、145を形成する。nチャネル型TF Tを形成する島状半導体

50

膜105、107、108は、フォトマスクを用いてレジストマスク160～162を形成し全面を被覆しておく。この工程はイオンドープ法などで行われるものであり、注入される不純物元素は僅かなゆらぎを持つものの、島状半導体層の表面に対してほぼ垂直に入射する。ここで、保護絶縁層146はゲート電極の端部においても被覆性良く形成されるので、その端部に形成された保護絶縁層がマスクとして機能するので、実質的にその膜厚分だけゲート電極から離れて高濃度p型不純物領域144、145が形成される。即ち、チャネル形成領域と高濃度p型不純物領域との間にオフセット領域230、231がLoの長さで形成される。具体的にLoの長さは、保護絶縁層146の厚さに相当するものであるから、100～200nmの長さで形成される。

【0075】

10

このようなオフセット領域は、TFTの電気的特性において直列抵抗成分として寄与し、オフ電流値を $1/10$ から $1/100$ 程度低減させることができる。以降は、実施例1と同様にして図3(A)からの工程を行うことによりアクティブマトリクス基板を完成させることができる。

【0076】

また、本実施例は実施例2と組み合わせることができる。

【実施例4】

【0077】

本実施例では、実施例1～実施例3で示したアクティブマトリクス基板のTFTの活性層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。図9を用いて、その場合の例を説明する。

20

【0078】

図9(A)で示すように、実施例1と同様にして、ガラス基板101上に下地膜102a、102b、非晶質半導体層103aを25～80nmの厚さで形成する。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピコート法で塗布して触媒元素を含有する層170を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層170は、スピコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を1～5nmの厚さに形成しても良い。

30

【0079】

そして、図9(B)に示す結晶化の工程では、まず400～500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atom%以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で550～600℃で1～8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層103cを得ることができる(図9(C))。

【0080】

このようにして作製された結晶質半導体層103cから島状半導体層104～108を作製すれば、実施例1と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体膜中には微量($1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³程度)の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段がある。

40

【0081】

この目的におけるリン(P)によるゲッタリング処理は、図3(B)で説明した活性化工程で同時に行うことができる。この様子を図10で説明する。ゲッタリングに必要なリン(P)の濃度は高濃度n型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触

50

媒元素をその濃度でリン（P）を含有する不純物領域へ偏析させることができる（図10で示す矢印の方向）。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³程度の触媒元素が偏析した。このようにして作製したTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【実施例5】

【0082】

本実施例においては、実施例1とは異なる構造のアクティブマトリクス基板を図11を用いて示す。本発明は、層間絶縁膜としてカラーフィルタを用いた例である。なお、本実施例は実施例1の図3（B）までの工程と同一である。

【0083】

まず、実施例1に従って図3（B）の状態を得る。次いで、保護絶縁膜上に接して実施例1と同様にカラーフィルタ671を形成する。本実施例においては平坦性の高いカラーフィルタを用いた。次いでカラーフィルタ上に透明導電膜からなる画素電極658を形成した。次いで、カラーフィルタ671と、保護絶縁膜と、ゲート絶縁膜とを選択的に除去してコンタクトホールを形成する。次いで、配線648～657を形成し、画素電極658と重なる部分を形成した。以降の工程は実施例1に従えばよい。

【実施例6】

【0084】

実施例1ではゲート電極の材料にWやTaなどの耐熱性導電性材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に価電子制御を目的として半導体層に添加した不純物元素を主として、400～700℃の熱アニールによって活性化させることに起因している。しかしながら、このような耐熱性導電性材料は面積抵抗で10Ω程度あり、画面サイズが4インチクラスかそれ以上の液晶表示装置には適していなかった。ゲート電極に接続するゲート配線を同じ材料で形成すると、基板面上における引回し長さが必然的に大きくなり、配線抵抗の影響による配線遅延の問題を無視することができなくなるためであった。

【0085】

本実施例では、このような液晶表示装置を実現する手段として、ゲート配線をAlや銅（Cu）などの低抵抗導電性材料で形成する方法について図12を用いて説明する。

【0086】

まず、実施例1と同様にして図1（A）～図2（D）に示す工程を行う。そして、価電子制御を目的としてそれぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では525℃で4時間の熱処理を行った。

【0087】

この熱処理において、ゲート電極118～122と容量配線123を形成する導電層（B）118b～123bは、表面から5～80nmの厚さで導電層（C）118c～123cが形成される。例えば、導電層（B）118b～123bがタングステン（W）の場合には窒化タングステン（WN）が形成され、タンタル（Ta）の場合には窒化タンタル（Ta₂N₅）が形成される。また、導電層（C）118c～123cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極118～123を晒しても同様に形成することができる。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。（図12（A））

【0088】

活性化および水素化の工程が終了したら、ゲート配線を低抵抗導電性材料で形成する。この低抵抗導電性層はAlやCuを主成分とする導電層（D）で形成する。例えば、Ti

10

20

30

40

50

を0.1～2重量%含むAl膜を導電層(D)として全面に形成する(図示せず)。導電層(D)145は200～400nm(好ましくは250～350nm)とすれば良い。そして、フォトリソを用いて所定のレジストパターンを形成し、エッチング処理(リン酸系のエッチング溶液によるウェットエッチング等)して、ゲート配線163、164と容量配線165を形成する。そして保護絶縁膜146を形成する(図12(B))。

【0089】

その後、実施例1と同様にしてカラーフィルタ173、有機絶縁物材料から成る層間絶縁膜147、画素電極158、ソース配線148～152、ドレイン配線153～157を形成してアクティブマトリクス基板を完成させることができる。図13(A)、(B)はこの状態の上面図を示し、図13(A)のB-B'断面および図13(B)のC-C'断面は図12(C)のB-B'及びC-C'に対応している。図13(A)、(B)ではゲート絶縁膜、保護絶縁膜、カラーフィルタ、層間絶縁膜を省略して示しているが、また、図13(A)のD-D'断面およびB-B'断面を図14(A)と(B)にそれぞれ示す。ゲート配線163はゲート電極118、119と、またゲート配線164はゲート電極122と島状半導体層104、105、108の外側で重なるように形成され、導電層(C)と導電層(D)が接触して電氣的に導通している。このようにゲート配線低抵抗導電性材料で形成することにより、配線抵抗を十分低減できる。従って、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。

【実施例7】

【0090】

本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0091】

まず、図15(A)に示すように、図3(C)の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150～200℃で加熱して硬化させる。

【0092】

その後、配向膜184を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上にもスペーサ182を形成しておくこと、スペーサとしての本来の役割と、静電気からTFTを保護する効果を得ることができる。

【0093】

対向側の対向基板185には、透明導電膜187および配向膜188を形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤189で貼り合わせる。シール剤189にはフィラー190が混入されていて、このフィラー190とスペーサ182、183によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤(図示せず)によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図15に示すアクティブマトリクス型液晶表示装置が完成する。

【実施例8】

【0094】

本実施例は、実施例1と異なり、ゲート電極の形状がテーパー形状を有しており、このテーパー形状を利用したドーピング方法による作製方法の一例を示す。

【0095】

本実施例では、島状半導体層、ゲート絶縁膜の形成を行った後、ゲート電極を形成するために導電層(A)をWN膜で、導電層(B)をW膜で形成した。次に、レジストマスクを形成し、導電層(A)と導電層(B)とを一括でエッチングしてゲート電極701～7

05と容量配線706を形成する。ゲート電極701～705と容量配線706は、導電層(A)と、導電層(B)とが一体として形成されている。

【0096】

このとき少なくともゲート電極701～705の端部にテーパ部が形成されるようにエッチングする。このエッチング加工はICPエッチング装置により行う。その技術の詳細は前述の如くである。具体的なエッチング条件として、エッチングガスに CF_4 と Cl_2 の混合ガスを用いその流量をそれぞれ30SCCMとして、放電電力 $3.2\text{W}/\text{cm}^2$ (13.56MHz)、バイアス電力 $224\text{mW}/\text{cm}^2$ (13.56MHz)、圧力 1.0Pa でエッチングを行った。このようなエッチング条件によって、ゲート電極701～705の端部において、該端部から内側にむかって徐々に厚さが増加するテーパ部が形成され、その角度は $5\sim 45^\circ$ 、好ましくは $10\sim 30^\circ$ とする。テーパ部の角度は、後にLDD領域を形成する低濃度n型不純物領域の濃度勾配に大きく影響する。

10

【0097】

また、残渣を残すことなくエッチングするためには、 $10\sim 20\%$ 程度の割合でエッチング時間を増しするオーバーエッチングを施すものとする。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W膜に対する酸化窒化シリコン膜(ゲート絶縁膜)の選択比は $2\sim 4$ (代表的には3)であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20\sim 50\text{nm}$ 程度エッチングされて実質的に薄くなり、新たな形状のゲート絶縁膜が形成された。

【0098】

20

そして、画素TFEおよび駆動回路のnチャネル型TFEのLDD領域を形成するために、n型を付与する不純物元素添加の工程(n^- ドープ工程)を行う。ゲート電極の形成に用いたレジストマスクをそのまま残し、端部にテーパ部を有するゲート電極701～705をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。ここでは、n型を付与する不純物元素をゲート電極の端部におけるテーパ部とゲート絶縁膜とを通して、その下に位置する半導体層に達するように添加するためにドーズ量を $1\times 10^{13}\sim 5\times 10^{14}\text{atoms}/\text{cm}^2$ とし、加速電圧を $80\sim 160\text{keV}$ として行う。ここではn型を付与する不純物元素としてリン(P)を用いた。このようなイオンドープ法により半導体層のリン(P)濃度は $1\times 10^{16}\sim 1\times 10^{19}\text{atoms}/\text{cm}^3$ の濃度範囲で添加する。このようにして、島状半導体層に低濃度n型不純物領域を形成する。

30

【0099】

この工程において、低濃度n型不純物領域において、少なくともゲート電極701～705に重なった部分に含まれるリン(P)の濃度勾配は、ゲート電極701～705のテーパ部の膜厚変化を反映する。即ち、低濃度n型不純物領域へ添加されるリン(P)の濃度は、ゲート電極に重なる領域において、ゲート電極の端部に向かって徐々に濃度が高くなる。これはテーパ部の膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためである。

【0100】

次に、nチャネル型TFEにおいて、ソース領域またはドレイン領域として機能する高濃度n型不純物領域の形成を行う(n^+ ドープ工程)。レジストのマスクを残し、さらにフォトマスクを用い、レジストマスクに重ねて新たなレジストマスクを形成する。これは、ゲート電極と島状半導体層の一部を覆うように形成する。そして、イオンドープ法において $10\sim 30\text{keV}$ の低加速電圧の条件で添加する。このようにして高濃度n型不純物領域を形成する。この領域におけるゲート絶縁膜は、前述のようにゲート電極の加工においてオーバーエッチングが施されたため、当初の膜厚である 120nm から薄くなり、 $70\sim 100\text{nm}$ となっている。そのためこのような低加速電圧の条件でも良好にリン(P)を添加することができる。そして、この領域のリン(P)の濃度は $1\times 10^{20}\sim 1\times 10^{21}\text{atoms}/\text{cm}^3$ の濃度範囲となるようにする。

40

【0101】

そして、pチャネル型TFEを形成する島状半導体層にソース領域およびドレイン領域

50

とする高濃度 p 型不純物領域を形成する。ここでは、ゲート電極をマスクとして p 型を付与する不純物元素を添加し、自己整合的に高濃度 p 型不純物領域を形成する。このとき、n チャンネル型 T F T を形成する島状半導体層は、フォトマスクを用いてレジストマスクを形成し全面を被覆しておく。ここで形成される不純物領域はジボラン (B_2H_6) を用いたイオンドーピング法で形成する。そして、ゲート電極と重ならない高濃度 p 型不純物領域のボロン (B) 濃度は、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。また、ゲート電極と重なる不純物領域は、ゲート絶縁膜とゲート電極のテーパー部を介して不純物元素が添加されるので、実質的に低濃度 p 型不純物領域として形成され、少なくとも $1.5 \times 10^{19} \text{ atoms/cm}^3$ 以上の濃度とする。この高濃度 p 型不純物領域および低濃度 p 型不純物領域には、前工程においてリン (P) が添加されていて、高濃度 p 型不純物領域には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で、低濃度 p 型不純物領域には $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含有しているが、この工程で添加するボロン (B) の濃度をリン (P) 濃度の 1.5 から 3 倍となるようにすることにより、p チャンネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じなかった。

10

【0102】

その後、実施例 1 の図 3 (A) 以降の工程に従って、活性化、保護絶縁膜、カラーフィルタ、第 1 層間絶縁膜の形成を行えばよい。

【0103】

以降の工程は、実施例 1 及び実施例 7 に従えば図 16 に示した液晶表示装置が完成する。

20

【実施例 9】**【0104】**

本実施例では、実施例 1 とは異なるゲート電極を用いた例を示す。

【0105】

本実施例で示す T F T のゲート電極は実施例 1 で示したように 2 層構造を有している。しかし、その第 1 層目と第 2 層目とはいずれも Ta、W、Ti、Mo から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成する点異なる。その場合における最も好ましい組み合わせは、第 1 層目を Ta または窒化タンタル (Ta₂N₅)、若しくは窒化タンタル (Ta₂N₅) と Ta の積層構造で形成し、第 2 層目を W で形成することである。

30

【0106】

まず、実施例 1 と同様にして島状半導体層を形成した後、厚さ 40 ~ 150 nm のゲート絶縁膜をプラズマ CVD 法またはスパッタ法により、シリコンを含む絶縁膜で形成する。

【0107】

そして、ゲート絶縁膜上にゲート電極を形成するための第 1 の導電膜と第 2 の導電膜とを形成する。本実施例では、第 1 の導電膜を Ta で 50 ~ 100 nm の厚さに形成し、第 2 の導電膜を W で 100 ~ 300 nm の厚さに形成する。

【0108】

Ta 膜はスパッタ法で形成し、Ta のターゲットを Ar でスパッタする。この場合、Ar に適量の Xe や Kr を加えると、Ta 膜の内部応力を緩和して膜の剥離を防止することができる。また、α 相の Ta 膜の抵抗率は $20 \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、β 相の Ta 膜の抵抗率は $180 \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。α 相の Ta 膜を形成するために、Ta の α 相に近い結晶構造をもつ窒化タンタルを 10 ~ 50 nm 程度の厚さで Ta の下地に形成しておくことと α 相の Ta 膜を容易に得ることができる。

40

【0109】

W 膜は W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (WF₆) を用いる熱 CVD 法で形成することもできる。スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないよ

50

うに十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することができる。

【0110】

次に、レジストによるマスクを形成し、ゲート電極を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

10

【0111】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50\text{nm}$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1のテーパ形状の導電層 (第1の導電層と第2の導電層) が形成される。

20

【0112】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法では、ドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いた。この場合、導電層がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域が形成される。第1の不純物領域には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。

【0113】

次に、第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力 (13.56MHz) を供給し、プラズマを生成して行う。基板側 (試料ステージ) には20WのRF (13.56MHz) 電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を選択的に異方性エッチングし、第2の導電層を第1の矩形状の導電層とする。このとき第1のテーパ形状の導電層はそのまま残る。

30

【0114】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度には大きな差が生じ、W膜の選択的なエッチングが可能となる。

40

【0115】

その後、第3のエッチング処理を行う。この条件は第1のエッチング処理と同じ条件で

50

行い、端部に $15 \sim 45^\circ$ の角度でテーパ部を有する第3の形状の導電層が形成される。導電層上のレジストによるマスクは、このエッチング時に同時に侵蝕され、第3のエッチング処理により第1の導電層と第2の導電層から成る第2のテーパ形状の導電層（第1の導電層と第2の導電層）が形成される。

【0116】

この状態から、第4のエッチング処理を行う。この条件は第2のエッチング処理と同じ条件でエッチングを行い、W膜を選択的に異方性エッチングして第2の導電層を第2の矩形状の導電層とする。このとき第2のテーパ形状の導電層はそのまま残る。

【0117】

そして、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 \text{ keV}$ とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、島状半導体層に形成された第1の不純物領域の内側の領域に新たな不純物領域を形成する。ドーピングは、第2の矩形状の導電層を不純物元素に対するマスクとして用い、第2のテーパ形状の導電層の下側の領域にも不純物元素が添加されるようなドーピング条件を用いる。従って、第2のテーパ形状の導電層と重なる第3の不純物領域と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域とが形成される。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【0118】

そして、pチャネル型TFETを形成する島状半導体層に一導電型とは逆の導電型の第4の不純物領域を形成する。第2の矩形状の導電層を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層は、レジストのマスクで全面を被覆しておく。不純物領域はジボラン（ B_2H_6 ）を用いたイオンドーピング法で形成する。その領域の不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0119】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。また、第2の矩形状の導電層とする。このとき第2のテーパ形状の導電層が一体となってゲート電極801～805として機能する。また、同様に容量電極806が形成される。

【0120】

その後、実施例1の図3（A）以降の工程に従って、活性化、保護絶縁膜、カラーフィルタ、第1層間絶縁膜の形成を行えばよい。

【0121】

以降の工程は、実施例1及び実施例7に従えば図17に示した液晶表示装置が完成する。

【実施例10】

【0122】

実施例7～9を用いて得られたアクティブマトリクス型液晶表示装置の構成を図18の斜視図を用いて説明する。図18においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部904と、走査信号駆動回路905と、画像信号駆動回路906とその他の信号処理回路907とで構成される。画素部904には画素TFET204と保持容量205が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路905と、画像信号駆動回路906はそれぞれゲート配線122とソース配線152で画素TFET204に接続している。また、フレキシブルプリント配線板（Flexible Printed Circuit：FPC）908が外部入力端子902に接続していて画像信号などを入力するのに用いる。そして接続配線903でそれぞれの駆動回路に接続している。また、対向基板909には図示していないが、遮光膜や透明電極が設けられている。

【実施例11】

【0123】

本実施例では実施例1に示したアクティブマトリクス基板の作製工程を応用して作製したEL表示装置の例を図19示す。

【0124】

図19において、基板1001上に設けられたスイッチング用TFT1102はnチャネル型TFTを用いて形成される。作製プロセスは実施例1を参照すればよい。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のpチャネル型TFTを用いて形成しても構わない。

【0125】

また、電流制御用TFT1101はpチャネル型TFTを用いて作製される（実施例1を参照）。このとき、スイッチング用TFT1102のドレイン配線1008は配線1006によって電流制御用TFTのゲート電極に電氣的に接続されている。また、1004で示される配線は、スイッチング用TFT1102のゲート電極を電氣的に接続するゲート配線である。

【0126】

また、本実施例では電流制御用TFT1101をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0127】

スイッチング用TFT1102及び電流制御用TFT1101の上には第1パッシベーション膜1002が設けられ、その上にカラーフィルタ1003が形成され、その上に樹脂絶縁膜でなる平坦化膜1009が形成される。平坦化膜1009を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0128】

また、1010は透光性の高い導電膜でなる画素電極（EL素子の陽極）であり、電流制御用TFT1101のドレインに電氣的に接続される。画素電極1010としては透明導電膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0129】

また、絶縁膜（好ましくは樹脂）で形成されたバンク1013a、1013bにより形成された溝（画素に相当する）の中に発光層1011が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0130】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0131】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0132】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これ

10

20

30

40

50

に限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてE L層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0133】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機E L材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機E L材料や無機材料は公知の材料を用いることができる。

【0134】

ただし、発光層として白色発光の材料を用いる場合、前記E L素子から発した光は前記基板を透過して放射され、その際、基板側に設けられたカラーフィルタ1003によってカラー化される。また、有色発光の材料を用いる場合、カラーフィルタ1003は色純度を高めるフィルタとしての役割を果たす。なお、T F T素子の上にカラーフィルタ1003を設けることによってT F Tを光の劣化から保護している。

【0135】

また、1012は反射性の高い導電膜でなる陰極が発光層上に接して形成される。この陰極としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。

【0136】

陰極1012まで形成された時点でE L素子1103が完成する。なお、ここでいうE L素子1103は、画素電極（陽極）1010、発光層1011、陰極1012で形成されたコンデンサを指す。

【0137】

ところで、本実施例では、陰極1012の上にさらに第2パッシベーション膜1014を設けている。第2パッシベーション膜1014としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とE L素子とを遮断することであり、有機E L材料の酸化による劣化を防ぐ意味と、有機E L材料からの脱ガスを抑える意味との両方を併せ持つ。これによりE L表示装置の信頼性が高められる。

【0138】

以上のように本願発明のE L表示パネルは図19のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用T F Tと、ホットキャリア注入に強い電流制御用T F Tとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なE L表示パネルが得られる。

【0139】

なお、本実施例の構成は、実施例1～6の構成と自由に組み合わせて実施することが可能である。

【実施例12】

【0140】

本実施例では、実施例11に示したT F T構造において、実施例8に示したT F T構造とした例について説明する。説明には図20を用いる。なお、図20の構造と異なる点はT F T構造だけであるので、その他の説明は省略することとする。

【0141】

図20において、スイッチング用T F T1302のゲート電極1202及び、電流制御用T F T1301のゲート電極1201はテーパー形状を有している。このT F Tの作製方法は実施例8を参照すればよい。

【0142】

実施例11と同様に、発光層として白色発光の材料を用いる場合、前記E L素子から発した光は前記基板を透過して放射され、その際、基板側に設けられたカラーフィルタ1203によってカラー化される。また、有色発光の材料を用いる場合、カラーフィルタ1203は色純度を高めるフィルタとしての役割を果たす。なお、T F T素子の上にカラーフ

10

20

30

40

50

ィルタ１２０３を設けることによってＴＦＴを光の劣化から保護している。

【０１４３】

なお、本実施例の構成は、実施例１～６の構成と自由に組み合わせて実施することが可能である。

【実施例１３】

【０１４４】

本実施例では、実施例１１に示したＴＦＴ構造において、実施例９に示したＴＦＴ構造とした例について説明する。説明には図２１を用いる。なお、図２１の構造と異なる点はＴＦＴ構造だけであるので、その他の説明は省略することとする。

【０１４５】

図２１において、スイッチング用ＴＦＴ１５０２のゲート電極１４０２及び、電流制御用ＴＦＴ１５０１のゲート電極１４０１はテーパー形状を有している。このＴＦＴの作製方法は実施例８を参照すればよい。

【０１４６】

実施例１１と同様に、発光層として白色発光の材料を用いる場合、前記ＥＬ素子から発した光は前記基板を透過して放射され、その際、基板側に設けられたカラーフィルタ１４０３によってカラー化される。また、有色発光の材料を用いる場合、カラーフィルタ１４０３は色純度を高めるフィルタとしての役割を果たす。なお、ＴＦＴ素子の上にカラーフィルタ１４０３を設けることによってＴＦＴを光の劣化から保護している。

【０１４７】

なお、本実施例の構成は、実施例１～６の構成と自由に組み合わせて実施することが可能である。

【実施例１４】

【０１４８】

本実施例では、実施例１１～１３を用いて作製されたＥＬ（エレクトロルミネッセンス）表示装置の上面図及び断面図について説明する。

【０１４９】

図２２（Ａ）は本願発明を用いたＥＬ表示装置の上面図である。図２２（Ａ）において、４０１０は基板、４０１１は画素部、４０１２はソース側駆動回路、４０１３はゲート側駆動回路であり、それぞれの駆動回路は配線４０１４～４０１６を経てＦＰＣ４０１７に至り、外部機器へと接続される。

【０１５０】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材６０００、シーリング材（ハウジング材ともいう）７０００、密封材（第２のシーリング材）７００１が設けられている。

【０１５１】

また、図２２（Ｂ）は本実施例のＥＬ表示装置の断面構造であり、基板４０１０、下地膜４０２１の上に駆動回路用ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを組み合わせたＣＭＯＳ回路を図示している。）４０２２及び画素部用ＴＦＴ４０２３（但し、ここではＥＬ素子への電流を制御するＴＦＴだけ図示している。）が形成されている。これらのＴＦＴは公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【０１５２】

本願発明を用いて駆動回路用ＴＦＴ４０２２、画素部用ＴＦＴ４０２３が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）４０２６の上に画素部用ＴＦＴ４０２３のドレインと電氣的に接続する透明導電膜でなる画素電極４０２７を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ＩＴＯと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極４０２７を形成したら、絶縁膜４０２８を形成し、画素電極４０２７上に開口部を形成する。

【０１５３】

次に、E L 層 4 0 2 9 を形成する。E L 層 4 0 2 9 は公知の E L 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E L 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0154】

本実施例では、シャドーマスクを用いて蒸着法により E L 層を形成する。本実施例では、白色発光層とカラーフィルタを組み合わせる方式を用いた。カラーフィルタは実施例 1 1 ~ 1 3 に示したように画素電極の下層にカラーフィルタが存在している。また、画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成する方式があるが、その場合は、カラーフィルタは色純度を高める役割を果たしている。勿論、単色発光の E L 表示装置とすることもできる。

【0155】

E L 層 4 0 2 9 を形成したら、その上に陰極 4 0 3 0 を形成する。陰極 4 0 3 0 と E L 層 4 0 2 9 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で E L 層 4 0 2 9 と陰極 4 0 3 0 を連続成膜するか、E L 層 4 0 2 9 を不活性雰囲気中で形成し、大気解放しないで陰極 4 0 3 0 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0156】

なお、本実施例では陰極 4 0 3 0 として、L i F（フッ化リチウム）膜と A l（アルミニウム）膜の積層構造を用いる。具体的には E L 層 4 0 2 9 上に蒸着法で 1 n m 厚の L i F（フッ化リチウム）膜を形成し、その上に 3 0 0 n m 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である M g A g 電極を用いても良い。そして陰極 4 0 3 0 は 4 0 3 1 で示される領域において配線 4 0 1 6 に接続される。配線 4 0 1 6 は陰極 4 0 3 0 に所定の電圧を与えるための電源供給線であり、導電性ペースト材料 4 0 3 2 を介して F P C 4 0 1 7 に接続される。

【0157】

4 0 3 1 に示された領域において陰極 4 0 3 0 と配線 4 0 1 6 とを電氣的に接続するために、層間絶縁膜 4 0 2 6 及び絶縁膜 4 0 2 8 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 4 0 2 6 のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜 4 0 2 8 のエッチング時（E L 層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜 4 0 2 8 をエッチングする際に、層間絶縁膜 4 0 2 6 まで一括でエッチングしても良い。この場合、層間絶縁膜 4 0 2 6 と絶縁膜 4 0 2 8 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0158】

このようにして形成された E L 素子の表面を覆って、パッシベーション膜 6 0 0 3、充填材 6 0 0 4、カバー材 6 0 0 0 が形成される。

【0159】

さらに、E L 素子部を囲むようにして、カバー材 6 0 0 0 と基板 4 0 1 0 の内側にシーリング材が設けられ、さらにシーリング材 7 0 0 0 の外側には密封材（第 2 のシーリング材）7 0 0 1 が形成される。

【0160】

このとき、この充填材 6 0 0 4 は、カバー材 6 0 0 0 を接着するための接着剤としても機能する。充填材 6 0 0 4 としては、P V C（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、P V B（ポリビニルブチラル）または E V A（エチレンビニルアセテート）を用いることができる。この充填材 6 0 0 4 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0161】

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0162】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0163】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiber glass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

10

【0164】

また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電氣的に接続される。

【実施例15】

【0165】

20

実施例1では、トップゲート型TF Tの例を示したが、本実施例では、TF Tの構造が逆スタガ型TF Tの例を示す。

【0166】

ここでは、画素部における画素TF T (ダブルゲート構造) に着目して図24に説明する。

【0167】

図24において、基板上にゲート電極1601、容量電極1609を覆ってゲート絶縁膜1602が設けられている。このゲート絶縁膜1602上に半導体層が設けられている。半導体層のうち、ゲート電極の上方にはチャンネル保護膜1604で保護されたチャンネル形成領域が存在している。また、半導体層のうち、チャンネル形成領域以外にはn型の導電性を付与する不純物が添加され、ソース領域、ドレイン領域、またはLDD領域が設けられている。半導体層を保護するために保護絶縁膜1605が形成されており、その保護絶縁膜上に接して赤色のカラーフィルタ1606が設けられている。また、カラーフィルタ1606を覆って層間絶縁膜が設けられている。また、接続電極1607によって画素電極1608と画素TF Tが接続されている。また、容量電極と、ゲート絶縁膜と、容量電極上方の半導体層とで保持容量を構成している。

30

【0168】

また、TF T上方に形成されたカラーフィルタ1606は半導体層、特にチャンネル形成領域1603を光の劣化から保護する目的で形成されている。また、画素電極の下方に形成されたカラーフィルタはカラー化のために形成されている。

40

【実施例16】

【0169】

実施例1では、トップゲート型TF Tでポリシリコンを活性層とした例を示したが、本実施例では、TF Tの構造が逆スタガ型TF Tでアモルファスシリコンを半導体層とした例を示す。

【0170】

ここでは、画素部における画素TF T (シングルゲート構造) に着目して図25に説明する。

【0171】

図25において、基板上にゲート電極1701を覆ってゲート絶縁膜1702が設けら

50

れている。このゲート絶縁膜 1702 上に半導体層からなる活性層 1703 が設けられている。半導体層上にリンがドーピングされた n 型半導体層が形成され、ゲート電極の上方には、エッチングストッパー 1704 が形成されている。半導体層を保護するために保護絶縁膜 1709 が形成されており、その保護絶縁膜上に接して赤色のカラーフィルタ 1710 が設けられている。また、カラーフィルタ 1710 を覆って層間絶縁膜が設けられている。また、接続電極 1711 によって画素電極 1712 と画素 T F T が接続されている。

【0172】

また、T F T 上方に形成されたカラーフィルタ 1710 は半導体層、特にチャネル形成領域 1710 を光の劣化から保護する目的で形成されている。また、画素電極の下方に形成されたカラーフィルタはカラー化のために形成されている。

10

【実施例 17】

【0173】

実施例 1 では、トップゲート型 T F T とした例を示したが、本実施例では、T F T の構造がサイドウォールを有する T F T 構造とした例を示す。

【0174】

ここでは、画素部における画素 T F T (ダブルゲート構造) に着目して図 26 に説明する。なお、実施例 1 と異なる点は T F T 構造だけであるので、その他の説明は省略することとする。

【0175】

ゲート電極はタングステンとシリサイドの積層構造で形成され、サイドウォールは異方性エッチングにより形成されている。

20

【0176】

また、画素 T F T 上方に形成されたカラーフィルタ 1800 は半導体層、特にチャネル形成領域を光の劣化から保護する目的で形成されている。また、画素電極の下方に形成されたカラーフィルタはカラー化のために形成されている。

【実施例 18】

【0177】

本願発明を実施して形成された C M O S 回路や画素部は様々な電気光学装置 (アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ) に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

30

【0178】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター (リア型またはフロント型)、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 27 及び図 28 に示す。

【0179】

図 27 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。本発明を画像入力部 2002、表示部 2003 やその他の信号制御回路に適用することができる。

40

【0180】

図 27 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明を表示部 2102 やその他の信号制御回路に適用することができる。

【0181】

図 27 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。本発明は表示部 2205 やその他の信号制御回路に適用できる。

50

【0182】

図27(D)は頭部取り付け型のELディスプレイの一部(右片側)であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示部2304、光学系2305、表示装置2306等を含む。本願発明は表示装置2306に用いることができる。

【0183】

図27(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号制御回路に適用することができる。

10

【0184】

図27(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502やその他の信号制御回路に適用することができる。

【0185】

図28(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

20

【0186】

図28(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0187】

図28(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0188】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~17のどのような組み合わせからなる構成を用いても実現することができる。

30

【図面の簡単な説明】

【0189】

【図1】アクティブマトリクス基板の作製工程を示す図。(実施例1)

【図2】アクティブマトリクス基板を示す図。(実施例1)

【図3】アクティブマトリクス基板の作製工程を示す図。(実施例1)

【図4】画素部の構造の一例を示す図。(実施例1)

【図5】画素部の構造の一例を示す図。(実施例2)

40

【図6】カラーフィルタの配置例を示す図。

【図7】カラーフィルタの配置例を示す図。

【図8】アクティブマトリクス基板の作製工程を示す図。(実施例3)

【図9】アクティブマトリクス基板の作製工程を示す図。(実施例4)

【図10】AM-LCDの作製工程を示す図。(実施例4)

【図11】アクティブマトリクス基板の断面構造の一例を示す図。(実施例5)

【図12】アクティブマトリクス基板の作製工程を示す図。(実施例6)

【図13】アクティブマトリクス基板の構造を示す図。(実施例6)

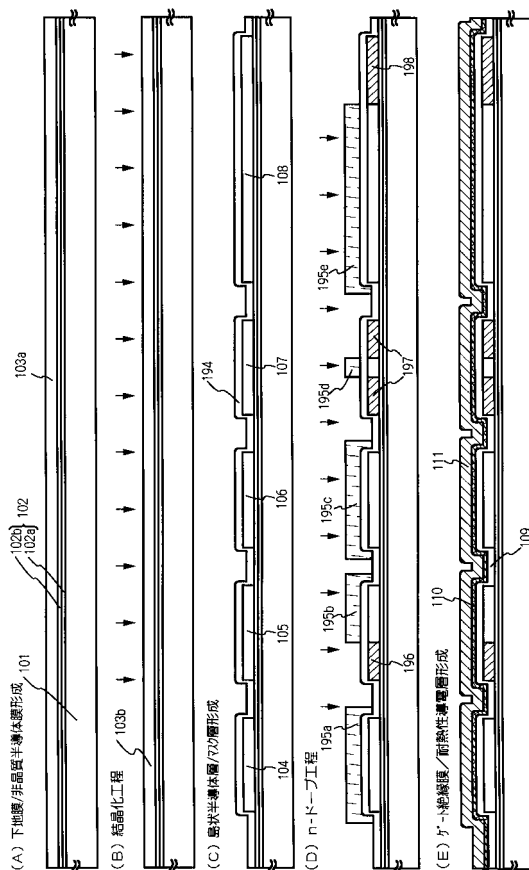
【図14】アクティブマトリクス基板の構造を示す図。(実施例6)

【図15】アクティブマトリクス型液晶表示装置の断面構造図。(実施例7)

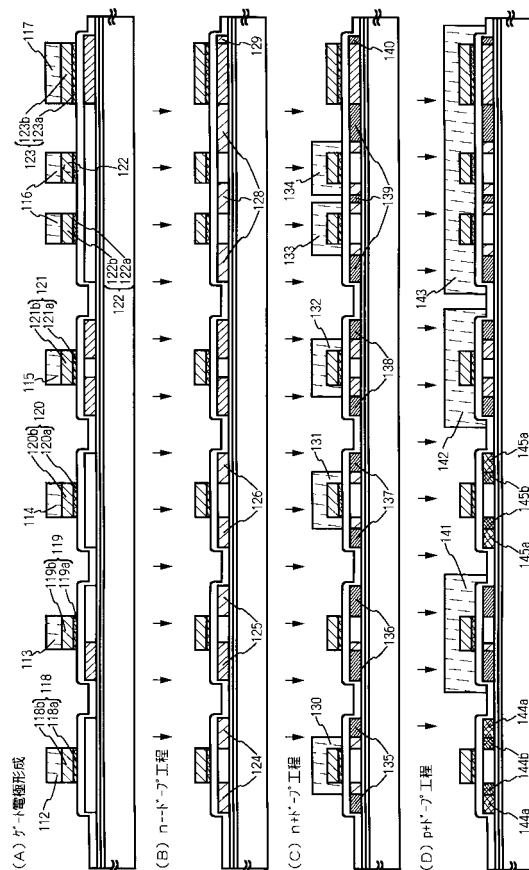
50

- 【図16】アクティブマトリクス型液晶表示装置の断面構造図。(実施例8)
 【図17】アクティブマトリクス型液晶表示装置の断面構造図。(実施例9)
 【図18】AM-LCDの外観を示す図。(実施例10)
 【図19】アクティブマトリクス型EL表示装置の構成を示す図。
 【図20】アクティブマトリクス型EL表示装置の構成を示す図。
 【図21】アクティブマトリクス型EL表示装置の構成を示す図。
 【図22】アクティブマトリクス型EL表示装置の外観を示す図。
 【図23】非単結晶珪素膜に対する光の吸収率を示す図。
 【図24】アクティブマトリクス基板を示す図。
 【図25】アクティブマトリクス基板を示す図。
 【図26】アクティブマトリクス基板を示す図。
 【図27】電子機器の一例を示す図。
 【図28】電子機器の一例を示す図。

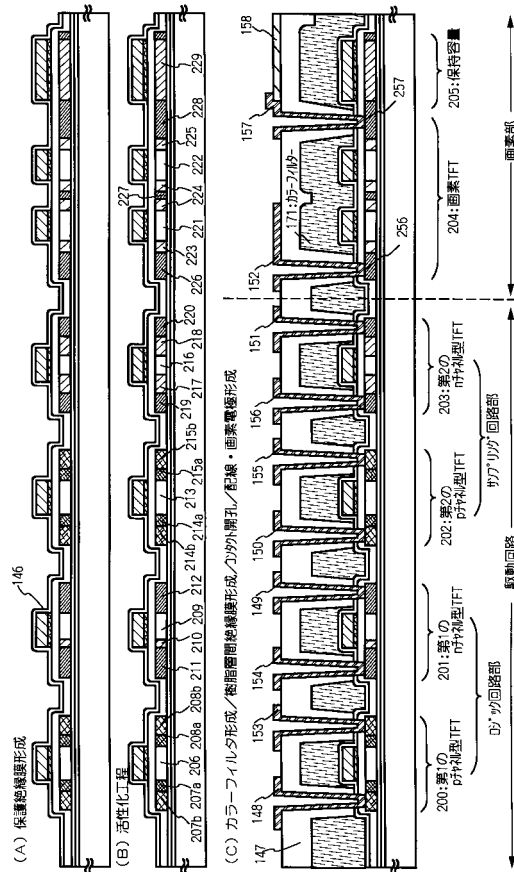
【図1】



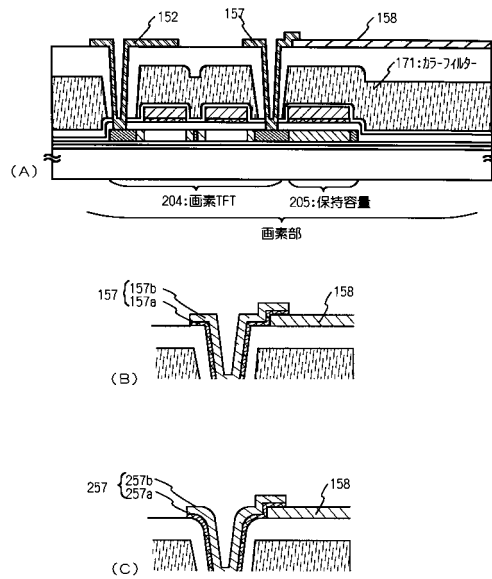
【図2】



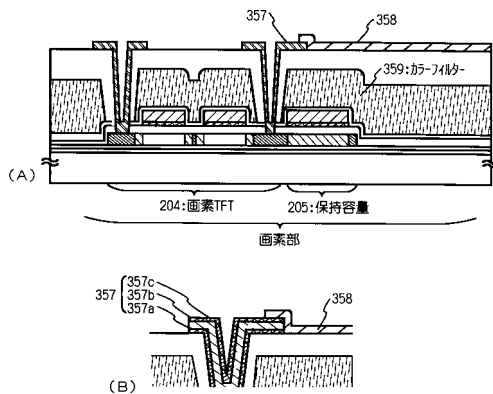
【図 3】



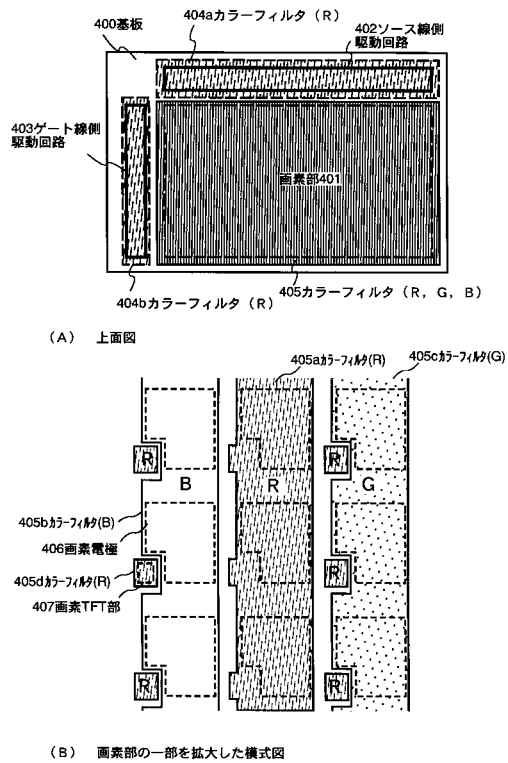
【図 4】



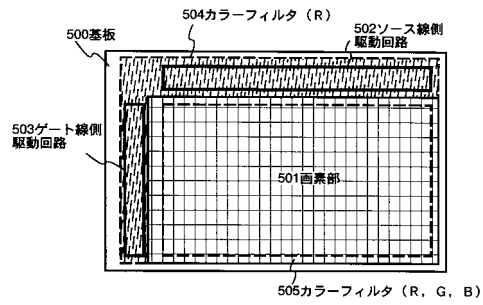
【図 5】



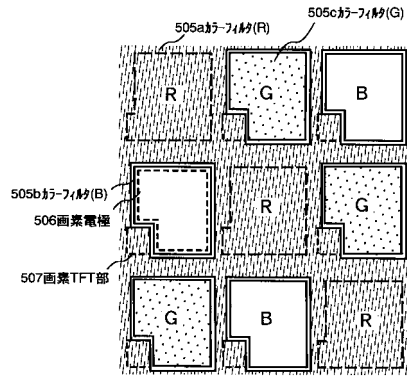
【図 6】



【図 7】

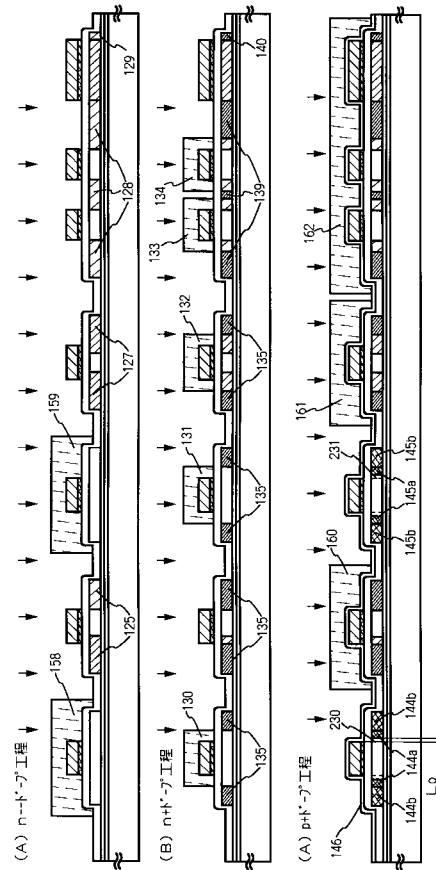


(A) 上面図

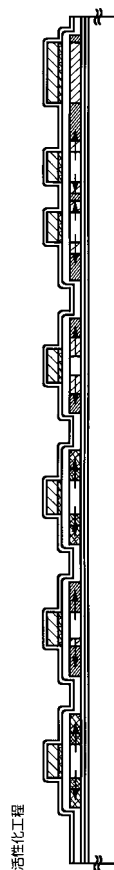


(B) 画素部の一部を拡大した模式図

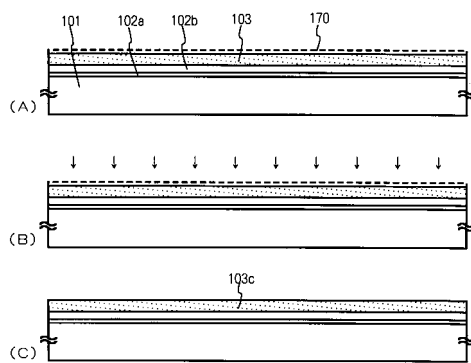
【図 8】



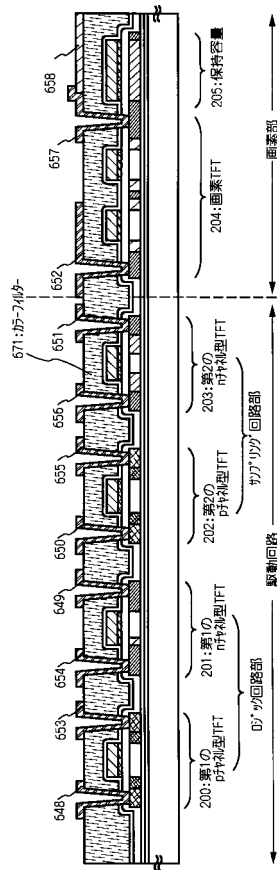
【図 10】



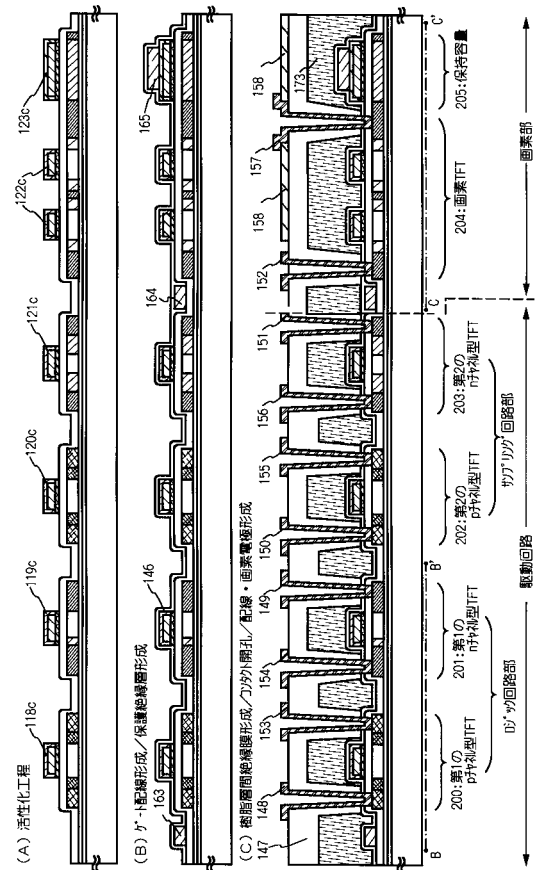
【図 9】



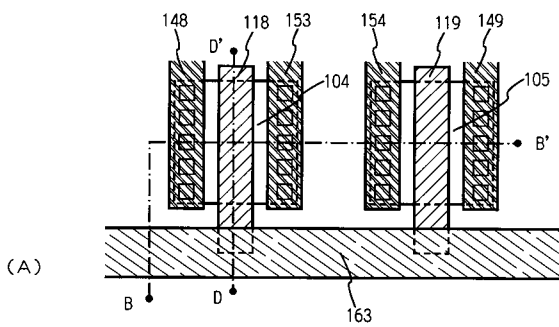
【図 1 1】



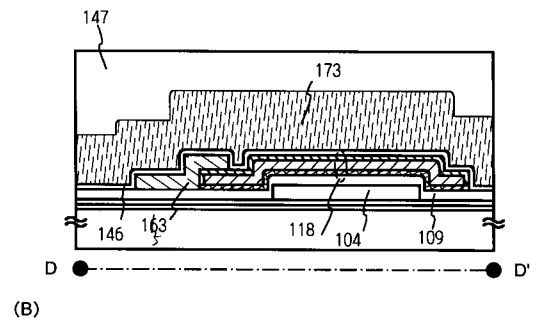
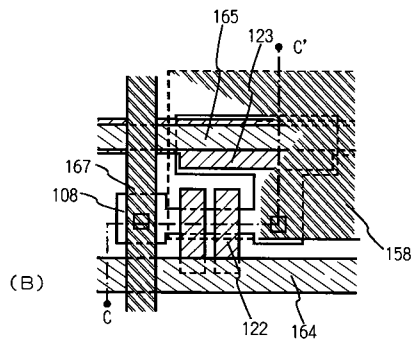
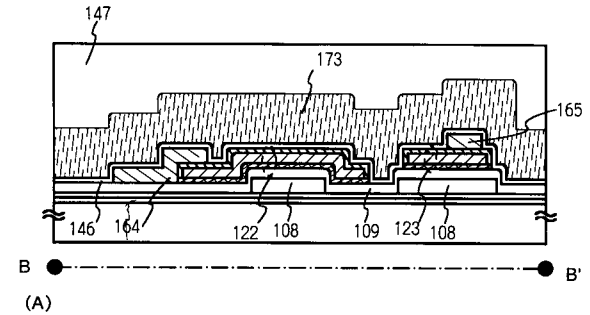
【図 1 2】



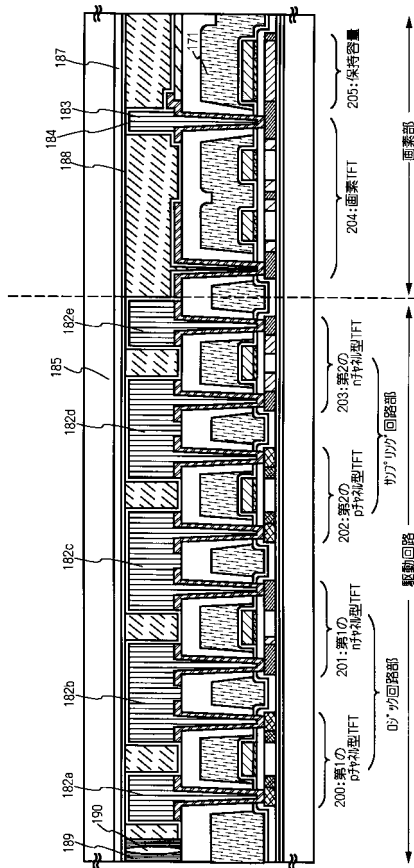
【図 1 3】



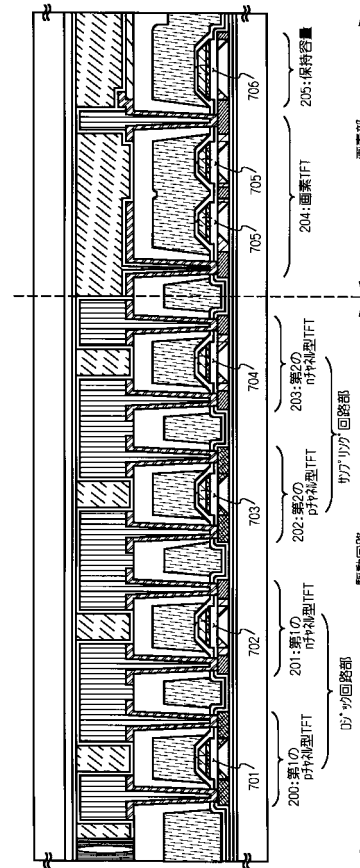
【図 1 4】



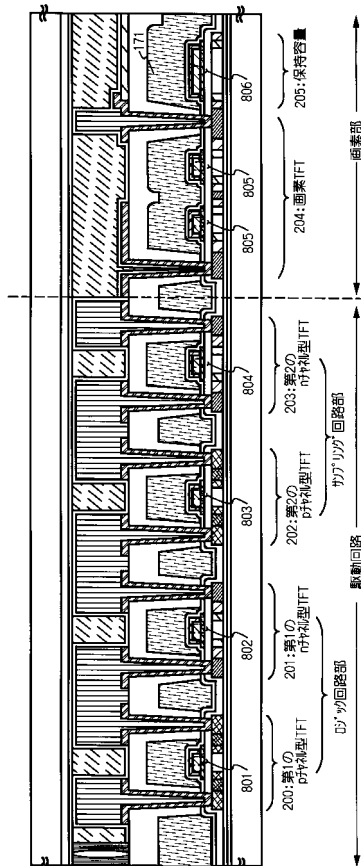
【図15】



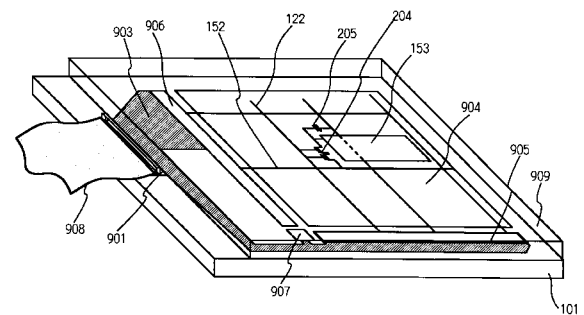
【図16】



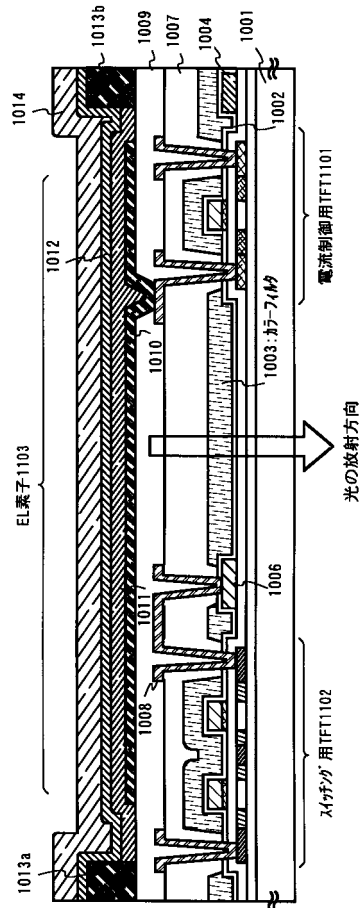
【図17】



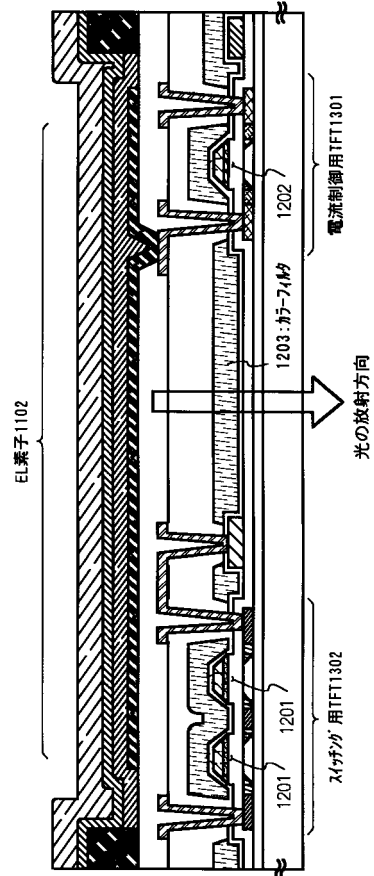
【図18】



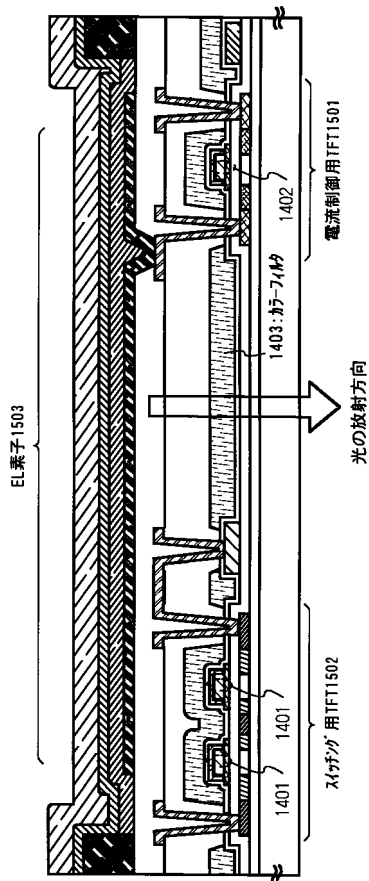
【図 19】



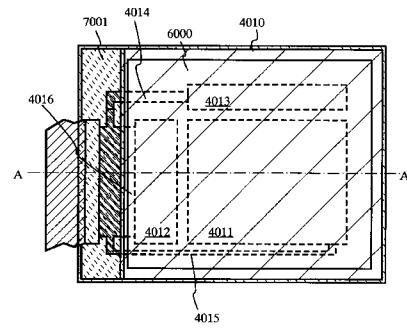
【図 20】



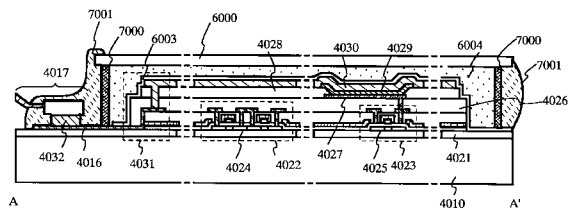
【図 21】



【図 22】

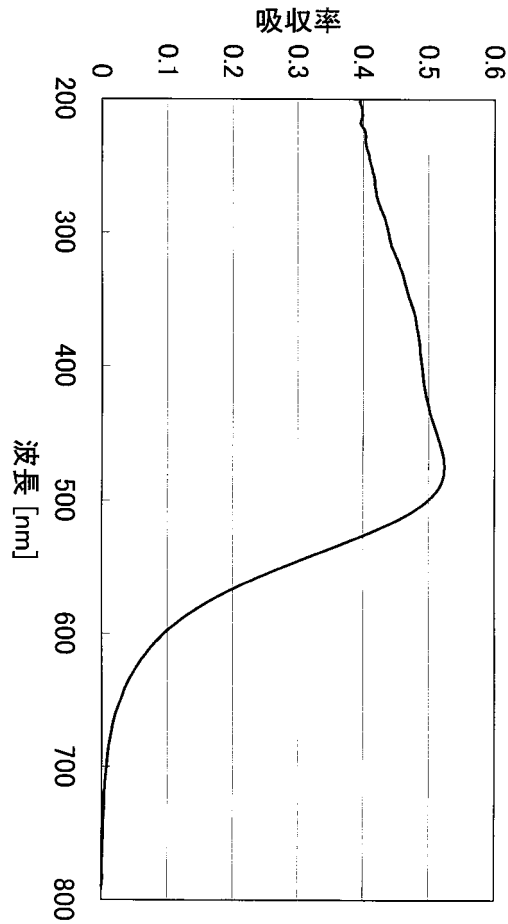


(A)

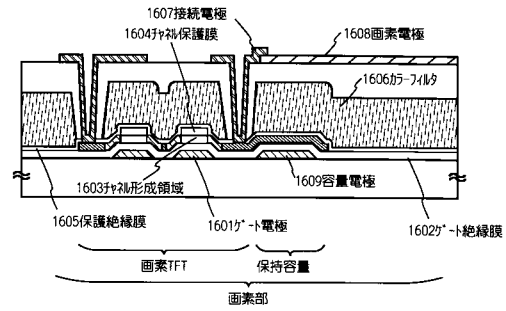


(B)

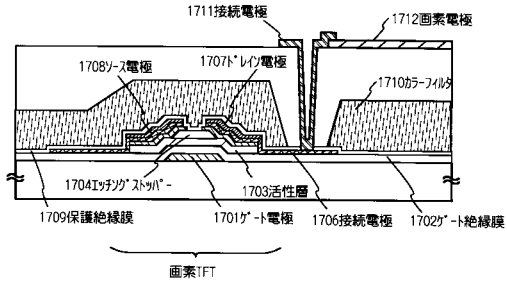
【図 2 3】



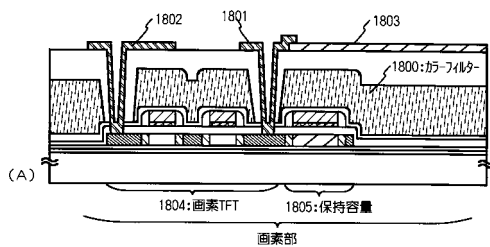
【図 2 4】



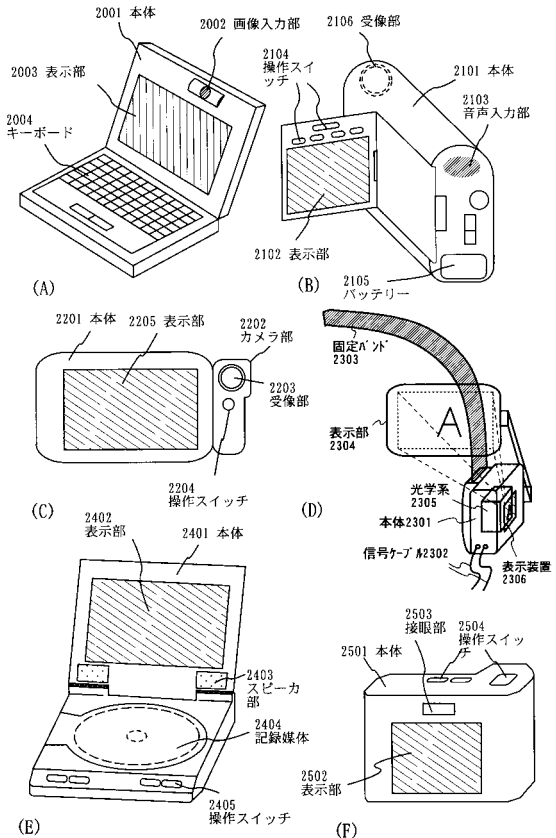
【図 2 5】



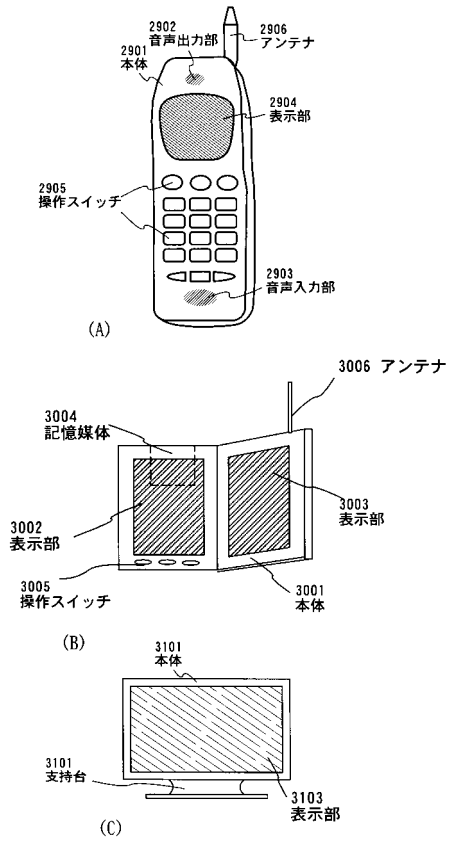
【図 2 6】



【図 2 7】



【図 28】



フロントページの続き

(51)Int.Cl.		F I	
H05B 33/12	(2006.01)	G09F 9/35	
H01L 51/50	(2006.01)	H05B 33/12	E
		H05B 33/14	A

(56)参考文献 特開平11-190838 (JP, A)
 特開平10-186379 (JP, A)
 特開平10-197877 (JP, A)
 特開2000-122071 (JP, A)
 特開2000-122074 (JP, A)
 特開2000-187229 (JP, A)
 特開2000-338525 (JP, A)
 特開2001-154205 (JP, A)
 特開2001-142077 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F	1/1368
G02F	1/1335
G02F	1/1339
G09F	9/30
G09F	9/35
H01L	51/50
H05B	33/12

专利名称(译)	液晶表示装置		
公开(公告)号	JP4494369B2	公开(公告)日	2010-06-30
申请号	JP2006144553	申请日	2006-05-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 桑原秀明		
发明人	山崎 舜平 桑原 秀明		
IPC分类号	G02F1/1368 G02F1/1339 G02F1/1335 G09F9/30 G09F9/35 H05B33/12 H01L51/50		
FI分类号	G02F1/1368 G02F1/1339.500 G02F1/1339.505 G02F1/1335.505 G09F9/30.338 G09F9/35 H05B33/12. E H05B33/14.A		
F-TERM分类号	2H089/LA09 2H089/LA15 2H089/NA37 2H089/QA16 2H089/TA02 2H089/TA09 2H089/TA12 2H091/FA02Y 2H091/FA03Y 2H091/GA08 2H091/GA09 2H091/GA13 2H091/LA30 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB51 2H092/JB57 2H092/JB58 2H092/JB61 2H092/KA04 2H092/KA05 2H092/KB26 2H092/MA13 2H092/MA17 2H092/MA27 2H092/MA30 2H092/NA23 2H092/PA03 2H092/PA04 2H092/PA08 2H189/DA04 2H189/DA07 2H189/DA34 2H189/DA42 2H189/FA06 2H189/FA16 2H189/FA25 2H189/GA02 2H189/HA10 2H189/HA14 2H189/LA05 2H189/LA06 2H189/LA10 2H189/LA14 2H191/FA02Y 2H191/FA05Y 2H191/GA11 2H191/GA15 2H191/GA19 2H191/LA40 2H192/AA24 2H192/BC33 2H192/CB02 2H192/CB05 2H192/CB13 2H192/CB53 2H192/CC12 2H192/CC32 2H192/CC72 2H192/DA12 2H192/DA44 2H192/EA07 2H192/EA13 2H192/EA32 2H192/EA42 2H192/EA67 2H192/FA73 2H192/FB02 2H291/FA02Y 2H291/FA05Y 2H291/GA11 2H291/GA15 2H291/GA19 2H291/LA40 3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/CC45 3K107/DD90 3K107/DD95 3K107/EE07 3K107/EE22 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/EC03 5C094/ED03 5C094/HA08		
其他公开文献	JP2006317955A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决对于具有设置在对向基板上的滤色器的液晶显示面板的问题，需要在极高精度地对准的同时组装元件基板和対向基板，并且在这种情况下，精度低，开口率降低，显示器变暗。

ŽSOLUTION：液晶显示面板具有：薄膜晶体管，排列在第一基板的一个表面上；绝缘膜设置在薄膜晶体管上；滤色器设置在绝缘膜上；像素电极设置在滤色器上并电连接到薄膜晶体管；第二基板，设置成与第一基板的一个表面相对；支撑间隔物以保持第一基板和第二基板之间的间隙；液晶设置在第一基板和第二基板之间。滤色器形成在薄膜晶体管的栅电极的上侧。

【 图 1 】

