

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4439494号
(P4439494)

(45) 発行日 平成22年3月24日 (2010. 3. 24)

(24) 登録日 平成22年1月15日 (2010. 1. 15)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 2 C

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

請求項の数 12 (全 16 頁)

(21) 出願番号 特願2006-158122 (P2006-158122)
 (22) 出願日 平成18年6月7日 (2006. 6. 7)
 (65) 公開番号 特開2007-178983 (P2007-178983A)
 (43) 公開日 平成19年7月12日 (2007. 7. 12)
 審査請求日 平成18年6月7日 (2006. 6. 7)
 (31) 優先権主張番号 10-2005-0130758
 (32) 優先日 平成17年12月27日 (2005. 12. 27)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示パネル及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

互いに交差するように位置するゲートラインとデータラインにより定義される画素セルがマトリクス状に配列された液晶表示パネルにおいて、前記画素セルのそれぞれは、前記ゲートラインとデータラインの交差領域に位置する薄膜トランジスタと、前記薄膜トランジスタと接続される画素電極と、前記薄膜トランジスタと隣接するように位置し、前記薄膜トランジスタのゲート電極との間で寄生キャパシタを形成すると共に、前記画素電極と接触された金属パターンを備え、それぞれの前記金属パターンは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど面積が異なることを特徴とする液晶表示パネル。

【請求項 2】

前記それぞれの金属パターンは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど面積が小さくなることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 3】

前記金属パターンは、前記画素電極と同一物質から形成されることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 4】

前記金属パターンと前記ゲート電極により形成される寄生キャパシタの大きさは、前記画素セルの位置により異なることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 5】

前記金属パターンと前記ゲート電極により形成される寄生キャパシタの大きさは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど小さくなることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 6】

前記薄膜トランジスタは、前記ゲート電極と、ゲート絶縁膜を間において前記ゲート電極と重畳される半導体パターンと、前記半導体パターン上に位置し、前記データラインから延在するソース電極と、前記ソース電極と対向し、保護膜を貫通する接触ホールを介して前記画素電極と接触されるドレイン電極とを備えることを特徴とする請求項 1 に記載の液晶表示パネル。

10

【請求項 7】

前記金属電極パターンは、前記ゲート絶縁膜及び保護膜を間において前記ゲート電極と部分的に重畳されることを特徴とする請求項 6 に記載の液晶表示パネル。

【請求項 8】

マトリクス状に配列された多数の画素セルを形成する段階を含む液晶表示パネルの製造方法において、前記それぞれの画素セルを形成する段階は、ゲートライン及び前記ゲートラインと接触されたゲート電極を含むゲートパターンを基板上に形成する段階と、ゲート絶縁膜を間において前記ゲート電極と重畳される半導体パターンと、前記ゲートラインと交差されるデータラインと、前記半導体パターン上に位置するソース電極と、前記ソース電極と対向するドレイン電極とを形成する段階と、前記ドレイン電極を露出させる接触ホールを有する保護膜を形成する段階と、前記接触ホールを介して前記保護膜と接触される画素電極と、前記ゲート絶縁膜および保護膜を間において位置し、寄生キャパシタを形成すると共に、前記画素電極と接触される、金属パターンとを形成する段階とを含み、それぞれの前記金属パターンは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど面積が異なることを特徴とする液晶表示パネルの製造方法。

20

【請求項 9】

前記それぞれの金属パターンの面積は、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど金属パターンの面積が小さくなることを特徴とする請求項 8 に記載の液晶表示パネルの製造方法。

30

【請求項 10】

前記金属パターンと前記ゲート電極により形成される寄生キャパシタの大きさは、前記画素セルの位置により異なることを特徴とする請求項 8 に記載の液晶表示パネルの製造方法。

【請求項 11】

前記金属パターンと前記ゲート電極により形成される寄生キャパシタの大きさは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど小さくなることを特徴とする請求項 8 に記載の液晶表示パネルの製造方法。

【請求項 12】

前記金属電極パターンは、前記ゲート絶縁膜及び保護膜を間において前記ゲート電極と部分的に重畳されることを特徴とする請求項 8 に記載の液晶表示パネルの製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に残像を最小化させ、画質を向上できる液晶表示パネル及びその製造方法に関する。

【背景技術】

【0002】

一般に、液晶表示装置は、電界を用いて液晶の光透過率を調節することで画像を表示する。このため、液晶表示装置は、液晶セルがマトリクス状に配列された液晶パネルと、液

50

晶パネルを駆動するための駆動回路とを備える。

【0003】

液晶パネルは、互いに対向する薄膜トランジスタアレイ基板及びカラーフィルタアレイ基板と、2つの基板間に一定のセルギャップを維持するため位置するスペーサーと、そのセルギャップに満たされた液晶とを備える。

【0004】

薄膜トランジスタアレイ基板は、ゲートライン及びデータラインと、そのゲートラインとデータラインの交差部毎にスイッチ素子で形成された薄膜トランジスタと、液晶セル単位で形成され、薄膜トランジスタに接続された画素電極などと、それらの上に塗布された配向膜から構成される。ゲートラインとデータラインは、それぞれのパッド部を介して駆動回路より信号が供給される。薄膜トランジスタは、ゲートラインに供給されるスキャン信号に応答し、データラインに供給される画素電圧信号を画素電極に供給する。

10

【0005】

カラーフィルタアレイ基板は、液晶セル単位で形成されたカラーフィルタと、カラーフィルタ間の区分及び外部光を反射するためのブラックマトリクスと、液晶セルに共通的に基準電圧を供給する共通電極などと、それらの上に塗布される配向膜から構成される。

【0006】

液晶パネルは、薄膜トランジスタアレイ基板とカラーフィルタアレイ基板を別途に製作し、合着した後、液晶を注入して封入することにより完成される。

20

【0007】

図1は、従来の薄膜トランジスタアレイ基板を示す平面図であり、図2は、図1に示した薄膜トランジスタアレイ基板をI-I'線に沿って切断して示す断面図である。

【0008】

図1及び図2に示す薄膜トランジスタアレイ基板は、下部基板42上にゲート絶縁膜44を間において交差するように形成されたゲートライン2及びデータライン4と、その交差部毎に形成された薄膜トランジスタ(Thin Film Transistor: 以下、「TFT」という)6と、その交差構造で備えられたセル領域に形成された画素電極18とを備える。そして、TFTアレイ基板は、画素電極18と前段ゲートライン2の重畳部に形成されたストレージキャパシタ20を備える。

30

【0009】

TFT6は、ゲートライン2に接続されたゲート電極8と、データライン4に接続されたソース電極10と、画素電極18に接続されたドレイン電極12と、ゲート電極8と重畳され、ソース電極10とドレイン電極12との間にチャンネルを形成する活性層14とを備える。活性層14は、データライン4、ソース電極10及びドレイン電極12と重畳されるように形成され、ソース電極10とドレイン電極12との間のチャンネル部を更に含む。活性層14上には、データライン4、ソース電極10及びドレイン電極12とオーミック接触のためのオーミック接触層48が更に形成される。

【0010】

このようなTFT6は、ゲートライン2に供給されるゲート信号に応答し、データライン4に供給される画素電圧信号が画素電極18に充填され、維持されるようにする。

40

【0011】

画素電極18は、保護膜50を貫通する接触ホール16を介してTFT6のドレイン電極12と接続される。画素電極18は、充填された画素電圧により図示していない上部基板に形成される共通電極と電位差を発生させる。この電位差により、TFTアレイ基板とカラーフィルタアレイ基板との間に位置する液晶が誘電異方性により回転し、図示していない光源より画素電極18を経由して入射される光を上部基板側に透過させる。

【0012】

ストレージキャパシタ20は、前段ゲートライン2と画素電極18により形成される。ゲートライン2と画素電極18との間には、ゲート絶縁膜44及び保護膜50が位置する

50

。このようなストレージキャパシタ 20 は、画素電極 18 に充填された画素電圧が次の画素電圧が充填されるまで維持されるように役に立つことになる。

【0013】

以下、図 3 A ~ 図 3 D を参照して TFT アレイ基板の製造方法を説明すると次のとおりである。

まず、下部基板 42 上にスパッタリング法などの蒸着方法によりゲート金属層が形成された後、フォトリソグラフィ工程とエッチング工程でゲート金属層がパターンニングされることにより、図 3 A に示すように、ゲートライン 2、ゲート電極 8 を含むゲートパターンが形成される。

【0014】

ゲートパターンが形成された下部基板 42 上に PECVD、スパッタリングなどの蒸着方法によりゲート絶縁膜 44 が形成される。ゲート絶縁膜 44 が形成された下部基板 42 上に非晶質シリコン層、n+ 非晶質シリコン層、そして、ソース/ドレイン金属層が順次形成される。

【0015】

ソース/ドレイン金属層上に回折マスクを用いたフォトリソグラフィ工程及びエッチング工程などを用い、データライン 4、ソース電極 10、ドレイン電極 12 を含むソース/ドレインパターンと、ソース/ドレインパターン下部にオーミック接触層 48 と活性層 14 とを含む半導体パターン 45 が形成される。

【0016】

一方、半導体パターン 45 は、別途のマスク工程を用いてソース/ドレインパターンとは別に形成することもある。

【0017】

ソース/ドレインパターンが形成されたゲート絶縁膜 44 上に PECVD などの蒸着方法で保護膜 50 が全面形成された後、フォトリソグラフィ工程とエッチング工程でパターンニングされることにより、図 3 C に示すように、接触ホール 16 が形成される。接触ホール 16 は、保護膜 50 を貫通し、ドレイン電極 12 が露出されるように形成される。

【0018】

保護膜 50 上にスパッタリングなどの蒸着方法で透明電極物質が全面蒸着された後、フォトリソグラフィ工程とエッチング工程により透明電極物質がパターンニングされることにより、図 3 D に示すように、画素電極 18 が形成される。画素電極 18 は、接触ホール 16 を介してドレイン電極 12 と電気的に接続される。また、画素電極 18 は、ゲート絶縁膜 44 および保護膜 50 を間において前段ゲートライン 2 と重畳されるように形成されることにより、ストレージキャパシタ 20 を構成する。

【0019】

このような TFT アレイ基板においては、図 4 のように、TFT 6 のゲート電極 8 にスレッショルド電圧以上のゲート電圧 V_g が供給されると共に、ソース電極 10 にデータ電圧 V_d が供給され、TN モードの液晶表示パネルにおいてはカラーフィルタアレイ基板に位置し、IPS モードの液晶表示パネルにおいては TFT アレイ基板に位置する共通電極に直流 DC 共通電圧 V_{com} が供給される。これにより、TFT 6 のソース電極 10 とドレイン電極 12 間にチャンネルが形成され、データ電圧 V_d が TFT のソース電極 10 とドレイン電極 12 を経由してストレージキャパシタ 20 に充填される。

【0020】

ここで、共通電極に供給される共通電圧 V_{com} は、共通電圧供給部から遠くなるほど、ライン抵抗の増加により、その大きさが減少する問題が発生する。即ち、共通電圧供給部から近い箇所での画素セルにかかる実効共通電圧値 A と共通電圧供給部から遠い箇所での画素セルにかかる実効共通電圧値 B との間の電圧差 d が発生する。例えば、TN モード液晶表示パネルにおける共通電圧 V_{com} は、液晶表示パネルの外郭から銀ドットを介してカラーフィルタアレイ基板の全面に形成された共通電極に供給される。これにより、外郭から中心に行くほど、実効共通電圧値が小さくなる。

10

20

30

40

50

【 0 0 2 1 】

このような共通電圧の不均一により、液晶表示パネル 1 6 0 における位置毎に画像の差が生じ、フリッカなどの残像が残ることになる。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 2 2 】

よって、本発明の目的は、フリッカなどの残像を最小化させ、画質を向上できる液晶表示パネル及びその製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 2 3 】

上記の目的を達成するため、本発明は、互いに交差するように位置するゲートラインとデータラインにより定義される画素セルがマトリクス状に配列された液晶表示パネルにおいて、前記画素セルのそれぞれは、前記ゲートラインとデータラインの交差領域に位置する薄膜トランジスタと、前記薄膜トランジスタと接続される画素電極と、前記薄膜トランジスタと隣接されるように位置し、前記薄膜トランジスタのゲート電極との間で寄生キャパシタを形成すると共に、前記画素電極と接触された金属パターンを備え、それぞれの前記金属パターンは、前記画素セルの位置により面積が互いに異なることを特徴とする。

【 0 0 2 4 】

前記それぞれの金属パターンは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど面積が異なることを特徴とする。

【 0 0 2 5 】

前記それぞれの金属パターンは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど面積が小さくなることを特徴とする。

【 0 0 2 6 】

前記金属パターンは、前記画素電極と同一物質から形成されることを特徴とする。

【 0 0 2 7 】

前記金属パターンと前記ゲート電極により形成される寄生キャパシタの大きさは、前記画素セルの位置により異なることを特徴とする。

【 0 0 2 8 】

前記金属パターンと前記ゲート電極により形成される寄生キャパシタの大きさは、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど小さくなる。

【 0 0 2 9 】

前記薄膜トランジスタは、前記ゲート電極と、ゲート絶縁膜を間において前記ゲート電極と重畳される半導体パターンと、前記半導体パターン上に位置し、前記データラインから延在するソース電極と、前記ソース電極と対向し、保護膜を貫通する接触ホールを介して前記画素電極と接触されるドレイン電極とを備える。

【 0 0 3 0 】

前記金属電極パターンは、前記ゲート絶縁膜及び保護膜を間において前記ゲート電極と部分的に重畳される。

【 0 0 3 1 】

本発明は、マトリクス状に配列される多数の画素セルを形成する段階を含む液晶表示パネルの製造方法において、前記それぞれの画素セルを形成する段階は、ゲートライン及び前記ゲートラインと接触されたゲート電極を含むゲートパターンを基板上に形成する段階と、ゲート絶縁膜を間において前記ゲート電極と重畳される半導体パターンと、前記ゲートラインと交差されるデータラインと、前記半導体パターン上に位置するソース電極と、前記ソース電極と対向するドレイン電極とを形成する段階と、前記ドレイン電極を露出させる接触ホールを有する保護膜を形成する段階と、前記接触ホールを介して前記保護膜と接触される画素電極と、前記ゲート絶縁膜および保護膜を間において位置し、寄生キャパシタを形成すると共に、前記画素電極と接触される、金属パターンとを形成する段階とを

10

20

30

40

50

含む。

【0032】

前記画素セルそれぞれの前記金属パターンは、前記画素セルの位置により面積が互いに異なるように形成される。

【0033】

前記それぞれの金属電極パターンの面積は、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど金属パターンの面積が異なる。

【発明の効果】

【0034】

本発明に係る液晶表示装置及びその製造方法は、それぞれの画素セルの薄膜トランジスタと隣接領域に薄膜トランジスタのゲート電極と寄生キャパシタを形成する金属パターンを形成する。そして、それぞれの金属パターンの面積は、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほど小さく形成される。これにより、一つのゲートラインに共通して接続される画素セルの中で中心に位置する画素セルから左右に行くほどゲート電極と金属パターン間の寄生キャパシタ C_{gs2} 値を小さくし、または、左右端の画素セルから中心画素セルに行くほどゲート電極と金属パターンとの間の寄生キャパシタ C_{gs2} 値を大きく設定することにより、画素セルそれぞれの C_{gs} 及び V_p の大きさを調節することができる。この結果、画素セルの位置により供給される共通電圧のバラツキを減らすことにより、フリッカなどの残像が防止されるなど画質が向上される。

【発明を実施するための最良の形態】

【0035】

以下、本発明の好ましい実施形態を図5～図11Dを参照して、詳しく説明する。

本発明の実施形態に係る液晶表示装置を概略的に示すブロック図である。

図5に示す液晶表示装置は、 m 個のデータライン $D1 \sim Dm$ と n 個のゲートライン $G1 \sim Gn$ により定義される画素(Pixel)Pセルがマトリクス状に配列され、液晶駆動により画像が具現される液晶表示パネル160、液晶表示パネル160のデータライン $D1 \sim Dm$ にデータ電圧を供給するためのデータドライバ162と、ゲートライン $G1 \sim Gn$ にゲート電圧を供給するためのゲートドライバ164と、データドライバ162及びゲートドライバ164を制御するためのタイミングコントローラ168とを備える。

【0036】

データドライバ162は、タイミングコントローラ168からの制御信号に応答し、デジタルビデオデータをアナログデータ電圧に変換して、該アナログデータ電圧をデータライン $D1 \sim Dm$ に供給する。ゲートドライバ164は、タイミングコントローラ168からの制御信号に応答し、データ電圧に同期されるゲート電圧 V_{gh} をゲートライン $G1 \sim Gn$ に順次に供給し、データ電圧が供給される液晶表示パネル160の水平ラインを選択する。

【0037】

タイミングコントローラ168は、垂直/水平同期信号及びクロック信号を用い、ゲートドライバ164、データドライバ162を制御するための制御信号を生成する。

【0038】

液晶表示パネル160は、液晶を間において対向する薄膜トランジスタアレイ基板とカラーフィルタアレイ基板からなり、それぞれの画素セルP内には液晶セル Clc 、データライン $D1 \sim Dm$ とゲートライン $G1 \sim Gn$ の交差部に形成されたTFT106、液晶セル Clc に供給される電圧を維持するためのストレージキャパシタ C_{st} などを備える。

【0039】

図6は、図5の液晶表示パネル160に係る薄膜トランジスタアレイ基板を示す平面図であり、図7は、図6におけるII-II'及びIII-III'線を切り抜いて示した断面図である。説明の便宜上、図6及び図7には一つのRGBのうち何れか一つの色を具現できるある一つの画素のみを示した。

10

20

30

40

50

【0040】

図6及び図7に示した薄膜トランジスタアレイ基板は、下部基板142上にゲート絶縁膜144を間において交差するように形成されたゲートライン102及びデータライン104と、その交差部毎に形成されたTFT106と、その交差構造で備えられた画素領域に形成された画素電極118、画素電極118と前段ゲートライン102の重畳部に形成されたストレージキャパシタ120、TFT106と隣接して位置し、TFT106のゲート電極108と寄生キャパシタを形成すると共に、画素電極118と接触される金属パターン135とを備える。

【0041】

TFT106は、ゲートライン102に接続されたゲート電極108と、データライン104に接続されたソース電極110と、画素電極118に接続されたドレイン電極112と、ゲート電極108と重畳され、ソース電極110とドレイン電極112との間にチャンネルを形成する活性層114とを備える。活性層114は、データライン104、ソース電極110及びドレイン電極112と重畳されるように形成され、ソース電極110とドレイン電極112間にチャンネル部を更に含む。活性層114上には、データライン104、ソース電極110及びドレイン電極112とオーミック接触のためのオーミック接触層148が更に形成される。ここで、ソース電極110とドレイン電極112との間のチャンネルは、“U”型で形成されることにより、電流の移動度を向上することができる。

【0042】

また、ソース電極110及びドレイン電極112と共にTFT106は、ゲート電極108は従来、図1のように、ゲートライン102からゲートライン102と交差される方向に延在してもよく、且つ、図6のようにゲートライン102と並んで画素電極118方向に延在してもよい。更には、ゲート電極108がゲートライン102自体に含まれることもある。

【0043】

このようなTFT106は、ゲートライン102に供給されるゲート信号に応答し、データライン104に供給される画素電圧信号が画素電極118に充填され、維持されるようにする。

【0044】

画素電極118は、保護膜150を貫通する接触ホール116を介してTFT106のドレイン電極112と接続される。画素電極118は、充填された画素電圧により図示していない上部基板に形成される共通電極と電位差を発生させる。

【0045】

ストレージキャパシタ120は、前段ゲートライン102と画素電極118により形成される。ゲートライン102と画素電極118間には、ゲート絶縁膜144及び保護膜150が位置する。このようなストレージキャパシタ120は、画素電極118に充填された画素電圧が次の画素電圧が充填されるまで維持されるように役に立つことになる。

【0046】

金属パターン135は、図8に示すように、同一ゲートラインに対応されるm個の画素の中で中心から左右に行くほど面積が小さく形成される。このような金属パターン135は、TFT106のゲート電極108と寄生キャパシタを形成し、液晶表示パネルに供給される共通電圧Vcomのバラツキを補償する役割をする。

【0047】

以下、図8～図10を参照して、更に詳しく説明すると次のとおりである。

従来、図4を参照すると、液晶を駆動するための画素セルPにデータ電圧Vdが供給されると共に、ゲート電圧Vgが供給される。これと同時に、TNモードの液晶表示パネルにおいては、カラーフィルターアレイ基板に位置し、IPSモードの液晶表示パネルにおいては、TFTアレイ基板に位置する共通電極(図示せず)に直流DC共通電圧Vcomが供給される。しかし、共通電極は、共通電圧供給部より遠くなるほど、抵抗性の増加及びゲートライン102

10

20

30

40

50

におけるライン抵抗などにより共通電極に供給されるべき共通電圧Vcom値が液晶表示パネル160内における共通電極の位置により異なる。この結果、共通電極の位置により供給されるべき最適の共通電圧Vcom値においても異なることになる。

【0048】

図9は、画素セルの位置により共通電圧Vcomの大きさが異なることを鑑み、画素セルの位置により供給されるべき最適の共通電圧値を示す実験データである。図9の実験データを調べると、抵抗が一番大きくなると期待される液晶表示パネルの中心において一番大きな大きい共通電圧Vcomが要求されることをわかる。

【0049】

しかし、それぞれの画素セルPに供給される共通電圧Vcomは直流DCであり、位置毎に独立的に調節することができない。よって、本願発明は、共通電圧供給源から供給される共通電圧Vcomが抵抗により強くなる程度に応じ、それぞれの画素セル内において、寄生キャパシタ値を調節することで、それぞれの画素セルに均一な大きさの共通電圧が伝えられる方案を提案する。

【0050】

一般に、共通電圧Vcom値は、フィードスルー電圧(Feed Through Voltage: Vp)に比例する特性を有する。このような特性を用い、本願発明においては、図9における実験データを用い、共通電圧Vcomが大きく要求される領域では、Vp値を大きく形成することにより、それぞれの画素セル間に供給される共通電圧Vcom間のバラツキを減らすようにしている。即ち、ゲートライン102に共通して接続される多数の画素セルP内におけるVp値を中心位置する画素セルPから左右に位置する画素セルPに行くほど小さく形成することにより、位置による共通電圧Vcomのバラツキを補償することができる。

【0051】

このようなVp値調節のための共通電圧Vcomのバラツキを補償するため、本願発明における金属パターン135が備えられる。

【0052】

一般に、Vp値は数式1で定義される。

【0053】

【数1】

$$\Delta V_P = \frac{C_{gs}}{C_{gs} + C_{lc} + C_{st}} \Delta V_g$$

【0054】

ここで、CgsはTFTのゲート電極とドレイン電極との間、またはデータ電極とソース電極との間に形成される寄生キャパシタであり、Vgはゲートハイ電圧Vghとゲートロウ電圧Vglの差電圧であり、Cstはストレージキャパシタ120の容量であり、Clcは液晶による静電容量である。

【0055】

上記数式1より分かるように、VpはCgs値と比例することが分かる。

【0056】

結局、本願発明は、Cgs値の大きさを図9における曲線と類似して設定することにより、図10に示すように、画素セルの位置に関わらず同一な大きさに共通電圧が供給される効果を有することができる。

【0057】

図7を参照すると、本願発明のCgsは、ソース/ドレイン電極110、112とゲート電極108間の第1のCgs(Cgs1)と、金属パターン135とゲート電極108間の第2のCgs(Cgs2)からなる。即ち、従来に比べ、本願発明においては、金属パターン135とゲート電極108間の第2のCgs(Cgs2)値を更に含み、この大きさを調節することで、Vp値

10

20

30

40

50

を位置毎に調節することができる。

【 0 0 5 8 】

結局、金属パターン 1 3 5 を TFT 1 0 6 のゲートライン 1 0 2 と寄生キャパシタを形成させ、該寄生キャパシタの値は金属パターン 1 3 5 の面積で調節することができる。

【 0 0 5 9 】

よって、図 8 のように、それぞれの画素セル P 内における金属パターン 1 3 5 の面積を中心画素セル P から遠くするほど面積の大きさを小さくし、且つ、外郭から中心に行くほど面積を大きくすることにより、共通電圧のバラツキを補償することができる。

【 0 0 6 0 】

ここで、それぞれの画素セル内における C_{gs} 及び V_p を数学式 2 及び 3 のとおりに示すことができる。

【 0 0 6 1 】

【数 2】

$$C_{gs}(1) < \dots < C_{gs}\{(1/2)m-1\} < C_{gs}\{(1/2)m\} > C_{gs}\{(1/2)m+1\} > \dots >$$

$$C_{gs}(m)$$

(1 から m は、一つのゲートラインに共通して接続される画素セルの数)

【 0 0 6 2 】

【数 3】

$$\Delta V_p(1) < \dots < \Delta V_p\{(1/2)m-1\} < \Delta V_p\{(1/2)m\} > \Delta V_p\{(1/2)m+1\} > \dots >$$

$$V_p(m)$$

(1 から m は、一つのゲートラインに共通して接続される画素セルの数)

【 0 0 6 3 】

このように、本発明に係る液晶表示パネルは、一つのゲートライン 1 0 2 に共通して接続される画素セル P の中で中心画素セル P から左右に行くほどゲート電極 1 0 8 と金属パターン 1 3 5 との間の寄生キャパシタ C_{gs2} 値を小さくし、左右端より中心に位置する画素セル P からゲート電極 1 0 8 と金属パターン 1 3 5 との間の寄生キャパシタ C_{gs2} 値を大きく設定する。これにより、数学式 2 のように、それぞれの画素セル P 内における C_{gs} 値が数学式 2 のような関係を持ち、 V_p 値が数学式 3 のような関係を持つことにより、位置による共通電圧 V_{com} のバラツキを減らすことができる。

【 0 0 6 4 】

この結果、共通電圧 V_{com} のバラツキによるフリッカなどの残像を防止することができる。

【 0 0 6 5 】

一方、図 8 においては、金属パターン 1 3 5 が m 個の画素の中で中心から左右に行くほど面積が小さく形成されることを示したが、上下の長手方向に面積を調節することもできる。即ち、金属パターン 1 3 5 の線幅をそのままにし、長さを延ばすか縮めることにより、面積を調節することもできる。

【 0 0 6 6 】

以下、図 1 1 A ~ 図 1 1 D を参照し、TFT アレイ基板の製造方法を説明すると次のとおりである。

【 0 0 6 7 】

図 1 1 A を参照すると、下部基板上にゲート電極 1 0 8、ゲートライン 1 0 2 などを含むゲートパターンが形成される。

【 0 0 6 8 】

下部基板 1 4 2 上にスパッタリング法などの蒸着方法によりゲート金属層が形成される。次いで、マスクを用いたフィトリソグラフィ工程とエッチング工程でゲート金属層がパターンニングされることにより、ゲートライン 1 0 2、ゲート電極 1 0 8 を含むゲートパターンが形成される。ゲート金属としては、クロムCr、モリブデンMo、アルミニウム系金属などが単一層または二重層構造で用いられる。

【 0 0 6 9 】

図 1 1 B を参照すると、ゲートパターンが形成された下部基板 1 4 2 上にゲート絶縁膜 1 4 4、活性層 1 1 4、オーミック接触層 1 4 8、そしてソース/ドレインパターンが順次に形成される。

10

【 0 0 7 0 】

ゲートパターンが形成された下部基板 1 4 2 上にPECVD、スパッタリングなどの蒸着方法により、ゲート絶縁膜 1 4 4、非晶質シリコン層、n+ 非晶質シリコン層、そしてソース/ドレイン金属層が順次形成される。

【 0 0 7 1 】

ソース/ドレイン金属層上にマスクを用いたフォトリソグラフィ工程によりフォトレジスタパターンを形成する。この場合、マスクとしては、薄膜トランジスタのチャンネル部に回折露光部を有する回折露光マスクを用いることにより、チャンネル部のフォトレジスタパターンが他のソース/ドレインパターン部より低い高さを有する。

【 0 0 7 2 】

20

次いで、フォトレジスタパターンを用いた湿式エッチング工程で、ソース/ドレイン金属層がパターンニングされることにより、データライン 1 0 4、ソース電極 1 1 0、該ソース電極 1 1 0 と一体化されたドレイン電極 1 1 2、ストレージ下部電極 1 2 2 を含むソース/ドレインパターンが形成される。

【 0 0 7 3 】

その次に、同一なフォトレジスタパターンを用いた乾式エッチング工程でn+非晶質シリコン層と非晶質シリコン層が同時にパターンニングされることにより、オーミック接触層 1 4 8 と活性層 1 1 4 が形成される。

【 0 0 7 4 】

そして、チャンネル部で、相対的に低い高さを有するフォトレジスタパターンがアッシング(Ashing)工程で除去された後、乾式エッチング工程でチャンネル部のソース/ドレインパターン及びオーミック接触層 1 4 8 がエッチングされる。これにより、チャンネル部の活性層 1 1 4 が露出され、活性層 1 1 4 が活性化されない場合、ソース電極 1 1 0 とドレイン電極 1 1 2 が電氣的に分離される。

30

【 0 0 7 5 】

次いで、ストリップ工程でソース/ドレインパターン部上に残っているフォトレジスタパターンが除去される。

【 0 0 7 6 】

ゲート絶縁膜 1 4 4 の材料としては、酸化シリコンSiO_x、または窒化シリコンSiN_xなどの無機絶縁物質が用いられる。ソース/ドレイン金属としては、モリブデンMo、チタン、タンタル、モリブデン合金(Mo alloy)、銅Cu、アルミニウム系金属などが用いられる。

40

【 0 0 7 7 】

図 1 1 C を参照すると、ソース/ドレインパターンが形成されたゲート絶縁膜 1 4 4 上にPECVDなどの蒸着方法で保護膜 5 0 が全面形成される。この後、マスクを用いたフォトリソグラフィ工程とエッチング工程でパターンニングされることにより、ドレイン電極 1 2 を露出させる接触ホール 1 1 6 が形成される。

【 0 0 7 8 】

保護膜 5 0 の材料としては、ゲート絶縁膜 9 4 のような無機絶縁物質や誘電率の小さいアクリル(acryl)系有機化合物、BCBまたはPFCBなどのような有機絶縁物質が用いられる。

【 0 0 7 9 】

50

図 1 1 D を参照すると、保護膜 5 0 上に透明電極パターンが形成される。

保護膜 5 0 上にスパッタリングなどの蒸着方法で透明電極物質が全面蒸着される。次いで、マスクを用いたフォトリソグラフィ工程とエッチング工程により透明電極物質がパターンニングされることにより、画素電極 1 1 8 及び金属パターン 1 3 5 を含む透明電極パターンが形成される。画素電極 1 1 8 は、接触ホール 1 6 を介してドレイン電極 1 1 2 と電氣的に接続され、前段ゲートライン 1 0 2 と重畳されてストレージキャパシタ 1 2 0 をなす。

【 0 0 8 0 】

金属パターン 1 3 5 は、TFT 1 0 6 と隣接するように位置すると共に、保護膜 1 5 0 及びゲート絶縁膜 1 4 4 を間においてゲート電極 1 0 8 と寄生キャパシタをなす。

10

【 0 0 8 1 】

透明電極物質としては、インジウム錫酸化物(Indium Tin Oxide:ITO)や錫酸化物(Tin Oxide:TO)、又は、酸化インジウム亜鉛(Indium Zinc Oxide:IZO)が用いられる。

【図面の簡単な説明】

【 0 0 8 2 】

【図 1】従来の液晶表示パネルの薄膜トランジスタアレイ基板の一部を示す平面図である。

【図 2】図 1 に示した薄膜トランジスタアレイ基板を I - I ' 線に沿って切断して示す断面図である。

【図 3 A】図 2 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

20

【図 3 B】図 2 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

【図 3 C】図 2 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

【図 3 D】図 2 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

【図 4】液晶表示パネルに供給される電圧及び共通電圧の位置による電圧降下を示す波形図である。

【図 5】本発明に係る液晶表示装置を概略的に示すブロック図である。

30

【図 6】図 5 の一つの画素セルに対応される薄膜トランジスタアレイ基板を示す平面図である。

【図 7】図 6 に示した薄膜トランジスタアレイ基板の II-II ' 及び III-III ' 線に沿って切断して示す断面図である。

【図 8】画素セルの位置による金属パターンの面積を示す図である。

【図 9】液晶表示パネルの位置毎に最適な共通電圧を示す図である。

【図 1 0】本発明に係る金属パターンにより最適化された共通電圧の位置毎の特性を示す図である。

【図 1 1 A】図 7 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

40

【図 1 1 B】図 7 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

【図 1 1 C】図 7 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

【図 1 1 D】図 7 に示した薄膜トランジスタアレイ基板の製造方法を段階的に示す断面図である。

【符号の説明】

【 0 0 8 3 】

2、1 0 2：ゲートライン

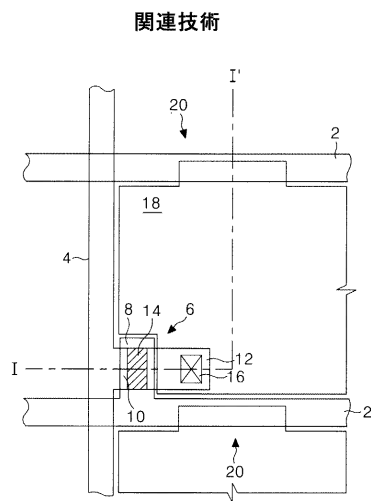
4、1 0 4：データライン

50

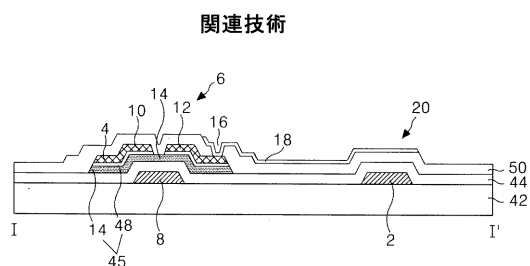
- 6、106：薄膜トランジスタ
- 8、108：ゲート電極
- 10、110：ソース電極
- 12、112：ドレイン電極
- 14、114：活性層
- 16、116：接触ホール
- 18、118：画素電極
- 20、120：ストレージキャパシタ
- 44、144：ゲート絶縁膜
- 50、150：保護膜
- 135：金属パターン

10

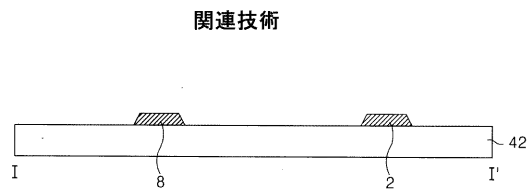
【図 1】



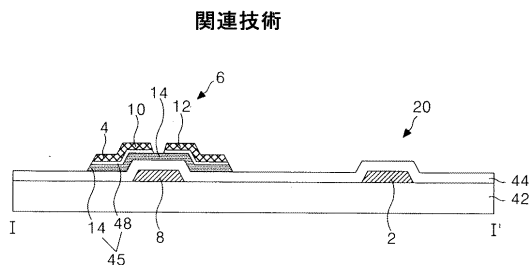
【図 2】



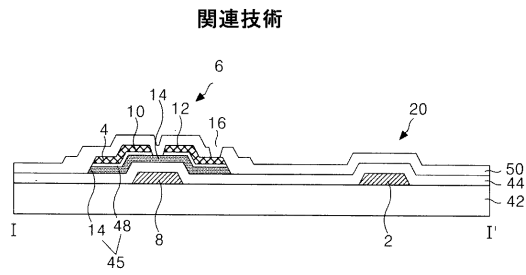
【図 3 A】



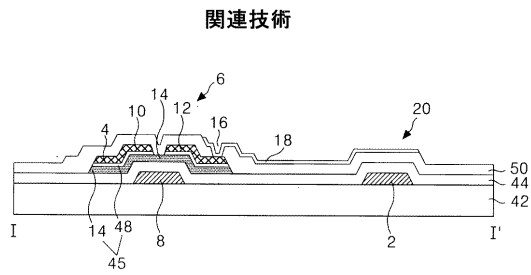
【図 3 B】



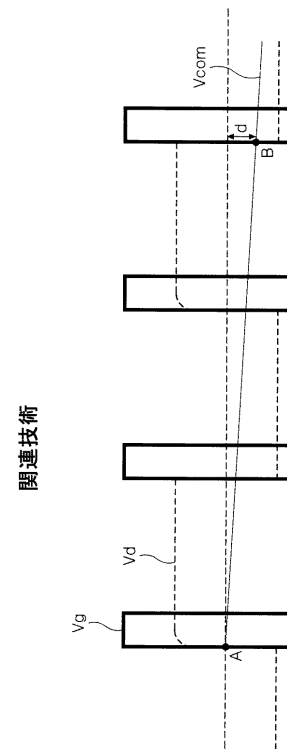
【図 3 C】



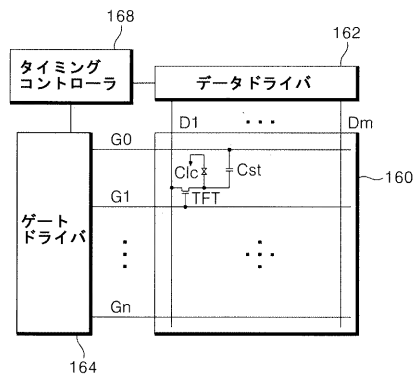
【図 3 D】



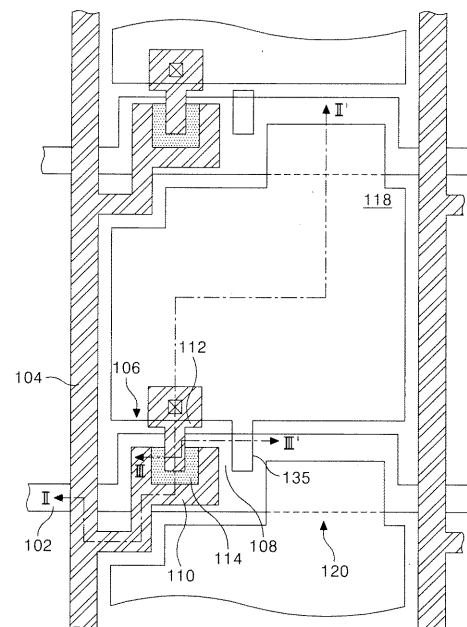
【図 4】



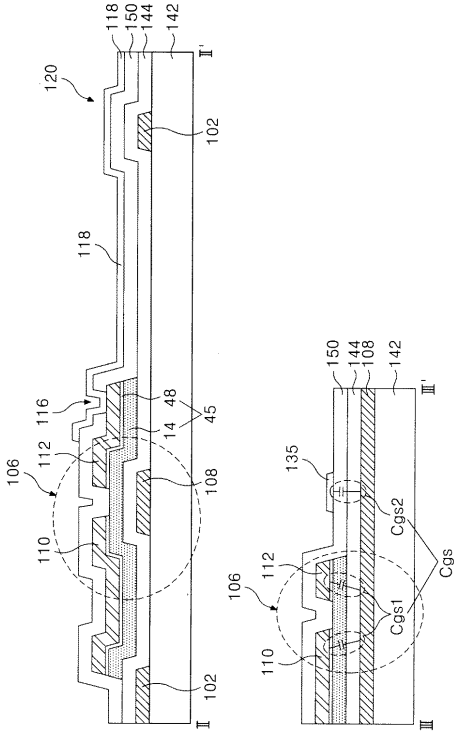
【図 5】



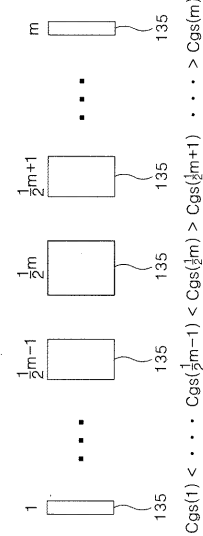
【図 6】



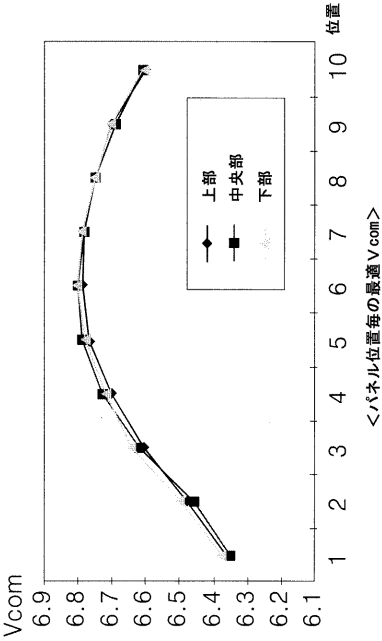
【図 7】



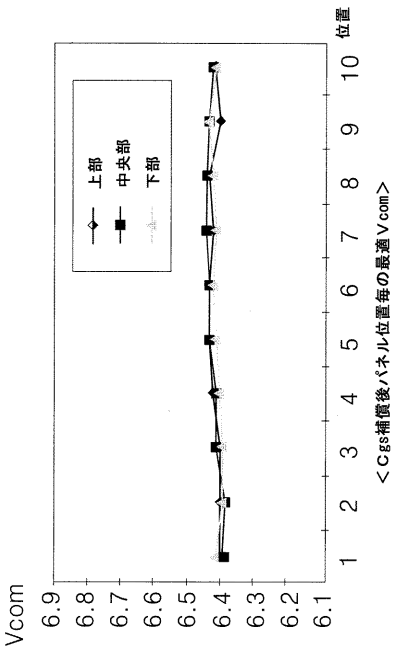
【図 8】



【図 9】



【図 10】



フロントページの続き

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 呉 彰 浩

大韓民国 大邱広域市 北区 太田洞 997番地 現代アパート 101-1202号

(72)発明者 陳 賢 哲

大韓民国 慶尚北道 龜尾市 九坪洞 富栄アパート 309-1306号

(72)発明者 朴 珍 永

大韓民国 京畿道 軍浦市 山本洞 ソラク アパート 852-805号

(72)発明者 卓 英 美

大韓民国 京畿道 坡州市 月籠面 徳隠里 1007番地 チョンダン ムエル 105-213号

審査官 金高 敏康

(56)参考文献 特開2005-309449(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

H01L 29/786

专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	JP4439494B2	公开(公告)日	2010-03-24
申请号	JP2006158122	申请日	2006-06-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	吳彰浩 陳賢哲 朴珍永 卓英美		
发明人	吳 彰 浩 陳 賢 哲 朴 珍 永 卓 英 美		
IPC分类号	G02F1/1368 H01L29/786 G02F1/1343		
CPC分类号	G02F1/136213 G02F2001/13606 H01L27/124 H01L27/1255		
FI分类号	G02F1/1368 H01L29/78.612.C G02F1/1343		
F-TERM分类号	2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB63 2H092/JB67 2H092/KA05 2H092/KA18 2H092/KB24 2H092/MA13 2H092/MA17 2H092/NA22 2H092/NA23 2H192/AA24 2H192/AA42 2H192/BC31 2H192/CB05 2H192/CB14 2H192/CC04 2H192/DA02 2H192/DA71 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE14 5F110/EE43 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF27 5F110/FF28 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG42 5F110/GG43 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK32 5F110/HK33 5F110/HK35 5F110/HL07 5F110/NN02 5F110/NN27 5F110/NN72 5F110/NN73		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020050130758 2005-12-27 KR		
其他公开文献	JP2007178983A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示面板，其最小化残留图像并改善图像质量，并提供制造显示面板的方法。解决方案：液晶显示面板包括由栅极线和数据线限定的像素单元，所述栅极线和数据线设置成彼此交叉并以矩阵形式布置，其中每个像素单元包括位于栅极线 and 数据的交叉处的薄膜晶体管。线，连接到薄膜晶体管的像素电极，和与薄膜晶体管相邻的金属图案，与薄膜晶体管的栅极形成寄生电容，并与像素电极接触。取决于像素单元的位置，每个金属图案具有与其他金属图案不同的区域。Ž

$$V_p = \frac{C_{gs}}{C_{gs} + C_{lc} + C_{st}} V_g$$