

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4241391号
(P4241391)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/133 (2006.01) GO2F 1/133 550
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 27 (全 32 頁)

(21) 出願番号	特願2003-573481 (P2003-573481)	(73) 特許権者	503447036
(86) (22) 出願日	平成15年3月7日(2003.3.7)		サムスン エレクトロニクス カンパニー リミテッド
(65) 公表番号	特表2005-519327 (P2005-519327A)		大韓民国キョンギード, スウォン-シ, ヨ ントン-ク, マエタン-ドン 416
(43) 公表日	平成17年6月30日(2005.6.30)	(74) 代理人	100094145
(86) 国際出願番号	PCT/KR2003/000447		弁理士 小野 由己男
(87) 国際公開番号	W02003/075077	(74) 代理人	100106367
(87) 国際公開日	平成15年9月12日(2003.9.12)		弁理士 稲積 朋子
審査請求日	平成17年10月18日(2005.10.18)	(72) 発明者	リ, ベク-ウォン
(31) 優先権主張番号	10-2002-0012121		大韓民国, キョンギード 463-828 , ソンナム-シティ, ブンダン-グ, ヤタ ブ-ドン, 331, ドンブ アパート 1 10-802
(32) 優先日	平成14年3月7日(2002.3.7)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置及び薄膜トランジスタ表示板

(57) 【特許請求の範囲】

【請求項1】

絶縁基板と、

前記絶縁基板上に形成され、第1制御信号線及び第2制御信号線を有する複数の制御信号線と、

前記絶縁基板上に形成され、第1データ線及び第2データ線を有する複数のデータ線と、

前記絶縁基板上に形成され、切開部を有する複数の画素電極と、

前記絶縁基板上に形成され、前記画素電極の前記切開部と重畳する複数の電界制御電極と、

前記第1制御信号線からの第1制御信号に基づいて、前記第1データ線からの第1信号を前記画素電極に印加する第1スイッチング素子と、

前記電界制御電極に印加される第2信号を制御する第2スイッチング素子と、

を含む、

薄膜トランジスタ表示板。

【請求項2】

前記第1スイッチング素子と前記第2スイッチング素子とは、互いに異なるタイミングで動作する、

請求項1に記載の薄膜トランジスタ表示板。

【請求項3】

前記第 2 スイッチング素子は、前記第 1 スイッチング素子が動作する前に動作する、請求項 2 に記載の薄膜トランジスタ表示板。

【請求項 4】

前記第 1 スイッチング素子は、前記第 2 スイッチング素子の動作直後に動作する、請求項 3 に記載の薄膜トランジスタ表示板。

【請求項 5】

前記第 2 信号は、前記複数の前記データ線のうちの 1 つから供給され、
前記第 2 スイッチング素子は、前記第 2 制御信号線からの第 2 制御信号に基づいて、前記電界制御電極に前記第 2 信号を印加する、
請求項 3 に記載の薄膜トランジスタ表示板。

10

【請求項 6】

前記第 2 信号は、前記第 1 データ線から供給される、
請求項 5 に記載の薄膜トランジスタ表示板。

【請求項 7】

前記第 2 信号は、前記第 2 データ線から供給され、
前記第 2 データ線は、前記第 1 データ線に隣接している、
請求項 5 に記載の薄膜トランジスタ表示板。

【請求項 8】

前記電界制御電極は、前記画素電極と重畳する、
請求項 1 に記載の薄膜トランジスタ表示板。

20

【請求項 9】

前記電界制御電極と前記制御信号線とは、実質的に同じ層に含まれる、
請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 10】

前記電界制御電極と前記データ線とは、実質的に同じ層に含まれる、
請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 11】

前記電界制御電極と前記画素電極との間に位置し、前記切開部を露出するトレンチを有する絶縁膜をさらに含む、
請求項 1 に記載の薄膜トランジスタ表示板。

30

【請求項 12】

前記データ線下に位置する半導体層をさらに含む、
請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 13】

第 1 表示板と、
前記第 1 表示板と対向する第 2 表示板と、
前記第 1 表示板と前記第 2 表示板の間に挿入されている液晶層と、
を含み、
前記第 1 表示板は、
第 1 制御信号線と第 2 制御信号線とを備える複数の制御信号線と、
第 1 データ線と第 2 データ線とを備える複数のデータ線と、
切開部を有する複数の画素電極と、
前記切開部と重畳する複数の電界制御電極と、
前記第 1 制御信号線と前記第 1 データ線と前記画素電極とに連結された複数の第 1 スイッチング素子と、
前記電界制御電極と前記画素電極との間に位置する絶縁膜と、
を有し、
前記第 2 表示板は、
共通電極を有し、
前記共通電極に対する前記画素電極の電圧を V_p 、前記共通電極に対する前記方向制御電

40

50

極の電圧を V_{DCE} 、前記液晶層の誘電率と厚さを各々 ϵ 、 d 、前記絶縁膜の誘電率と厚さを各々 ϵ' 、 d' とすると、 V_p が正極性である場合、

$$V_{DCE} > V_p \times \{ 1 + \epsilon' d' / (\epsilon d) \}$$

が成り立ち、 V_p が負極性である場合、

$$V_{DCE} < V_p \times \{ 1 + \epsilon' d' / (\epsilon d) \}$$

を成り立つ、

液晶表示装置。

【請求項 14】

前記電界制御電極に印加される信号を制御する第2スイッチング素子をさらに含む、請求項13に記載の液晶表示装置。

10

【請求項 15】

前記第1スイッチング素子と前記第2スイッチング素子とは、互いに異なるタイミングで動作する、

請求項14に記載の薄膜トランジスタ表示板。

【請求項 16】

前記第2スイッチング素子は、前記第1スイッチング素子が動作する前に動作する、請求項15に記載の薄膜トランジスタ表示板。

【請求項 17】

前記第1スイッチング素子は、前記第2スイッチング素子の動作直後に動作する、請求項16に記載の薄膜トランジスタ表示板。

20

【請求項 18】

前記第2スイッチング素子は、前記第2制御信号線と、前記複数の前記データ線のいずれかと、前記電界制御電極とに連結されている、

請求項16に記載の薄膜トランジスタ表示板。

【請求項 19】

第1表示板と、

前記第1表示板と対向する第2表示板と、

前記第1表示板と前記第2表示板の間に挿入されている液晶層と、

を含み、

前記第1表示板は、

第1制御信号線と第2制御信号線とを備える複数の制御線と、

第1データ線と第2データ線とを備える複数のデータ線と、

切開部を備える複数の画素電極と、

前記切開部と重畳する複数の電界制御電極と、

前記第1制御信号線と前記第1データ線と前記画素電極とに連結された第1スイッチング素子と、

30

前記電界制御電極と前記画素電極との間に位置する絶縁膜と、

を有し、

前記第2表示板は、

共通電極を有し、

40

前記画素電極と前記共通電極との間の静電容量を C_{LC} 、前記画素電極と前記電界制御電極との間の静電容量を C_{DCE} 、前記液晶層の誘電率を ϵ 、前記液晶層の厚さを d 、前記絶縁膜の誘電率を ϵ' 、前記絶縁膜の厚さを d' とすると、

$$C_{LC} / (2C_{DCE} + C_{LC}) > \epsilon' d' / \epsilon d$$

が成り立つ、

液晶表示装置。

【請求項 20】

前記電界制御電極に印加される信号を制御する第2スイッチング素子をさらに含む、請求項19に記載の液晶表示装置。

【請求項 21】

50

前記第 1 及び第 2 スイッチング素子は、互いに異なるタイミングで動作する、
請求項 20 に記載の液晶表示装置。

【請求項 22】

前記第 2 スイッチング素子は、前記第 1 スイッチング素子が動作する前に動作する、
請求項 21 に記載の液晶表示装置。

【請求項 23】

前記第 1 スイッチング素子は、前記第 2 スイッチング素子の動作直後に動作する、
請求項 22 に記載の液晶表示装置。

【請求項 24】

前記第 2 スイッチング素子は、前記第 2 制御信号線と、前記複数の前記データ線のい
れかと、前記電界制御電極とに連結されている、
請求項 22 に記載の液晶表示装置。

10

【請求項 25】

前記画素電極と前記電界制御電極とは、前記第 2 スイッチング素子と前記第 1 スイ
ッチング素子との一連の動作において、前記共通電極の電圧に対して同一極性の信号が供給さ
れる、
請求項 24 に記載の液晶表示装置。

【請求項 26】

第 1 表示板と、

前記第 1 表示板と対向する第 2 表示板と、

前記第 1 表示板と前記第 2 表示板の間に挿入されている液晶層と、

を含み、

前記第 1 表示板は、

第 1 制御信号線と第 2 制御信号線とを備えた複数の制御線と、

第 1 データ線と第 2 データ線とを備えた複数のデータ線と、

切開部を有する複数の画素電極と、

前記切開部と重畳する複数の電界制御電極と、

前記第 1 制御線からの第 1 制御信号に基づいて、前記第 1 データ線からの第 1 信号を前
記画素電極に印加する第 1 スイッチング素子と、

前記電界制御電極に印加される信号を制御する第 2 スイッチング素子と、

を有し、

前記第 2 表示板は、

共通電極を有し、

前記第 2 スイッチング素子は、前記第 1 スイッチング素子との一連の動作において、前
記第 1 スイッチング素子が動作する前に動作し、

前記画素電極と前記電界制御電極とは、前記一連の動作において、前記共通電極の電圧
に対して同一極性の信号が供給される、
液晶表示装置。

【請求項 27】

前記第 1 スイッチング素子は、前記第 2 スイッチング素子の動作直後に動作する、
請求項 26 に記載の液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及び薄膜トランジスタ表示板に関する。

【背景技術】

【0002】

液晶表示装置(LCD)は、一般に、共通電極とカラーフィルターの配列とを有する上
部表示板と、複数の薄膜トランジスタ(TFT)と複数の画素電極とを有する下部表示板
と、2つの表示板(上部表示板と下部表示板と)の間の液晶層とを含む。画素電極と共通

50

電極とに電圧を印加すれば、2つの電極（画素電極と共通電極と）の電位差によって電界が生成する。電界を変化させると液晶層における液晶分子の配列が変わり、これによって液晶層を通過する光の透過率が変化する。したがって、画素電極と共通電極との間の電圧（電位差）を調節することによって、液晶表示装置が所望の画像を表示することができる。

【0003】

ところが、液晶表示装置は、視野角が狭いのが大きな短所である。このような短所を克服するために、視野角を広くする様々な方法が開発されており、その中で、液晶分子を上下基板に対して垂直に配向し、画素電極とそれに対応する共通電極とに一定の切開パターンを形成したり、突起を形成する方法が有力視されている。

10

【0004】

切開パターンを形成する方法には、画素電極と共通電極とに各々切開パターンを形成し、これらの切開パターンによって形成されるフリンジフィールド（fringe field）を利用して液晶分子が横に傾く方向を調節することで、視野角を広くする方法がある。

【0005】

突起を形成する方法には、上部表示板に設けられている画素電極と下部表示板に設けられている共通電極上とに各々突起を形成し、突起によって歪曲される電場を利用して液晶分子が横に傾く方向を調節する方法がある。

【0006】

その他の方法には、下部表示板に設けられている画素電極には切開パターンを形成し、上部表示板に設けられている共通電極上には突起を形成することによって、切開パターンと突起とにより形成されるフリンジフィールドを利用して液晶の横に傾く方向を調節することで複数のドメインを形成する方法がある。

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

視野角を広くするための様々な方法において、共通電極に切開パターンを形成する方法は、共通電極をパターンニングするために別途のマスクが必要である。また、カラーフィルタに含まれる顔料が液晶物質を汚染するおそれがあるため、カラーフィルタ上にオーバーコート膜を形成する必要がある。さらに、パターンニングされた電極の周縁で転傾が著しく発生するおそれがある。

30

【0008】

また、突起を形成する方法においても、突起を形成するための別途の工程が必要であるかあるいは既存の工程を変形する必要がある、液晶表示装置の製造方法を複雑にするおそれがある。

【0009】

さらに、突起や切開部のため開口率が減少するおそれがある。

【0010】

そこで、本発明の目的は、液晶層の複数のドメインを安定して形成することができるとともに、製造工程を複雑にすることを低減することができ、開口率の減少を抑えることができる液晶表示装置及び薄膜トランジスタ表示板を提供することにある。

40

【課題を解決するための手段】

【0011】

本発明による薄膜トランジスタ表示板は、絶縁基板、複数の制御信号線、複数のデータ線、複数の画素電極、電界制御電極、複数の第1スイッチング素子及び複数の第2スイッチング素子を含む。複数の制御信号線は、絶縁基板上に形成され、第1制御信号線及び第2制御信号線を有する。複数のデータ線は、絶縁基板上に形成され、第1データ線及び第2データ線を有する。画素電極は、絶縁基板上に形成され、切開部を有する。電界制御電極は、絶縁基板上に形成され、画素電極の切開部と重畳する。第1スイッチング素子は、第1制御信号線からの第1制御信号に基づいて、第1データ線からの第1信号を画素電極

50

に印加する。第2スイッチング素子は、電界制御電極に印加される第2信号を制御する。

【0012】

第1スイッチング素子及び第2スイッチング素子は互いに異なるタイミングで動作し、第2スイッチング素子は第1スイッチング素子の動作前に動作することが好ましい。特に、第1スイッチング素子は第2スイッチング素子の動作直後に動作することがより好ましい。

【0013】

第2信号は、複数のデータ線のうちの1つから供給され、第2スイッチング素子は、第2制御信号線からの第2制御信号に基づいて電界制御電極に第2信号を印加することができる。

10

【0014】

第2信号は、第1データ線からまたは第1データ線と隣り合っている第2データ線から供給され得る。電界制御電極は画素電極と重畳することが好ましい。

【0015】

電界制御電極は、制御信号線及びデータ線のいずれかと実質的に同じ層を含む。

【0016】

この薄膜トランジスタ表示板は、電界制御電極と画素電極との間に位置し、切開部と重畳するトレンチを有している絶縁膜をさらに含んでもよい。また、この薄膜トランジスタ表示板は、データ線の下に位置する半導体層をさらに含んでもよい。

【0017】

20

本発明による液晶表示装置は、第1表示板、第2表示板及び液晶層を含む。第1表示板は、複数の制御信号線、複数のデータ線、複数の画素電極、電界制御電極、複数の第1スイッチング素子及び絶縁膜を有する。複数の制御信号線は、第1制御信号線と第2制御信号線とを備える。複数のデータ線は、第1データ線と第2データ線とを備える。画素電極は、切開部を備える。電界制御電極は、切開部と重畳する。第1スイッチング素子は、第1制御信号線と第1データ線と画素電極とに電気的に連結されている。絶縁膜は、電界制御電極と画素電極との間に位置する。第2表示板は、第1表示板と対向し、共通電極を有する。液晶層は、第1表示板と第2表示板との間に挿入されている。

【0018】

本発明の一実施形態によれば、共通電極に対する電界制御電極の電圧を V_p 、共通電極に対する画素電極の電圧を V_{DCE} 、液晶層の誘電率を ϵ 、液晶層の厚さを d 、絶縁膜の誘電率 ϵ' 、絶縁膜の厚さを d' とするととき、正の V_p に対しては

30

【0019】

【数1】

$$V_{DCE} > V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right)$$

が成り立ち、負の V_p に対しては

【0020】

【数2】

40

$$V_{DCE} < V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right)$$

が成り立つ。

【0021】

本発明の他の実施形態によれば、画素電極と共通電極との間の静電容量を C_{LC} 、画素電極と電界制御電極との間の静電容量を C_{DCE} 、液晶層の誘電率 ϵ 、液晶層の厚さを d 、絶縁膜の誘電率 ϵ' 、絶縁膜の厚さを d' とするととき、

【0022】

【数3】

$$\frac{C_{LC}}{2C_{DCE} + C_{LC}} > \frac{\pi d^2}{\epsilon^2 d}$$

が成り立つ。

【0023】

この液晶表示装置において、電界制御電極に印加される信号を制御する第2スイッチング素子をさらに含むことが好ましい。

【0024】

第1スイッチング素子及び第2スイッチング素子は、互いに異なるタイミングで動作し、第2スイッチング素子は、第1スイッチング素子が動作する前に動作することが好ましい。特に、第1スイッチング素子は、第2スイッチング素子の動作直後に動作することがより好ましい。

10

【0025】

第2スイッチング素子は、第2制御信号線、複数のデータ線のいずれか及び電界制御電極と（電氣的に）連結されていることが好ましい。

【0026】

画素電極と電界制御電極は、第2スイッチング素子及び第1スイッチング素子の一連の動作において、共通電極の電圧に対して同一極性の信号が供給されることが好ましい。

【0027】

本発明のさらに他の実施形態によれば、液晶表示装置は、第1表示板、第2表示板、そして液晶層を含む。第1表示板は、複数の制御信号線、複数のデータ線、複数の画素電極、電界制御電極、複数の第1スイッチング素子及び複数の第2スイッチング素子を有する。複数の制御信号線は、第1制御信号線と第2制御信号線とを備える。複数のデータ線は、第1データ線と第2データ線とを備える。画素電極は、切開部を備える。電界制御電極は、切開部と重畳する。第1スイッチング素子は、第1制御信号線からの第1制御信号に基づいて、第1データ線からの第1信号を画素電極に印加する。第2スイッチング素子は、電界制御電極に印加される信号を制御する。第2表示板は、第1表示板と対向し、共通電極を有する。液晶層は、第1表示板と第2表示板との間に挿入されている。第2スイッチング素子は、第1スイッチング素子との一連の動作において、第1スイッチング素子が動作する前に動作する。第1スイッチング素子と第1信号及び第2信号とは、前記一連の動作において、共通電極の電圧に対して同一の極性の信号が供給される。

20

【0028】

第1スイッチング素子は、第2スイッチング素子の動作直後に動作するのが良い。

【発明の効果】

【0029】

本発明に係る薄膜トランジスタ表示板では、画素電極から共通電極にかけて発生する電界が、画素電極の場所によって異なるおそれがあり、液晶層のドメインが安定して形成されないおそれがある。この場合でも、電界制御電極により、画素電極から共通電極にかけて発生する電界が、画素電極の場所によって一様になるようにすることができるので、液晶層の複数のドメインを安定して形成することができる。また、電界制御電極を、制御信号線やデータ線と同じ層として形成することができるので、製造工程を増やさなくても、電界制御電極を形成することができる。このため、液晶層の複数のドメインを安定して形成するために、製造工程を複雑にすることを低減することができる。また、液晶層の複数のドメインを安定して形成するために、突起や切開部を大きくしなくても、電界制御電極に印加する電圧を制御することにより、液晶層の複数のドメインを安定して形成することができる。このため、液晶層の複数のドメインを安定して形成することができるのと同時に、開口率の減少を抑えることができる。

40

【0030】

したがって、液晶層の複数のドメインを安定して形成することができるのと同時に、製造

50

工程を複雑にすることを低減することができ、開口率の減少を抑えることができる。

【発明を実施するための最良の形態】

【0031】

添付した図面を参考にして、本発明の実施形態に対して、詳細に説明する。しかし、本発明は多様な形態で実施することができ、ここで説明する実施形態に限定されない。

【0032】

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一な図面符号を付けている。層、膜、領域、基板などの部分が他の部分の“上に”あるとすると、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時、これは中間に他の部分がない場合を意味する。

10

【0033】

以下、本発明の実施形態による液晶表示装置について図面を参照して詳細に説明する。図1A及び図1Bは、本発明の実施形態による液晶表示装置の概略的な平面図であり、図2は本発明の一実施形態による液晶表示装置の概略的な断面図である。

【0034】

本発明の実施形態による液晶表示装置は、下部表示板100、上部表示板200及び液晶層3を含む。上部表示板200は、下部表示板100と対向する。液晶層3は、下部表示板100と上部表示板200との間に位置し、複数の液晶分子を有する。液晶分子は、下部表示板100及び上部表示板200の表面に垂直に配向している。

20

【0035】

絶縁基板110上には、複数のゲート線121と複数のデータ線171とが形成されている。ゲート線121とデータ線171とは、絶縁体140によって互いに絶縁され、(投影面において)互いに交差している。1つのゲート線121と1つのデータ線171との対により、一画素が定義される。

【0036】

絶縁基板110上にはまた、画素電極190と電界制御電極178とが形成されている。画素電極190と電界制御電極178とは、絶縁体180により互いに絶縁されている。電界制御電極178は、実質的にデータ線171と同じ層を含むが、ゲート線121と同じ層を含んでもよい。

30

画素電極190は、電界制御電極178と重畳している切開部191を有している。画素電極190は、画素電極用薄膜トランジスタ(T_1)を通じて一对のゲート線121及びデータ線171と連結されている。電界制御電極178は、電界制御電極用薄膜トランジスタ(T_2)を通じて他の一对のゲート線121及びデータ線171と連結されている。

(図1Aに示すように、)電界制御電極用トランジスタ(T_2)に連結されたゲート線121は、画素電極用薄膜トランジスタ(T_1)に連結されたゲート線121の前段のゲート線である。図1Aに示すように、電界制御電極用トランジスタ(T_2)に連結されたデータ線171は、画素電極用薄膜トランジスタ(T_1)に連結されたデータ線171の前段のデータ線である。あるいは、図1Bに示すように、画素電極用薄膜トランジスタ(T_1)と電界制御電極用トランジスタ(T_2)が同一のデータ線171に連結されていてもよい。

40

ここで、電界制御電極用トランジスタ(T_2)には、ゲート線121からの信号(電圧)に基づいて、連結されているデータ線171から(電界制御電極178に伝達される)電圧が供給される。

【0037】

絶縁基板110上にはまた、ゲート線121と実質的に同じ層を含む維持電極133が形成されている。維持電極133は、絶縁体140、180によってゲート線121、データ線171、画素電極190及び電界制御電極178と絶縁され、画素電極190と重畳している。

【0038】

50

上部表示板 200 の絶縁基板 210 上には、共通電極 270 が形成されている。共通電極 270 は共通電圧 (Vcom) が印加され、共通電圧 (Vcom) はまた維持電極 133 にも印加される。

【0039】

図 2 に示した液晶表示装置の複数の導体は複数の蓄電器を形成する。画素電極 190 と共通電極 270 とは液晶蓄電器 (C_{LC}) を形成する。維持電極 133 と画素電極 190 とは、液晶蓄電器 (C_{LC}) の電荷維持力を補強する維持蓄電器 (C_{ST}) を形成する。電界制御電極 178 は、画素電極 190 と共に電界制御電極蓄電器 (C_{DCE}) を形成する。電界制御電極 178 は、共通電極 270 と共に蓄電器 (C_{LD}) を形成する。そして電界制御電極 178 は、維持電極 133 と共に蓄電器 (C_{DG}) を形成する。

10

【0040】

画素電極 190 と共通電極 270 は、両者の間に位置する液晶層 3 に電界を生成する。その電界によって液晶層 3 の液晶分子は配向を変え、これにより液晶表示装置を通過する光の透過率が変化する。電界は、切開部 191 付近で屈折して、いわゆるフリンジフィールド (fringe field) を形成する。このフリンジフィールドは、電界を印加した際に液晶分子が傾斜する方向を決定する。電界制御電極 178 と共通電極 270 もまた、液晶分子が傾斜する方向を制御可能な電界を生成する。

【0041】

図 1 A、図 1 B 及び図 2 に示す液晶表示装置の動作について図 3 A ~ 図 3 C を参照して詳細に説明する。図 3 A ~ 図 3 C には、矢印で表示された電界と点線で表示された等電位線とが示されている。上記の説明のように、液晶分子は表示板 100、200 に対して垂直に配列され、電界に対して垂直に配列される性質を有している。

20

【0042】

図面において、 V_p は、液晶蓄電器 (C_{LC}) 両端の電圧、即ち画素電極 190 に印加された電圧から共通電圧 (Vcom) を引いた電圧である。一方、 V_{DCE} は、電界制御電極 178 に印加された電圧から共通電圧 (Vcom) を引いた電圧である。便宜上、共通電極 270 が接地されているとすれば共通電圧 (Vcom) は 0 であるとする。すると、 V_p は、画素電極 190 に印加された電圧であると見なされ得る。 V_{DCE} は、電界制御電極 178 に印加された電圧であるとみなされ得る。また、液晶層 3 の誘電率を ϵ 、液晶層 3 の厚さを d 、絶縁膜 180 の誘電率 ϵ' 、絶縁膜 180 の厚さを d' とする。また、画素電極 190 に印加された電圧 (V_p) は正極性である。

30

【0043】

図 3 A に示したように、電界制御電極 178 がないとき、液晶層 3 の電界は画素電極 190 の幾何学的形態によって画素電極 190 の周縁 192、193 と切開部 191 の付近で屈折する。詳細には、画素電極 190 の周縁 192、193 付近と切開部 191 の周縁付近とで、電界が、画素電極 190 から共通電極 270 にかけて外側 (画素電極の鉛直上方から離れる方向) に向かう。ここで、画素電極 190 上で画素電極 190 の左周縁 192 と切開部 191 の左周縁の間の領域 (これをドメインという) に位置する液晶分子を考える。切開部 191 の左周縁付近の液晶分子と画素電極 190 の左周縁 192 に位置する液晶分子とは互いに反対方向に傾斜するので、このドメイン内にある液晶分子の傾斜方向は、切開部 191 の左周縁から画素電極 190 の左周縁 192 までに次第に変化することになる。これと同様に、液晶分子の傾斜方向は、切開部 191 の右周縁から画素電極 190 の右周縁 193 までに次第に変化する。

40

【0044】

電界制御電極 178 に印加された電圧 (V_{DCE}) が画素電極 190 に印加された電圧 (V_p) に比べて所定値だけ大きい場合、図 3 B に示すように、切開部 191 の周縁付近の液晶層 3 の電界は、直線型となり、表示板 100、200 に垂直になる。電圧 (V_p) が負極性である場合、電界制御電圧 (V_{DCE}) は画素電圧 (V_p) に比べて所定値だけ小さいことが必要である。

【0045】

50

電界制御電極 178 に印加された電圧 (V_{DCE}) が画素電極 190 に印加された電圧 (V_p) に比べて上記の所定値よりも大きい値だけ大きい場合、図 3 C に示すように、電界は、画素電極 190 の各周縁 192、193 と切開部 191 の当該周縁とにおいて類似したものになる。具体的には、(図 3 C において、) 画素電極 190 の左周縁 192 付近と切開部 191 の左周縁付近とにおける電界が、画素電極 190 から共通電極 270 にかけて左側に向かう。これと同様に、(図 3 C において、) 画素電極 190 の右周縁 193 付近と切開部 191 の右周縁付近とにおける電界は、画素電極 190 から共通電極 270 にかけて右側に向かう。そして、切開部 191 の各周縁付近の液晶分子と画素電極 190 の当該周縁 192、193 に位置する液晶分子とは、実質的に同一方向に傾斜するので、各ドメイン内にある液晶分子の傾斜方向は一様になる。一方、電圧 (V_p) が負電圧である場合、電界制御電圧 (V_{DCE}) は画素電圧 (V_p) に比べて所定値よりも大きい値だけ小さくする必要がある。

10

【0046】

本発明の実施形態によれば、

【0047】

【数 4】

$$V_{DCE} = V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right)$$

が成り立つとき、液晶層 3 の電界は、図 3 B に示すように、直線型となり、表示板 100、200 に垂直となる。図 3 C に示すように、ドメイン内で液晶分子が一様な傾斜方向を維持するためには、正の画素電圧 (V_p) に対して

20

【0048】

【数 5】

$$V_{DCE} > V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right)$$

が成り立ち、負の画素電圧 (V_p) に対しては

【0049】

【数 6】

$$V_{DCE} < V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right)$$

30

が成り立つことが必要である。ところが、正の画素電圧 (V_p) に対して

【0050】

【数 7】

$$V_{DCE} < V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right)$$

40

であるか、あるいは、負の画素電圧 (V_p) に対して

【0051】

【数 8】

$$V_{DCE} > V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right)$$

であれば、図 3 A に示すような状態となる。この場合には、液晶分子の傾斜方向が一様に

50

ならないと考えられる。

【 0 0 5 2 】

このような結論は、共通電極 270 と画素電極 190 とを表面電荷の源 (surface charge source) であると仮定することによって得られる。

【 0 0 5 3 】

液晶層 3 の電界を E_{LC} 、絶縁層 180 の電界を E_p 、共通電極 270 に分布する表面電荷密度を σ_0 、画素電極 190 に分布する表面電荷密度を σ_1 とし、画素電極 190 またはこれに対応する共通電極 270 の部分の面積が A であるとすれば、画素電圧 (V_p) と電界制御電圧 (V_{DCE}) は、次の式で与えられる。

【 0 0 5 4 】

【数 9】

$$V_p = E_{LC} \times d = \frac{\sigma_0 A}{\epsilon} \times d \quad (1)$$

【 0 0 5 5 】

【数 10】

$$V_{DCE} = V_p + E_p \times d' = V_p + \frac{\sigma_1 A}{\epsilon'} d' \quad (2)$$

液晶層 3 の電界が歪曲するのは、画素電極 190 の表面に存在する余分な表面電荷によるものである。液晶層 3 電界が歪曲されないためには、画素電極 190 に余分な表面電荷があってはならない。即ち、画素電極 190 の表面電荷密度 (σ_1) が σ_0 でなければならない。したがって、式 (1) から

【 0 0 5 6 】

【数 11】

$$\sigma_0 A = V_p \frac{\epsilon}{d}$$

であるので、式 (2) は、

$$V_{DCE} = V_p + \frac{\sigma_0 A}{\epsilon'} d' = V_p + V_p \frac{\epsilon d'}{\epsilon' d} = V_p \left(1 + \frac{\epsilon d'}{\epsilon' d} \right) \quad (3)$$

と変形される。

【 0 0 5 7 】

そして、本発明の出願人は次のような結論に達した。液晶分子の傾斜方向が一様になるには、電界制御電極 178 に印加される電界制御電極の電圧 (V_{DCE}) が画素電極 190 に印加される正極性の電圧 (V_p) よりも所定値だけ大きくななければならない。逆に、電界制御電極の電圧 (V_{DCE}) は画素電極 190 に印加された負極性の電圧 (V_p) よりも所定値だけ小さくななければならない。

【 0 0 5 8 】

さらに、本発明の出願人は次のような結論に達した。図 1 A と図 1 B に示した液晶表示装置において、電界制御電極用薄膜トランジスタ (T_2) が画素電極用薄膜トランジスタ (T_1) よりも先にターンオン (turn-on) され、電界制御電圧 (V_{DCE}) と画素電極電圧 (V_p) との極性が同じであれば、電界制御電圧 (V_{DCE}) が画素電圧 (V_p) よりも大きい。これについて図 4 を参照して詳細に説明する。

【 0 0 5 9 】

図 4 に、図 1 A と図 2 とに示す液晶表示装置の回路図を概略的に示す。図 4 では、図 2

10

20

30

40

50

に示されている蓄電器 (C_{LD} 、 C_{DG}) が省略されている。蓄電器 (C_{LD} 、 C_{DG}) の容量が非常に小さく、共通電圧 (V_{com}) がゼロであると仮定しているからである。

【 0 0 6 0 】

その前段のゲート線 (G_{j-1}) にゲートオン電圧を印加する前に、画素電極用薄膜トランジスタ (T_1) と電界制御電極用薄膜トランジスタ (T_2) とはオフ状態である。その前段のゲート線 (G_{j-1}) にゲートオン電圧を印加すれば、正極性のデータ電圧が電界制御電極 178 に印加される。すると、共通電極 270 と電界制御電極 178 との間に連結された蓄電器 (C_{DCE} 、 C_{LC} 、 C_{ST}) の電圧分配によって、画素電極 190 の電圧 (V_p) が、変化し、電界制御電極 178 の電圧 (V_{DCE}) よりも低い電圧になる。その後、電界制御電極用薄膜トランジスタ (T_2) がターンオフされると、電界制御電極 178 は浮遊 (floating) 状態になり、電界制御蓄電器 (C_{DCE}) の充電電圧が一定に保たれる。したがって、画素電極電圧 (V_p) が如何に変化してもそれに影響されずに、浮遊状態となった電界制御電極 178 の電圧 (V_{DCE}) が画素電極電圧 (V_p) よりも高い状態が維持されることになる。例えば、画素電極用薄膜トランジスタ (T_1) がターンオンされて画素電極 190 の電圧 (V_p) が上がると、蓄電器 (C_{DCE}) の両端の電圧 (電位差) が維持されるため、電界制御電極 178 の電圧 (V_{DCE}) も画素電極電圧 (V_p) の上昇に伴って上昇する。

10

【 0 0 6 1 】

これと同様に、画素電極電圧 (V_p) が如何に変化してもそれに影響されずに、浮遊状態となった電界制御電極 178 の電圧 (V_{DCE}) が負極性の画素電極電圧 (V_p) よりも低い状態を維持することになる。

20

【 0 0 6 2 】

出願人などはまた、このような液晶表示装置において安定したドメイン分割が行われる液晶表示装置の設計条件は次の式を満足するものであることを見いだした。

【 0 0 6 3 】

【数 1 2】

$$\frac{C_{LC}}{2C_{DCE} + C_{LC}} |V_p + V_{j-1}| > \frac{\epsilon d^1}{\epsilon' d} |V_p| \quad (4)$$

または

30

【 0 0 6 4 】

【数 1 3】

$$\frac{C_{LC}}{2C_{DCE} + C_{LC}} > \frac{\epsilon d^1}{\epsilon' d} \quad (5)$$

ここで V_{j-1} は、前段のゲート線がターンオンされるときに印加されるデータ電圧、即ち電界制御電極 178 に印加されるデータ電圧である。

【 0 0 6 5 】

この結果は、薄膜トランジスタ (T_1 、 T_2) におけるゲートとドレインの間の寄生容量 (C_{gd}) と静電容量 (C_{LD} 、 C_{DG}) とが静電容量 (C_{DCE} 、 C_{LC}) に比べて無視できるほど小さいと仮定して得られたものである。

40

【 0 0 6 6 】

画素電極 190 に加わるデータ電圧を V_j とすれば、画素電極 190 の電圧 (V_p) と電界制御電極 178 に印加された電圧 (V_{DCE}) とは、それぞれ次式で与えられる。

【 0 0 6 7 】

【数 1 4】

$$V_p = V_j - \frac{C_{gd}}{C_{LC} + C_{LD} + 2C_{gd} - \frac{(C_{LD} + C_{gd})^2}{C_{DCE} + C_{LD} + C_{gd}}} (V_{on} - V_{off}) \approx V_j \quad (6)$$

【0 0 6 8】

【数 1 5】

$$V_{DCE} \approx V_p + \frac{C_{LC}}{2C_{DCE} + C_{LC}} (V_p - V_{j-1}) \quad (7) \quad 10$$

ドメイン分割が安定的に行われるためには、

【0 0 6 9】

【数 1 6】

$$V_{DCE} > V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right) \quad (\text{正電圧})$$

または

20

【0 0 7 0】

【数 1 7】

$$V_{DCE} < V_p \times \left(1 + \frac{\epsilon d'}{\epsilon' d}\right) \quad (\text{負電圧})$$

を満足すべきであるので、ここに式(7)を代入すると、

【0 0 7 1】

【数 1 8】

$$V_p + \frac{C_{LC}}{2C_{DCE} + C_{LC}} (V_p + V_{j-1}) > V_p + \frac{\epsilon d'}{\epsilon' d} V_p \quad (\text{正電圧}) \quad (8.1) \quad 30$$

または

【0 0 7 2】

【数 1 9】

$$V_p + \frac{C_{LC}}{2C_{DCE} + C_{LC}} (V_p + V_{j-1}) < V_p + \frac{\epsilon d'}{\epsilon' d} V_p \quad (\text{負電圧}) \quad (8.2)$$

となる。

式(8.1)、(8.2)の両側から V_p を引けば、

【0 0 7 3】

40

【数 2 0】

$$\frac{C_{LC}}{2C_{DCE} + C_{LC}}(V_p + V_{j-1}) > \frac{\epsilon d'}{\epsilon' d} V_p \quad (\text{正電圧}) \quad (9.1)$$

または

$$\frac{C_{LC}}{2C_{DCE} + C_{LC}}(V_p + V_{j-1}) < \frac{\epsilon d'}{\epsilon' d} V_p \quad (\text{負電圧}) \quad (9.2)$$

となる。\$V_p\$と\$V_{j-1}\$が同一極性であれば、式(9.1)、(9.2)は、

$$\frac{C_{LC}}{2C_{DCE} + C_{LC}} > \frac{\epsilon d'}{\epsilon' d} \quad (10.1)$$

または

$$\frac{1}{2\frac{C_{DCE}}{C_{LC}} + 1} > \frac{\epsilon d'}{\epsilon' d} \quad (10.2)$$

となる。

したがって、静電容量の比率(\$C_{DCE}/C_{LC}\$)と誘電率の比率(\$\epsilon'/\epsilon\$)及び距離の比率(\$d'/d\$)を調節することによってドメイン分割が安定的に行われる。

【0074】

次に、本発明の一実施形態による液晶表示装置について図5A及び図5Bを参照して詳細に説明する。

【0075】

図5Aは本発明の一実施形態による液晶表示装置の配置図であり、図5Bは図5Aに示す液晶表示装置のVB-VB'線による断面図である。

【0076】

本発明の一実施形態による液晶表示装置は、下部表示板100、上部表示板200及び液晶層3を含む。上部表示板200は、下部表示板100と対向する。液晶層3は、下部表示板100と上部表示板200との間に位置して、複数の液晶分子を有する。液晶分子は、下部表示板100及び上部表示板200の表面に垂直に配向されている。

【0077】

絶縁基板110上に複数のゲート線121と複数の維持電極131が形成されている。ゲート線121は、(図面上)ほぼ横方向にのびており、互いに略平行である。各ゲート線121は、第1ゲート電極124a及び第2ゲート電極124bをなす拡張部の組を複数だけ有する。維持電極131は、ゲート線121にほぼ平行である。各維持電極131は、幹電極と、枝電極群133a~133dとを有する。枝電極群は、はしご型をしており、第1枝電極133a、第2枝電極133b、第3枝電極133c及び第4枝電極133dを備える。第1枝電極133aは、幹電極から縦方向にのびている。第2枝電極133bは、幹電極に連結された縦部と、縦部の一端に連結された横部とを備える。第3枝電極133c及び第4枝電極133dは、横方向にのびており、第1枝電極133aや第2枝電極133bに連結している。

【0078】

ゲート線121及び維持電極131は、アルミニウム、クロム、それらの合金、モリブデンまたはモリブデンの合金から形成されていることが好ましい。ゲート線121は、物理、化学的な特性が優れたCrまたはMo合金で形成されていることが好ましい第1層と、低抵抗のAlまたはAg合金で形成されていることが好ましい第2層とを有していてもよい。また、ゲート線121の側面は傾斜しており、水平面に対する側面の傾斜角が30~80度である。

【0079】

ゲート線121及び維持電極131の上には、ゲート絶縁膜140が形成されている。

【0080】

ゲート絶縁膜140上には水素化非晶質シリコンなどからなる複数の線状半導体151及び島状半導体158が形成されている。線状半導体151の各々は、縦方向にのびており、維持電極131に隣り合う枝電極群133a~133dに属する第1枝電極133aと第2枝電極133bとの間に位置している。線状半導体151の各々は、ゲート電極124a、124bの付近に位置しており薄膜トランジスタのチャンネルをなす複数の突出部154を有する。島状半導体158は、維持電極131の第2枝電極133bと維持電極131の第3枝電極133c及び第4枝電極133dとの交差点付近に位置する。

【0081】

線状半導体151の上部には、シリサイドまたはn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどの物質からなる複数の接触部材群が形成されている。各接触部材群は、1つの線状接触部材161と、複数組の島状接触部材165a、165bとを含む。島状半導体158上にも、複数の島状接触部材(図示せず)が形成されている。

10

【0082】

線状半導体151及び島状半導体158と線状接触部材161及び島状接触部材165a、165bとの側面は傾斜しており、これらの傾斜角は30~80度の範囲にある。

【0083】

線状接触部材161及び島状接触部材165a、165bとゲート絶縁膜140との上には、1つのデータ線171及び複数組の第1ドレーン電極175a及び第2ドレーン電極175bとが群をなして形成されている。

20

【0084】

データ線171は、線状半導体151及び線状接触部材161に沿ってほぼ縦方向にのびて、ゲート線121及び維持電極131と交差する。各データ線171は、複数組の拡張部を含む。複数組の拡張部は、線状半導体151の突出部154の上部までのびて、第1ソース電極173a及び第2ソース電極173bを形成している。第1ソース電極173a及び第2ソース電極173bは、各々第1ゲート電極124a及び第2ゲート電極124bに対して、それぞれ第1ドレーン電極175a及び第2ドレーン電極175bと反対側に位置する。ドレーン電極175a、175bは、突出部154から維持電極131の幹電極までのびている。

30

線状半導体151の突出部154は、ゲート線121とデータ線171との交点を完全に覆って絶縁を補強している。線状半導体151は、大部分の所でデータ線171よりも幅が狭いが、データ線171と維持電極131の交点でデータ線171よりも幅が広がって絶縁を補強している。

【0085】

ゲート絶縁膜140と島状半導体158の島状接触部材との上には、複数の電界制御電極178が形成されている。各電界制御電極178は、維持電極131によって囲まれた領域内に位置する複数のX形状部を含む。X形状部は、島状半導体158付近で連結部178a、178bにて一列に連結されている。X形状部部分のうち最も上方に位置するものは、第2ドレーン電極175bに連結されている。X形状部を連結する連結部178a、178bは、維持電極131の枝電極133c、133dと交差し、その上の島状半導体158及び接触部材は、連結部178a、178bと枝電極133c、133dとの絶縁を補強する。

40

【0086】

データ線171、ドレーン電極175a、175b及び電界制御電極178は、アルミニウム、クロム、それらの合金、モリブデンまたはモリブデンの合金から形成されていることが好ましい。データ線171、ドレーン電極175a、175b及び電界制御電極178は、物理、化学的な特性が優れたCrまたはMo合金から形成されていることが好ましい第1層と、低抵抗のAlまたはAg合金など形成されていることが好ましい第2層とを有していてもよい。データ線171、ドレーン電極175a、175b及び電界制御電極178の側

50

面は傾斜しており、その傾斜角は30～80度の範囲にある。

【0087】

線状接触部材161及び島状接触部材165a、165bは、線状半導体151及び島状半導体158とデータ線171、ドレーン電極175a、175b及び電界制御電極178との間に位置して、接触抵抗を減らしている。線状半導体151及び島状半導体158の一部は、データ線171、ドレーン電極175a、175b及び電界制御電極178の外側に露出されている。

【0088】

第1ゲート電極124a、第1ソース電極173a及び第1ドレーン電極175aは、第1ソース電極173a及び第1ドレーン電極175aの間の線状半導体151部分と共に、画素電極190に印加される電圧を制御する薄膜トランジスタを構成している。第2ゲート電極124b、第2ソース電極173b及び第2ドレーン電極175bは、第2ソース電極173b及び第2ドレーン電極175bの間の線状半導体151部分と共に、電界制御電極178に印加される電圧を制御する薄膜トランジスタを構成している。

【0089】

データ線171、ドレーン電極175a、175b及び電界制御電極178と露出された線状及び島状半導体151、158の上には、窒化シリコンまたは有機絶縁膜からなる保護膜180が形成されている。

【0090】

保護膜180には、第1ドレーン電極175aを露出する接触孔183とデータ線171の一端部を露出する接触孔182とが形成されている。保護膜180とゲート絶縁膜140とは、ゲート線121の一端部を露出する接触孔181が形成されている。このとき、接触孔181、182は、外部装置との電氣的接続のためのものであって、角のある模様や円形などの様々な形に形成され得る。接触孔181、182は、形状寸法が2mm×60µmを超えず、0.5mm×15µm以上であることが好ましい。

【0091】

保護膜180上には、複数の画素電極190と複数の接触補助部材91、92が形成されている。ここで、画素電極190と接触補助部材は、IZO(indium zinc oxide)またはITO(indium tin oxide)から形成されていることが好ましい。

【0092】

各画素電極190は、接触孔183を通じて第1ドレーン電極175aと連結され、複数のX字状切開部191と直線型切開部192とを有する画素電極190が形成されている。この時、X字状切開部191は、電界制御電極178のX形状部と重畳して大部分の電界制御電極178を露出し、直線型切開部192は、維持電極131の第3及び第4枝電極133c、133dと重畳する。各画素電極190は、薄膜トランジスタを通じて前段のゲート線121及び前段のデータ線171に連結された電界制御電極178と切開部191付近で重畳して電界制御蓄電器(C_{DCE})を構成している。画素電極190はまた、維持電極131と重畳して維持蓄電器(C_{ST})を構成する。

【0093】

接触補助部材91、92は、接触孔181、182を通じてゲート線121及びデータ線171の露出された端部と連結されている。接触補助部材91、92は、必須的なものではないが、ゲート線121とデータ線171との露出された部分をそれぞれ保護し、薄膜トランジスタ表示板とその駆動集積回路との接着性を補完するために備えられている。

【0094】

接触補助部材91、92が位置する領域を除いた上部表示板100の全面には配向膜11が塗布されている。

【0095】

本発明の他の実施形態によれば、ゲート線121またはデータ線171と同一の物質などから形成されていることが好ましい複数の金属片(図示せず)がゲート線121及びデータ線171の少なくとも一方の端部付近に備えられている。金属片は、保護膜180及

10

20

30

40

50

び/またはゲート絶縁膜 140 に備えられている複数の接触孔 (図示せず) を通じて接触補助部材 91、92 と連結されている。

【 0096 】

本発明の他の実施形態によれば、維持電極 131 を省略する代わりに、画素電極 190 をゲート線 121 と重畳させて維持蓄電器 (C_{ST}) を構成する。

【 0097 】

本発明の他の実施形態によれば、電界制御電極 178 がゲート線 121 と同一の層を含む。

【 0098 】

次に、上部表示板 200 について詳細に説明する。

10

【 0099 】

ガラスなどの透明な絶縁物質から形成されていることが好ましい上部絶縁基板 210 の上には、光漏れを防止するためのブラックマトリックス 220 と交互に配列された赤、緑、青のカラーフィルター 230 とが形成されている。ITOまたはIZOなどの透明な導電物質から形成されていることが好ましい共通電極 270 が、ブラックマトリックス 220 とカラーフィルター 230 の上に形成されており、共通電極 270 上には配向膜 21 が塗布されている。

【 0100 】

液晶層 3 は、負の誘電率異方性を有して垂直配向している。即ち、電界のない状態で、液晶層 3 に含まれている複数の液晶分子の主軸が下部基板 110 と上部基板 100 に対してほぼ垂直になるよう配列されている。

20

【 0101 】

このような下部表示板 100 と上部表示板 200 とは、画素電極 190 がカラーフィルター 230 と重畳し、ゲート線 121、データ線 171 及び薄膜トランジスタがブラックマトリックス 220 によって覆われるように、配列され組み立てられる。このようにすれば、切開部 191、192 によって分割された複数のドメインが得られ、このようなドメインが電界制御電極 178 によって安定するようになる。

【 0102 】

図 5 A 及び図 5 B に示した液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法について、図 6 A ~ 図 9 B と図 5 A 及び図 5 B とを参照して詳細に説明する。

30

【 0103 】

図 6 A、図 7 A、図 8 A 及び図 9 A は、図 5 A 及び図 5 B に示した液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法を順次的に示す配置図である。図 6 B、図 7 B、図 8 B 及び図 9 B は、それぞれ、図 6 A、図 7 A、図 8 A 及び図 9 A に示す薄膜トランジスタ表示板の VIB-VIB'、VIIB-VIIB'、VIII-VIII' 及び IX-IX' 線による断面図である。

【 0104 】

まず、図 6 A 及び図 6 B に示すように、基板 110 上に金属層がスパッタリング法などによって積層され写真エッチングされて複数のゲート線 121 及び複数の維持電極 131 が形成される。

40

【 0105 】

次に、1,500 ~ 5,000 の厚さのゲート絶縁膜 140、500 ~ 2,000 の厚さの水素化非晶質シリコン層及び 300 ~ 600 の厚さの水素化非晶質シリコン層が、化学気相蒸着法 (CVD : chemical vapor deposition) などによって連続蒸着される。3層膜の積層後、上の2層、即ちドーピングされた非晶質シリコン層と非晶質シリコン層とが1つの感光膜パターンで写真エッチングされて、図 7 A 及び図 7 B に示すように、複数のドーピングされた線状非晶質シリコン 164 と複数の線状及び島状半導体 151、158 とが形成される。この行程において、複数のドーピングされた島状非晶質シリコン (図示せず) もまた、島型半導体 158 上に形成される。

50

【0106】

次に、図8A及び図8Bに示すように、1,500～3,000の厚さの金属層がスパッタリング法などによって蒸着された後、写真エッチングされて複数のデータ線171、複数のドレーン電極175a、175b及び複数の電界制御電極178が形成される。そして、データ線171とドレーン電極175a、175bとによって覆われていないドーピングされた線状非晶質シリコン164がエッチングされて、複数の線状及び島状接触部材161、165a、165bが形成され、データ線171とドレーン電極175a、175bとの間の線状半導体151部分が露出される。また、電界制御電極178によって覆われない部分であり島状半導体178上のドーピングされた部分である島状非晶質シリコン部分も、この行程で除去される。

10

【0107】

その次に、低誘電率で平坦化特性が優れた有機絶縁物質が塗布されたり、4.0以下の低誘電率を持つSiOF、SiOCのような低誘電率絶縁物質が化学気相蒸着法で積層されることにより、保護膜180が形成される。その後、保護膜180とゲート絶縁膜140とが1つの感光膜パターンで写真エッチングされて、図9A及び図9Bに示すように、複数の接触孔181、182、183が形成される。

【0108】

図6A及び図6Bに示すように、1500～500の厚さのITOまたはIZO層が蒸着され写真エッチングされて複数の画素電極190及び複数の接触補助部材91、92が形成された後、最後に配向膜11が基板110上に塗布される。

20

【0109】

本発明の他の実施形態による液晶表示装置用薄膜トランジスタ表示板について図10A及び図10Bを参照して詳細に説明する。

【0110】

図10Aは、本発明の他の実施形態による液晶表示装置用薄膜トランジスタ表示板の配置図であり、図10Bは、図10Aの液晶表示装置用薄膜トランジスタ表示板のXB-XB'線による断面図である。

【0111】

絶縁基板110上に複数のゲート線121と複数の維持電極131とが形成されている。各ゲート線121は、第1及び第2ゲート電極124a、124bを形成する複数組の拡張部を含む。各維持電極131は、幹電極と、枝電極群133a～133dとを有する。枝電極群は、はしご型をしており、第1枝電極133a、第2枝電極133b、第3枝電極133c、第4枝電極133dを備える。第1枝電極133aは、幹電極に連結された縦部と、縦部の一端に連結された横部とを備える。第2枝電極133bは、幹電極から縦方向にのびている。第3及び第4の枝電極133c、133dは、横方向にのびており、第1枝電極133aと第2枝電極133bとを連結している。

30

【0112】

ゲート線121及び維持電極131の上には、ゲート絶縁膜140が形成されている。

【0113】

ゲート絶縁膜140上には、水素化非晶質シリコンから形成されていることが好ましい複数の線状半導体151が形成されている。各線状半導体151は、3つの枝154a、154b、158を各々含む群からなる。各群の2つの半導体枝154a、154bは、各ゲート電極124a、124bの付近に位置し、薄膜トランジスタのチャンネルをなしている。もう1つの半導体枝158は、半導体枝154bに連結されており、3つのX形状部と2つの連結部とを有する。2つの連結部は、それぞれ、隣り合うX形状部を連結する。半導体枝158のX形状部は、維持電極131によって限定される領域に位置し、半導体枝158の連結部は、維持電極131の第2枝電極133bと第3及び第4枝電極133c、133dとの交差点の付近に位置する。

40

【0114】

線状半導体151の上部には、シリサイドまたはn型不純物が高濃度にドーピングされ

50

ているn+水素化非晶質シリコンなどの物質からなる複数の接触部材群が形成されている。各接触部材群は、1つの線状接触部材161と、複数組の島状接触部材165a、165bとを含む。島状半導体165aは、線状半導体151の半導体枝154a上に位置し、島状半導体165bは線状半導体151の半導体枝154b、158上に位置する。線状半導体151の半導体枝158上に位置する島状接触部材165bの一部は、図面符号168で表示されている。

【0115】

線状及び島状接触部材161、165a、165bの上には、複数のデータ線171、複数組の第1及び第2ドレーン電極175a、175b及び第2ドレーン電極175bに連結された複数の電界制御電極178が形成されている。各データ線171は、線状半導体151の枝半導体154a、154bの上部まで延長され、第1及び第2ソース電極173a、173bを形成する複数組の拡張部を含む。

10

【0116】

データ線171は線状接触部材161と実質的に同じ平面形状であり、第1ドレーン電極175aは島状接触部材165aと実質的に同じ平面形状であり、第2ドレーン電極175bと電界制御電極178とは、島状接触部材165b、168と実質的に同じ平面形状である。線状半導体151は、データ線171とドレーン電極175a、175bの間に位置するチャンネル部を除いて、データ線171、ドレーン電極175a、175b及び電界制御電極178と実質的に同じ平面形状を有する。

【0117】

したがって、各電界制御電極178は、それぞれ、複数のX形状部と、そのX形状部と線状半導体151の半導体枝158の複数のX形状部との間に位置する連結部と、を有する。

20

【0118】

第1ゲート電極124a、第1ソース電極173a及び第1ドレーン電極175aは、第1ソース電極173a及び第1ドレーン電極175aの間に位置する線状半導体151の半導体枝154aと共に、画素電極190に印加される電圧を制御する薄膜トランジスタを構成する。第2ゲート電極124b、第2ソース電極173b及び第2ドレーン電極175bは、第2ソース電極173b及び第2ドレーン電極175bの間に位置する線状半導体151の半導体枝154bと共に、電界制御電極178に印加される電圧を制御する薄膜トランジスタを構成する。

30

【0119】

データ線171、ドレーン電極175a、175b及び電界制御電極178と露出された線状半導体151の上には、窒化シリコンまたは有機絶縁膜からなる保護膜180が形成されている。

【0120】

保護膜180には、第1ドレーン電極175aを露出する複数の接触孔183と、データ線171の一端部を露出する複数の接触孔182とが形成されている。ゲート絶縁膜140と保護膜180とは、ゲート線121の一端部を露出する複数の接触孔181が形成されている。保護膜180上には複数の画素電極190と複数の接触補助部材91、92が形成されている。

40

【0121】

各画素電極190は、接触孔183を通じて第1ドレーン電極175aと連結されており、複数のX字状切開部191と直線型切開部192とを有する。このとき、X字状切開部191は、電界制御電極178のX形状部と重畳して大部分の電界制御電極178を露出し、直線型切開部192は、維持電極131の第3及び第4枝電極133c、133dと重畳する。各画素電極190は、薄膜トランジスタを通じて前段のゲート線121及び同一データ線171に連結された電界制御電極178と切開部191の付近で重畳して、電界制御蓄電器(C_{DCE})を構成している。画素電極190はまた、維持電極131と重畳して維持蓄電器(C_{ST})を構成する。

50

【 0 1 2 2 】

接触補助部材 9 1、9 2 は、接触孔 1 8 1、1 8 2 を通じてゲート線 1 2 1 及びデータ線 1 7 1 の露出された端部と連結されている。

接触補助部材 9 1、9 2 が位置する領域を除いた上部表示板 1 0 0 の全面には配向膜 1 1 が塗布されている。

【 0 1 2 3 】

図 1 0 A 及び図 1 0 B に示した液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法について、図 1 1 A ~ 図 1 4 B と図 1 0 A 及び図 1 0 B とを参照して詳細に説明する。

【 0 1 2 4 】

図 1 1 A、図 1 3 A 及び図 1 4 A は、図 1 0 A 及び図 1 0 B に示す液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法を順次的に示す配置図である。図 1 1 B、図 1 3 B 及び図 1 4 B は、それぞれ、図 1 1 A、図 1 3 A 及び図 1 4 A に示す薄膜トランジスタ表示板の断面図であり、図 1 2 は図 1 1 A と図 1 3 B の間の製造段階における薄膜トランジスタ表示板を示した断面図である。

【 0 1 2 5 】

まず、図 1 1 A 及び図 1 1 B に示すように、Al、Ag 又はそれらの合金などが蒸着され写真エッチングされて、複数のゲート線 1 2 1 と複数の維持電極 1 3 1 とが形成される。

【 0 1 2 6 】

次に、図 1 2 に示すように、窒化シリコン膜 1 4 0、非晶質シリコン層 1 5 0、ドーピングされた非晶質シリコン層 1 6 0 及び金属層 1 7 0 が化学気相蒸着法及びスパッタリング法によって連続蒸着され、その上に感光膜が $1 \mu\text{m} \sim 2 \mu\text{m}$ の膜厚で塗布される。金属層 1 7 0 は、Al、Ag 又はそれらの合金から形成されていることが好ましい。そして、光マスク（図示せず）を通じて感光膜に光が照射された後、図 1 2 に示すように現像される。感光膜の膜厚は位置によって異なるが、例えば感光膜は、厚さが次第に薄くなる第 1 ~ 第 3 部分を含むようにする。図 1 2 で、第 1 部分と第 2 部分とが図面符号 PR 1 と PR 2 とで表示され、第 3 部分に対する図面符号は付していない。これは第 3 部分が 0 の厚さであって、下の導電層 1 7 0 が露出されているためである。感光膜 PR 1、PR 2 の厚さの比率は、後続工程における工程条件によって異ならせる必要があり、第 2 部分の厚さを第 1 部分の厚さの $1/2$ 以下とすることが好ましく、例えば 4, 0 0 0 以下であることが好ましい。

【 0 1 2 7 】

位置によって感光膜の膜厚を異ならせるには種々の方法がある。露光マスクに透明領域と不透明領域のみでなく半透明領域を設けることがその例である。半透明領域は、スリットパターン、格子パターンまたは中間透過率または中間厚さの薄膜のいずれかを含む。スリットを用いる場合には、スリットの幅やスリット間の間隔が写真工程に使われる露光器の分解能よりも小さいことが好ましい。他の例としては、リフローが可能な感光膜を用いる方法がある。つまり、透明領域と不透明領域だけを備えた通常のマスキングを用いてリフローが可能な物質からなる感光膜パターンが形成された後、リフローが行われて感光膜が残留しない部分に感光膜が流されることによって薄い部分が形成される。

【 0 1 2 8 】

適切な工程条件を与えれば、感光膜 PR 1、PR 2 の厚さの差によって下部層を選択的にエッチングできる。したがって、一連のエッチング段階を経て、複数のデータ線 1 7 1、複数のドレーン電極 1 7 5 a、1 7 5 b 及び複数の電界制御電極 1 7 8 が形成され、複数の線状及び島状接触部材 1 6 1、1 6 5 a、1 6 5 b 及び複数の線状半導体 1 5 1 が形成される。

【 0 1 2 9 】

以下、図 1 3 A 及び図 1 3 B に示す構造を形成する順序の一例を示す。

(1) 感光膜の第 3 部分の下の導電層 1 7 0、ドーピングされた非晶質シリコン層 1 6 0 及び非晶質シリコン層 1 5 0 の除去、

(2) 感光膜の第 2 部分 PR 2 除去、

(3) 感光膜の第2部分PR2の下の導電体層170及びドーピングされた非晶質シリコン層160の除去、そして

(4) 感光膜の第1部分PR1除去。

図13A及び図13Bに示す構造を形成する順序の他の例を示す。

(1) 感光膜の第3部分の下の導電体層170除去、

(2) 感光膜の第2部分PR2除去、

(3) 感光膜の第3部分の下のドーピングされた非晶質シリコン層160及び非晶質シリコン層150の除去、

(4) 感光膜の第2部分PR2の下の導電体層170除去、

(5) 感光膜の第1部分PR1除去、そして

(6) 感光膜の第2部分PR2の下のドーピングされた非晶質シリコン層160の除去。

【0130】

感光膜の第2部分PR2を除去する際に、感光膜の第1部分PR1の厚さが薄くなるが、感光膜の第2部分PR2の厚さが感光膜の第1部分PR1よりも薄いために、下部層が除去されたりエッチングされることを防止する第1部分PR1が除去されることはない。

【0131】

適切なエッチング条件を選択すれば、感光膜の第2部分PR2と、感光膜の第3部分の下のドーピングされた非晶質シリコン層160及び非晶質シリコン層150とが同時に除去され得る。これと同様に、感光膜の第1部分PR1と、感光膜の第2部分PR2の下のドーピングされた非晶質シリコン層160部分とが同時に除去され得る。例えば、 SF_6 と HCl との混合気体や、 SF_6 と O_2 との混合気体を用いれば、ほぼ同一のエッチング率で感光膜と非晶質シリコン層150（またはドーピングされた非晶質シリコン層160）とがエッチングされ得る。

【0132】

導電体層170の表面に感光膜の残留物が残っていれば、その残留物はアッシング (ashing) 処理にて除去される。

【0133】

第1例のステップ(3)または第2例のステップ(4)において、ドーピングされた非晶質シリコン層160がエッチングされる際に用いられるエッチング気体の例には、 CF_4 と HCl の混合気体や CF_4 と O_2 の混合気体がある。 CF_4 と O_2 を用いれば均一な厚さで非晶質シリコン層150がエッチングされ得る。

【0134】

次に、 a-Si:C:O 膜または a-Si:O:F 膜が化学気相蒸着 (CVD) 法によって形成されたり、アクリル系物質などの有機絶縁物質が塗布されることにより、保護膜180が形成される。 a-Si:C:O 膜が形成される場合には、 $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ などが基本ソースとして用いられ、 N_2O または O_2 などの酸化剤とArまたはHeとが混合された気体が流されながら蒸着が行われる。また、 a-Si:O:F 膜が形成される場合には、 SiH_4 、 SiF_4 などに O_2 が添加された気体が流されながら蒸着が行われる。このとき、フッ素の補助ソースとして CF_4 が添加されてもよい。

【0135】

図10A及び図10Bに示すように、保護膜180がゲート絶縁膜140と共に写真エッチングされて複数の接触孔181、182、183が形成される。

【0136】

最後に、ITO層またはIZO層が蒸着され写真エッチングされて、複数の画素電極190及び複数の接触補助部材91、92が形成される。このとき、IZO層の場合には、エッチング液として $(\text{HNO}_3 / (\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6 / \text{H}_2\text{O})$ などのクロムエッチング液が用いられ得る。そのエッチング液は、接触孔181、182、183を通じて露出されたゲート線121、データ線171及びドレイン電極175a、175bを腐食しない。また、接触部の接触抵抗を最小化するためには、IZOが常温～200の範囲の温度で積層されることが好ましく、IZO薄膜を形成するために用いる標的 (target) は、 In_2O_3 及び ZnO を含

10

20

30

40

50

むのが好ましく、ZnOの含有量は15～20atm%の範囲が好ましい。

【0137】

一方、ITOやIZOを積層する前の予熱(pre-heating)工程に使用する気体として窒素を用いるのが好ましく、これは接触孔181、182、183を通じて露出されたゲート線121、データ線171及びドレーン電極175a、175bの上部に金属酸化膜が形成されるのを防止するためである。

【0138】

本発明の他の実施形態による液晶表示装置について図15A及び図15Bを参照して詳細に説明する。

【0139】

図15Aは本発明の他の実施形態による液晶表示装置の配置図であり、図15Bは図15Aの液晶表示装置のXVB-XVB'線による断面図である。

【0140】

本発明の他の実施形態による液晶表示装置は、下部表示板100、上部表示板200及び液晶層3を含む。上部表示板200は、下部表示板100と対向する。液晶層3は、下部表示板100と上部表示板200との間に位置して、複数の液晶分子を有する。液晶分子は、下部表示板100及び上部表示板200の表面に略平行に配向されている。

【0141】

下部絶縁基板110上には、複数のゲート線121と複数の維持電極131とが形成されている。

【0142】

各ゲート線121は、第1及び第2ゲート電極124a、124bを形成する複数組の拡張部を含む。

【0143】

各維持電極131は、幹電極と、枝電極群133a～133dとを有する。枝電極群は、はしご型をしており、第1枝電極133a、第2枝電極133b、第3枝電極133c及び第4枝電極133dを備える。第1枝電極133aは、幹電極から縦方向にのびている。第2枝電極133bは、主要部と補助部とを備える。主要部は、幹電極に連結されており、幹電極から縦方向に上下にのびている。補助部は、主要部の両端に連結されて、ほぼ横方向にのびている。2組の第3及び第4枝電極133c、133dは、それぞれ、第1枝電極133a及び第2枝電極133bから横方向にのびて互いに接近する。

【0144】

ゲート線121及び維持電極131の上には、ゲート絶縁膜140が形成されている。

【0145】

ゲート絶縁膜140上には、水素化非晶質シリコンから形成されていることが好ましい複数の線状及び島状半導体151、158が形成されている。線状半導体151の各々は、縦方向にのびており、維持電極131に隣り合う枝電極群133a～133dに属する第1枝電極133aと第2枝電極133bとの間に位置している。線状半導体151の各々は、ゲート電極124a、124bの付近に位置する複数の突出部154を含み、これらは薄膜トランジスタのチャンネルを形成する。島状半導体158は、維持電極131の幹電極上に位置する。

【0146】

線状半導体151の上部には、シリサイドまたはn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどの物質からなる複数の接触部材群が形成されている。各接触部材群は、1つの線状接触部材161と、複数組の島状接触部材165a、165bとを含む。島状半導体158上にも、複数の島状接触部材168が形成されている。

【0147】

線状及び島状接触部材161、165a、165bとゲート絶縁膜140との上には、1つのデータ線171及び複数組の第1及び第2ドレーン電極175a、175bとが群となって形成されている。各データ線171は、複数組の拡張部を含む。複数組の拡張部は、

10

20

30

40

50

それぞれ、第1及び第2ゲート電極124a、124bに対して第1及び第2ドレーン電極175a、175bと反対側に位置し、第1及び第2ソース電極173a、173bを形成している。

【0148】

ゲート絶縁膜140及び島状接触部材168の上には、複数の電界制御電極178が形成されている。各電界制御電極178は、維持電極131によって囲まれた領域内に位置する複数の十字形状部を含む。電界制御電極178の十字形状部は、維持電極131の第3枝電極133cと第4枝電極133bとの間の空間で互いに連結されている。X形状部の1つは、第2ドレーン電極175bに連結されている。電界制御電極178は、維持電極131の幹電極と交差し、その上の島状半導体158及び接触部材168は、電界制御電極178と維持電極131との絶縁を補強する。

10

【0149】

線状及び島状接触部材161、165a、165b、168は、線状及び島状半導体151、158とデータ線171、ドレーン電極175a、175b及び電界制御電極178との間に位置して、それらの間の接触抵抗を低減させている。線状及び島状半導体151、158の一部は、データ線171、ドレーン電極175a、175b及び電界制御電極178の外側に露出されている。

【0150】

第1ゲート電極124a、第1ソース電極173a及び第1ドレーン電極175aは、第1ソース電極173a及び第1ドレーン電極175aの間の線状半導体151部分と共に、画素電極190に印加される電圧を制御する薄膜トランジスタを構成している。第2ゲート電極124b、第2ソース電極173b及び第2ドレーン電極175bは、第2ソース電極173b及び第2ドレーン電極175bの間の線状半導体151部分と共に、電界制御電極178に印加される電圧を制御する薄膜トランジスタを構成する。

20

【0151】

データ線171、ドレーン電極175a、175b及び電界制御電極178と露出された線状及び島状半導体151、158の上には、窒化シリコンまたは有機絶縁膜からなる保護膜180が形成されている。

【0152】

保護膜180には、第1ドレーン電極175aを露出する複数の接触孔183と、データ線171の一端部を露出する複数の接触孔182とが形成されている。ゲート絶縁膜140と保護膜180とは、ゲート線121の一端部を露出する複数の接触孔181が形成されている。保護膜180は、電界制御電極178を露出する複数のトレンチ185を有している。トレンチ185は、液晶分子の傾斜方向に影響を及ぼすことによって、安定したドメインを形成することに寄与する。

30

【0153】

保護膜180上には、複数の画素電極190と複数の接触補助部材91、92とが形成されている。

【0154】

各画素電極190は、接触孔183を通じて第1ドレーン電極175aと連結されており、複数の十字状切開部191と複数の直線型切開部192とを有する。このとき、十字状切開部191は、電界制御電極178の十字形状部と重畳して保護膜180のトレンチ185を露出し、直線型切開部192は、維持電極131と重畳する。各画素電極190は、薄膜トランジスタを通じて前段のゲート線121及び前段のデータ線171に連結された電界制御電極178と重畳して、電界制御蓄電器(C_{DCE})を構成している。画素電極190はまた、維持電極131と重畳して維持蓄電器(C_{ST})を構成する。

40

【0155】

接触補助部材91、92が位置する領域を除く上部表示板100の全面には配向膜11が塗布されている。

【0156】

50

上部表示板 200 について詳細に説明する。

【0157】

上部基板 210 の上には、ブラックマトリックス 220 と、赤色、緑色及び青色の複数のカラーフィルタ 230 と、共通電極 270 とが形成されている。共通電極 270 上のまたは下に、オーバーコート膜（図示せず）が形成されていてもよい。共通電極 270 上には配向膜 21 が塗布されている。

【0158】

液晶層 3 は、正極性の誘電率異方性を有して、水平配向されている。即ち、電界がない状態で、液晶層 3 に含まれている複数の液晶分子の主軸が、下部基板 110 と上部基板 100 とに対してほぼ水平になるように配列されている。液晶分子は、下部表示板 100 から上部表示板 200 に至るまで挟まれた構造を有していることが好ましい。

10

【0159】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0160】

【図1A】本発明の一実施形態による液晶表示装置の概略的な平面図である。

【図1B】本発明の一実施形態による液晶表示装置の概略的な平面図である。

【図2】本発明の一実施形態による液晶表示装置の概略的な断面図である。

20

【図3A】本発明の一実施形態による液晶表示装置における電気力線と等電位線を示すものである。

【図3B】本発明の一実施形態による液晶表示装置における電気力線と等電位線を示すものである。

【図3C】本発明の一実施形態による液晶表示装置における電気力線と等電位線を示すものである。

【図4】図1Aと図2に示す液晶表示装置の概略的な回路図である。

【図5A】本発明の一実施形態による液晶表示装置の配置図である。

【図5B】図5Aに示す液晶表示装置のVB-VB'線による断面図である。

【図6A】図5A及び図5Bに示す液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法を順次的に示す配置図である。

30

【図7A】図5A及び図5Bに示す液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法を順次的に示す配置図である。

【図8A】図5A及び図5Bに示す液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法を順次的に示す配置図である。

【図9A】図5A及び図5Bに示す液晶表示装置用薄膜トランジスタ表示板を本発明の一実施形態に基づいて製造する方法を順次的に示す配置図である。

【図6B】図6Aに示す薄膜トランジスタ表示板のVIB-VIB'線による断面図である。

【図7B】図7Aに示す薄膜トランジスタ表示板のVIIB-VIIB'線による断面図である。

【図8B】図8Aに示す薄膜トランジスタ表示板のVIII-VIII'線による断面図である。

40

【図9B】図9Aに示す薄膜トランジスタ表示板のIX-IX'線による断面図である。

【図10A】本発明の他の実施形態による液晶表示装置用薄膜トランジスタ表示板の配置図である。

【図10B】図10Aに示す薄膜トランジスタ表示板のXB-XB'線による断面図である。

【図11A】図10A及び図10Bに示す液晶表示装置用薄膜トランジスタ表示板を本発明の他の実施形態に基づいて製造する方法を順次的に示す配置図である。

【図13A】図10A及び図10Bに示す液晶表示装置用薄膜トランジスタ表示板を本発明の他の実施形態に基づいて製造する方法を順次的に示す配置図である。

【図14A】図10A及び図10Bに示す液晶表示装置用薄膜トランジスタ表示板を本発明の他の実施形態に基づいて製造する方法を順次的に示す配置図である。

50

【図11B】図11Aに示す薄膜トランジスタ表示板の断面図である。

【図13B】図13Aに示す薄膜トランジスタ表示板の断面図である。

【図14B】図14Aに示す薄膜トランジスタ表示板の断面図である。

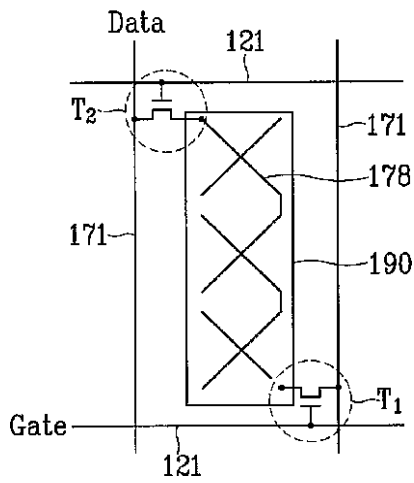
【図12】図11Aと図13Bとの間の製造段階における薄膜トランジスタ表示板の断面図である。

【図15A】本発明の他の実施形態による液晶表示装置の配置図である。

【図15B】図15Aに示す液晶表示装置のXVB-XVB'線による断面図である。

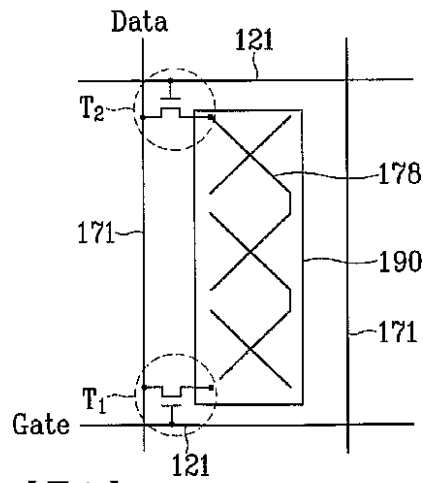
【図1A】

FIG. 1A



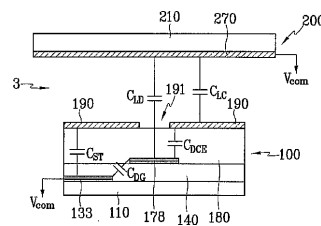
【図1B】

FIG. 1B

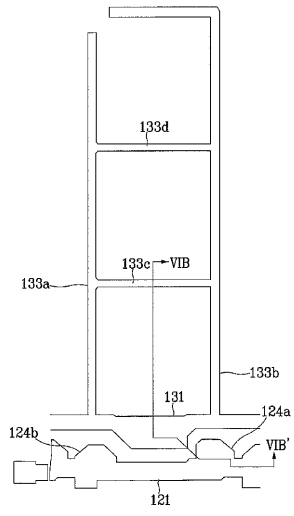


【図2】

FIG. 2

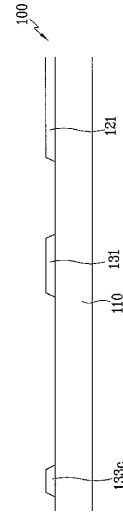


【 図 6 A 】
FIG. 6A

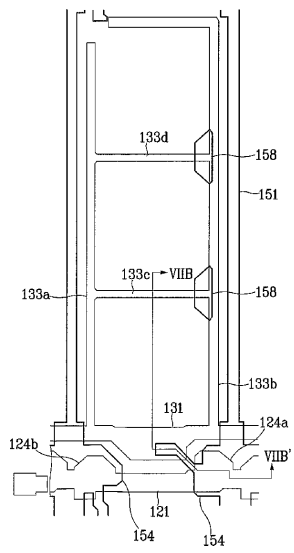


【 図 6 B 】

FIG. 6B

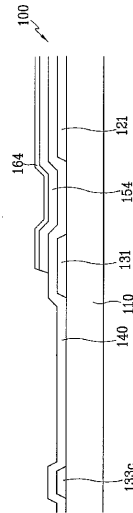


【 図 7 A 】
FIG. 7A

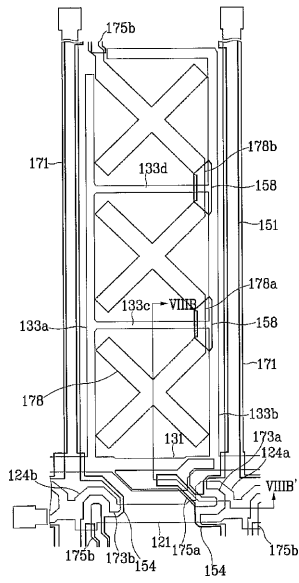


【 図 7 B 】

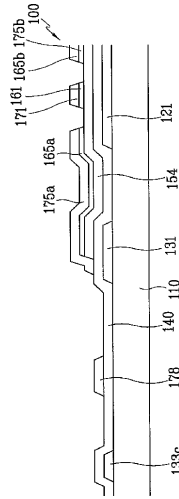
FIG. 7B



【 8 A 】
FIG. 8A

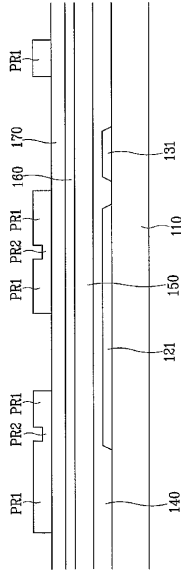


【 8 B 】
FIG. 8B



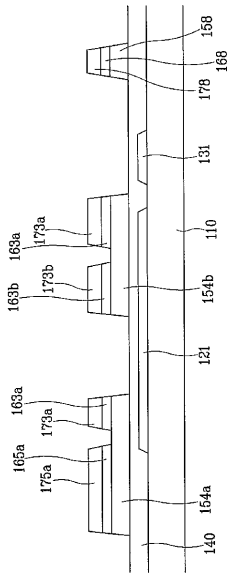
【 12 】

FIG. 12



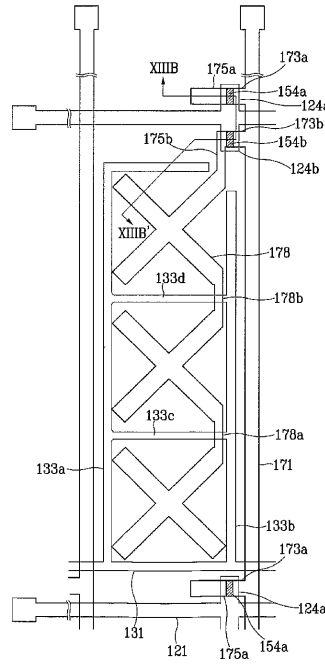
【 13 B 】

FIG. 13B



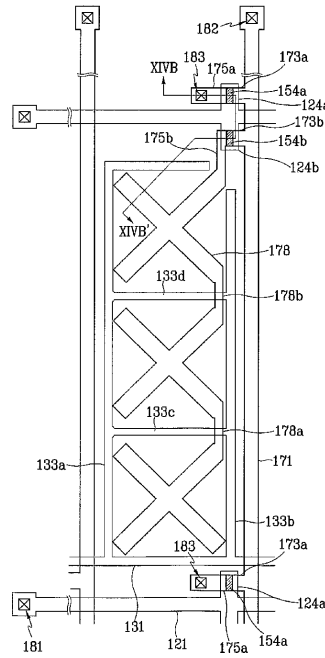
【 13 A 】

FIG. 13A



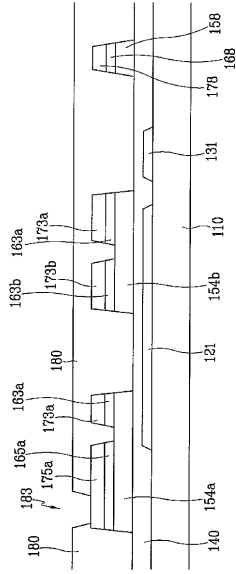
【 14 A 】

FIG. 14A



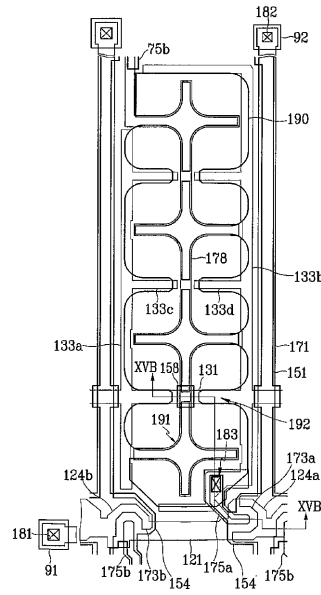
【 14 B 】

FIG. 14B



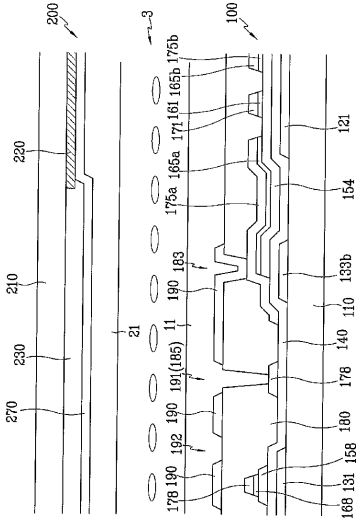
【 15 A 】

FIG. 15A



【 15 B 】

FIG. 15B



フロントページの続き

- (72)発明者 キム, ヒ - ソブ
大韓民国, キョンギ - ド 445 - 973, ファソン - シティ, テアン - ウブ, バンウォル - リ
865 - 1, シンヨントン ヒュンダイ アパート 110 - 304
- (72)発明者 ホン, スン - キュ
大韓民国, キョンギ - ド, 442 - 470, スウォン - シティ, パルダル - グ, 955 - 1, ヨン
トン - ドン, ファンゴル ジュコン アパート 136 - 1806
- (72)発明者 シン, キュン - ジュ
大韓民国, キョンギ - ド 449 - 904, ヨンギン - シティ, ギフン - ウブ, 289 - 12, ボ
ラ - リ, サムジョン ソンピ マウル 102 - 504
- (72)発明者 ヤン, ヨン - チョル
大韓民国, キョンギ - ド 435 - 050, グンポ - シティ, ギュムジョン - ドン, 220 - 12
01, ジュコン アパート 2 - ダンジ

審査官 金高 敏康

- (56)参考文献 特開2001 - 235751 (JP, A)
特開2000 - 352722 (JP, A)
特開平11 - 326927 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/133
G02F 1/1343

专利名称(译)	液晶显示装置和薄膜晶体管阵列面板		
公开(公告)号	JP4241391B2	公开(公告)日	2009-03-18
申请号	JP2003573481	申请日	2003-03-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	リベクウォン キムヒソブ ホンスンキュ シンキュンジユ ヤンヨンチョル		
发明人	リ,ベク-ウォン キム,ヒ-ソブ ホン,スン-キュ シン,キュン-ジュ ヤン,ヨン-チョル		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1343 G02F1/1333 G02F1/1362		
CPC分类号	G02F1/13624 G02F1/133707 G02F1/1343 G02F1/134336		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/1343		
优先权	1020020012121 2002-03-07 KR		
其他公开文献	JP2005519327A		
外部链接	Espacenet		

摘要(译)

根据本发明示例性实施例的薄膜晶体管阵列面板包括绝缘基板，设置在绝缘基板上并包括第一和第二控制信号线的多条控制信号线，形成在绝缘基板上的第一和第二控制信号线，多条数据线包括第二数据线，形成在基板上并具有切口的像素电极，形成在基板上的电场控制电极，电场控制电极与像素电极的切口重叠，第一开关元件，用于基于来自第一控制线的第一控制信号，将第一信号从第一数据线施加到像素电极，第二开关元件，用于将第二信号施加到像素电极，包括的元素。

$$\frac{C_{LC}}{2C_{DGE} + C_{LC}} \rightarrow \frac{ed^1}{e'd}$$