

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4064906号
(P4064906)

(45) 発行日 平成20年3月19日(2008.3.19)

(24) 登録日 平成20年1月11日(2008.1.11)

(51) Int.Cl. F I
GO2F 1/1345 (2006.01) GO2F 1/1345
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 24 (全 13 頁)

(21) 出願番号	特願2003-371883 (P2003-371883)	(73) 特許権者	501426046
(22) 出願日	平成15年10月31日(2003.10.31)		エルジー・フィリップス エルシーデー
(65) 公開番号	特開2004-212951 (P2004-212951A)		カンパニー, リミテッド
(43) 公開日	平成16年7月29日(2004.7.29)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成16年6月10日(2004.6.10)		イドードン 20
(31) 優先権主張番号	2002-088203	(74) 代理人	100064447
(32) 優先日	平成14年12月31日(2002.12.31)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100091889
			弁理士 藤野 育男

最終頁に続く

(54) 【発明の名称】 液晶表示素子及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

表示部と非表示部に定義された基板と、前記基板上に形成されたゲートラインと、前記ゲートラインと平行に形成された共通ラインと、前記ゲートライン及び共通ラインと絶縁されるように交差して画素領域を決定するデータラインと、前記非表示部に位置して前記ゲートライン、前記共通ライン及び前記データラインのうちの少なくともいずれか一つと接続されて、前記表示部の残留成分を蓄積して除去する少なくとも一つのキャパシタを具備し、

前記キャパシタは、前記ゲートライン及び前記共通ラインのうちの少なくともいずれか一つと接続された第1キャパシタと、前記データラインと接続された第2キャパシタとを含み、

前記基板の非表示部に形成されて前記第1キャパシタに接続された第1静電気防止手段と、前記基板の非表示部に形成されて前記第2キャパシタに接続された第2静電気防止手段とをさらに具備し、

前記第1キャパシタは、前記第1静電気防止手段と接続された第1ショーティングバーと、前記第1ショーティングバー上に形成された少なくとも一層の絶縁膜と、前記少なくとも一層の絶縁膜上に前記第1ショーティングバーと重畳するように形成された第1ダミーラインとを含むことを特徴とする液晶表示素子。

【請求項 2】

前記基板の表示部に形成されて前記共通ラインと接続された共通電極と、前記ゲートラ

イン及び前記データラインの交差部に形成された薄膜トランジスタと、前記ゲートラインと前記データラインの間に形成されたゲート絶縁膜と、前記薄膜トランジスタを保護するために前記ゲート絶縁膜上に形成された保護膜と、前記薄膜トランジスタと接続されて前記共通電極と水平電界を生成する画素電極をさらに具備することを特徴とする請求項 1 記載の液晶表示素子。

【請求項 3】

前記第 1 ショーティングバーは、前記ゲートライン及び前記データラインのうちのいずれか一つと同一な金属で形成されたことを特徴とする請求項 2 記載の液晶表示素子。

【請求項 4】

前記第 1 ダミーラインは、前記画素電極と同一な金属で形成されたことを特徴とする請求項 2 記載の液晶表示素子。

【請求項 5】

前記少なくとも一層の絶縁膜は、前記ゲート絶縁膜及び前記保護膜であることを特徴とする請求項 2 記載の液晶表示素子。

【請求項 6】

前記少なくとも一層の絶縁膜は、前記保護膜であることを特徴とする請求項 2 記載の液晶表示素子。

【請求項 7】

表示部と非表示部に定義された基板と、前記基板上に形成されたゲートラインと、前記ゲートラインと平行に形成された共通ラインと、前記ゲートライン及び共通ラインと絶縁されるように交差して画素領域を決定するデータラインと、前記非表示部に位置して前記ゲートライン、前記共通ライン及び前記データラインのうちの少なくともいずれか一つと接続されて、前記表示部の残留成分を蓄積して除去する少なくとも一つのキャパシタを具備し、

前記キャパシタは、前記ゲートライン及び前記共通ラインのうちの少なくともいずれか一つと接続された第 1 キャパシタと、前記データラインと接続された第 2 キャパシタとを含み、

前記基板の非表示部に形成されて前記第 1 キャパシタに接続された第 1 静電気防止手段と、前記基板の非表示部に形成されて前記第 2 キャパシタに接続された第 2 静電気防止手段とをさらに具備し、

前記第 2 キャパシタは、前記第 2 静電気防止手段と接続された第 2 ショーティングバーと、前記第 2 ショーティングバー上に形成された少なくとも一層の絶縁膜と、前記少なくとも一層の絶縁膜上に前記第 2 ショーティングバーと重畳するように形成された第 2 ダミーラインとを含むことを特徴とする液晶表示素子。

【請求項 8】

前記基板の表示部に形成されて前記共通ラインと接続された共通電極と、前記ゲートライン及び前記データラインの交差部に形成された薄膜トランジスタと、前記ゲートラインと前記データラインの間に形成されたゲート絶縁膜と、前記薄膜トランジスタを保護するために前記ゲート絶縁膜上に形成された保護膜と、前記薄膜トランジスタと接続されて前記共通電極と水平電界を生成する画素電極をさらに具備することを特徴とする請求項 7 記載の液晶表示素子。

【請求項 9】

前記第 2 ショーティングバーは、前記ゲートライン及び前記データラインのうちのいずれか一つと同一な金属で形成されたことを特徴とする請求項 8 記載の液晶表示素子。

【請求項 10】

前記第 2 ダミーラインは、前記画素電極と同一な金属で形成されたことを特徴とする請求項 8 記載の液晶表示素子。

【請求項 11】

前記少なくとも一層の絶縁膜は、前記ゲート絶縁膜及び前記保護膜であることを特徴とする請求項 8 記載の液晶表示素子。

10

20

30

40

50

【請求項 1 2】

前記少なくとも一層の絶縁膜は、前記保護膜であることを特徴とする請求項 8 記載の液晶表示素子。

【請求項 1 3】

表示部と非表示部に定義された基板を用意する段階と、前記基板上にゲートラインを形成する段階と、前記ゲートラインと平行に共通ラインを形成する段階と、前記ゲートライン及び前記共通ラインと絶縁されるように交差して画素領域を決定するデータラインを形成する段階と、前記非表示部に位置して前記ゲートライン、前記共通ライン及び前記データラインのうちの少なくともいずれか一つと接続されて、前記表示部の残留成分を蓄積して除去する少なくとも一つのキャパシタを形成する段階とを含み、

10

前記少なくとも一つのキャパシタは、前記ゲートライン及び前記共通ラインのうちの少なくともいずれか一つと接続された第 1 キャパシタと、前記データラインと接続された第 2 キャパシタとを含み、

前記基板の非表示部に前記第 1 キャパシタに接続された第 1 静電気防止手段を形成する段階と、前記基板の非表示部に前記第 2 キャパシタに接続された第 2 静電気防止手段を形成する段階とをさらに含み、

前記第 1 キャパシタは、前記第 1 静電気防止手段と接続された第 1 ショーティングバーと、前記第 1 ショーティングバー上に形成された少なくとも一層の絶縁膜と、前記少なくとも一層の絶縁膜上に前記第 1 ショーティングバーと重畳するように形成された第 1 ダミーラインとを含むことを特徴とする液晶表示素子の製造方法。

20

【請求項 1 4】

前記基板の表示部に前記共通ラインに接続された共通電極を形成する段階と、前記ゲートライン及び前記データラインの交差部に薄膜トランジスタを形成する段階と、前記ゲートラインと前記データラインの間にゲート絶縁膜を形成する段階と、前記薄膜トランジスタを保護するために前記ゲート絶縁膜上に保護膜を形成する段階と、前記薄膜トランジスタと接続されて前記共通電極と水平電界を生成する画素電極を形成する段階とをさらに含むことを特徴とする請求項 1 5 記載の液晶表示素子の製造方法。

【請求項 1 5】

前記第 1 ショーティングバーは、前記ゲートライン及び前記データラインのうちのいずれか一つと同一な金属で形成されたことを特徴とする請求項 1 4 記載の液晶表示素子の製造方法。

30

【請求項 1 6】

前記第 1 ダミーラインは、前記画素電極と同一な金属で形成されたことを特徴とする請求項 1 4 記載の液晶表示素子の製造方法。

【請求項 1 7】

前記少なくとも一層の絶縁膜は、前記ゲート絶縁膜及び前記保護膜であることを特徴とする請求項 1 4 記載の液晶表示素子の製造方法。

【請求項 1 8】

前記少なくとも一層の絶縁膜は、前記保護膜であることを特徴とする請求項 1 4 記載の液晶表示素子の製造方法。

40

【請求項 1 9】

表示部と非表示部に定義された基板を用意する段階と、前記基板上にゲートラインを形成する段階と、前記ゲートラインと平行に共通ラインを形成する段階と、前記ゲートライン及び前記共通ラインと絶縁されるように交差して画素領域を決定するデータラインを形成する段階と、前記非表示部に位置して前記ゲートライン、前記共通ライン及び前記データラインのうちの少なくともいずれか一つと接続されて、前記表示部の残留成分を蓄積して除去する少なくとも一つのキャパシタを形成する段階とを含み、

前記少なくとも一つのキャパシタは、前記ゲートライン及び前記共通ラインのうちの少なくともいずれか一つと接続された第 1 キャパシタと、前記データラインと接続された第 2 キャパシタとを含み、

50

前記基板の非表示部に前記第 1 キャパシタに接続された第 1 静電気防止手段を形成する段階と、前記基板の非表示部に前記第 2 キャパシタに接続された第 2 静電気防止手段を形成する段階とをさらに含み、

前記第 2 キャパシタは、前記第 2 静電気防止手段に接続された第 2 ショーティングバーと、前記第 2 ショーティングバー上に形成された少なくとも一層の絶縁膜と、前記少なくとも一層の絶縁膜上に前記第 2 ショーティングバーと重畳するように形成された第 2 ダミーラインとを含むことを特徴とする液晶表示素子の製造方法。

【請求項 20】

前記基板の表示部に前記共通ラインに接続された共通電極を形成する段階と、前記ゲートライン及び前記データラインの交差部に薄膜トランジスタを形成する段階と、前記ゲートラインと前記データラインの間にゲート絶縁膜を形成する段階と、前記薄膜トランジスタを保護するために前記ゲート絶縁膜上に保護膜を形成する段階と、前記薄膜トランジスタと接続されて前記共通電極と水平電界を生成する画素電極を形成する段階とをさらに含むことを特徴とする請求項 19 記載の液晶表示素子の製造方法。

10

【請求項 21】

前記第 2 ショーティングバーは、前記ゲートライン及び前記データラインのうちのいずれか一つと同一な金属で形成されたことを特徴とする請求項 20 記載の液晶表示素子の製造方法。

【請求項 22】

前記第 2 ダミーラインは、前記画素電極と同一な金属で形成されたことを特徴とする請求項 20 記載の液晶表示素子の製造方法。

20

【請求項 23】

前記少なくとも一層の絶縁膜は、前記ゲート絶縁膜及び前記保護膜であることを特徴とする請求項 20 記載の液晶表示素子の製造方法。

【請求項 24】

前記少なくとも一層の絶縁膜は、前記保護膜であることを特徴とする請求項 20 記載の液晶表示素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示素子に関わり、特に、水平電界型液晶パネル内の残留直流成分を除去して画質を向上させることができる、液晶表示素子及びその製造方法に関するものである。

30

【背景技術】

【0002】

通常の液晶表示素子は、スイッチング素子として薄膜トランジスタ(Thin Film Transistor: 以下 "TFT" という)を利用して自然な動画像を表示している。このような液晶表示素子はブラウン管に比べて小型化が可能で、携帯用テレビ、ノートブック・コンピューター及びラップ・トップ型パーソナル・コンピューターなどのモニターとして商品化されている。

40

【0003】

液晶表示素子は、画素がゲートラインとデータラインの交差部のそれぞれに配列された画素マトリクスに、テレビ信号のようなビデオ信号に該当する画像を表示する。画素のそれぞれは、データラインからのデータ信号の電圧レベルにより透過光量を調節する液晶セルを含む。TFTはゲートラインとデータラインの交差部に設置されて、ゲートラインからのスキャン信号(ゲートパルス)にตอบสนองして、液晶セルの方へ伝送されるデータ信号を切り換える。

【0004】

このような液晶表示素子は、液晶を駆動させる電界の方向により垂直方向電界が印加される垂直電界型液晶表示素子と、水平電界が印加されて視野角が広がる水平電界型液晶

50

表示素子とに大別することができる。

【 0 0 0 5 】

水平電界型液晶表示素子は、垂直電界型液晶表示素子とは異なって、画素セル内の液晶が水平電界により水平方向を基準として回転することにより、視野角が広いという長所がある。

【 0 0 0 6 】

図 1 は、従来の水平電界型液晶表示素子の信号ラインを示す図面である。

図 1 を参照すると、TFTアレイが形成された下部基板(2)上には、共通電極に共通電圧(Vcom)を供給するための多数の共通ライン(CL 1) ~ (CLm)と、ゲート電極にゲート電圧を供給するための多数のゲートライン(GL 1) ~ (GLm)と、画素電極にデータ電圧を供給するための多数のデータライン(DL 1) ~ (DLn)を具備する。

10

【 0 0 0 7 】

共通ライン(CL 1) ~ (CLm)はゲートライン(GL 1) ~ (GLm)と並んだ方向にm個形成される。

【 0 0 0 8 】

ゲートライン(GL 1) ~ (GLm)は、共通ライン(CL 1) ~ (CLm)と並んだ方向に共通ライン(CL 1) ~ (CLm)と交差的にm個形成されて、TFTのゲート電極にゲート電圧を供給する。

【 0 0 0 9 】

データライン(DL 1) ~ (DLn)は、ゲートライン(GL 1) ~ (GLm)と垂直した方向にn個形成されて、データ信号をTFTのドレイン電極を通して画素電極に印加する。このようなデータライン(DL)と交差する共通ライン(CL)及びゲートライン(SL)の交差部には画素領域が形成されて、データライン(DL)とゲートライン(GL)の交差部には薄膜トランジスタが形成される。

20

【 0 0 1 0 】

供給ライン(SL)は共通ライン(CL)に共通電圧を供給する。この供給ライン(SL)は、少なくともゲートライン(GL 1) ~ (GLm)と垂直な方向に下部基板(2)の両側端に形成される。このような供給ライン(SL)と、ゲートライン(GL)、データライン(DL)及び共通ライン(CL)を含む信号ラインとの間には、静電気防止回路(4 , 8)が設置される。

【 0 0 1 1 】

従来、水平電界型液晶表示素子のゲートライン(GL 1) ~ (GLm)とデータライン(DL 1) ~ (DLn)は、TFTの製造誤差及び作業エラーにより断線する事故が時々発生した。ゲートライン(GL 1) ~ (GLm)が断線した場合、一部TFTが駆動しなくなり、またデータライン(DL 1) ~ (DLn)が断線した場合、一部TFTにデータ信号が供給されなくなる。このようなゲートライン(GL 1) ~ (GLm)及びデータライン(DL 1) ~ (DLn)が断線しているのかの可否は、図示しないテスト回路で検査する。テストが完了した後、テスト信号や液晶パネル内の残留直流成分は供給ライン(SL)を経由してバイパスすることにより除去される。

30

【 0 0 1 2 】

一方、TFTの動作をテストするために、それぞれのゲートショータッピングバー(1 2)とデータショータッピングバー(1 0)に電圧を加えて得た出力電圧値でTFTの正常的な動作可否を感知する。

40

【 0 0 1 3 】

ゲートショータッピングバー(1 2)は、ゲートライン(GL)及び共通ライン(CL)の中の少なくともいずれか一つと連結されており、データショータッピングバー(1 0)は、データライン(DL)に連結されている。ゲートショータッピングバー(1 2)に接続されたゲートライン(GL)及び共通ライン(CL)の中の少なくともいずれか一つは、静電気を防止することができる静電気防止回路(8)を通して供給ライン(SL)と接続されており、データショータッピングバー(1 0)に接続されたデータライン(DL)は、静電気を防止することができる静電気防止回路(4)を通して供給ライン(SL)に接続されている。供給ライン(SL)は下部基板(2)の表示領域の周囲を取り囲み、データライン(DL)、ゲートライン(GL)及び共通ライン(CL)のそれぞれの両縁端に形成された静電気防止回路(4 , 8)に連結されている。

50

【 0 0 1 4 】

このように、従来の液晶表示素子は、供給ライン(SL)を通してバイパスループ(bypass loop)が形成されていて、このバイパスループを通して液晶パネル内に残留する直流成分や電源オフ信号はバイパスされて自然放電することにより除去される。

【 0 0 1 5 】

しかし、バイパスループと信号ラインとの接触不良、あるいはバイパスループの欠陥が発生した場合、残留直流成分が液晶パネルの表示領域に加えられることにより、液晶パネル内の汚染物質が励起されて表示領域の画質が低下する。特に、図示しない液晶注入口の周辺を中心に染みなどが現われて画質が低下する問題点がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 6 】

従って、本発明の目的は、水平電界型液晶パネル内の残留直流成分を除去して画質を向上させることができる液晶表示素子及びその製造方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 7 】

上記の目的を達成するために、本発明に係る液晶表示素子は、表示部と非表示部に定義された基板と、前記基板上に形成されたゲートラインと、前記ゲートラインと平行に形成された共通ラインと、前記ゲートライン及び前記共通ラインと絶縁されるように交差して画素領域を決定するデータラインと、前記非表示部に位置して前記ゲートライン、前記共通ライン及び前記データラインのうちの少なくともいずれか一つと接続されて、前記表示部の残留成分を蓄積して除去する少なくとも一つのキャパシタを具備することを特徴とする。

【 0 0 1 8 】

前記液晶表示素子は、前記基板の表示部に形成されて前記共通ラインと接続された共通電極と、前記ゲートライン及び前記データラインの交差部に形成された薄膜トランジスタと、前記ゲートラインと前記データラインの間に形成されたゲート絶縁膜と、前記薄膜トランジスタを保護するために前記ゲート絶縁膜上に形成された保護膜と、前記薄膜トランジスタと接続されて前記共通電極と水平電界を生成する画素電極をさらに具備することを特徴とする。

【 0 0 1 9 】

前記キャパシタは、前記ゲートライン及び前記共通ラインのうちの少なくともいずれか一つと接続された第1キャパシタと、前記データラインと接続された第2キャパシタを含むことを特徴とする。

【 0 0 2 0 】

前記液晶表示素子は、前記基板の非表示部に形成されて前記第1キャパシタに接続された第1静電気防止手段と、前記基板の非表示部に形成されて前記第2キャパシタに接続された第2静電気防止手段とをさらに具備することを特徴とする。

【 0 0 2 1 】

前記第1キャパシタは、前記第1静電気防止手段と接続された第1ショーティングバーと、前記第1ショーティングバー上に形成された少なくとも一層の絶縁膜と、前記少なくとも一層の絶縁膜上に前記第1ショーティングバーと重畳するように形成された第1ダミーラインとを含むことを特徴とする。

【 0 0 2 2 】

前記第1ショーティングバーは、前記ゲートライン及び前記データラインのうちのいずれか一つと同一な金属で形成されたことを特徴とする。

【 0 0 2 3 】

前記第1ダミーラインは、前記画素電極と同一な金属で形成されたことを特徴とする。

【 0 0 2 4 】

前記少なくとも一層の絶縁膜は、前記ゲート絶縁膜及び前記保護膜であることを特徴と

10

20

30

40

50

する。

【0025】

前記少なくとも一層の絶縁膜は、前記保護膜であることを特徴とする。

【0026】

前記第2キャパシタは、前記第2静電気防止手段と接続された第2ショーティングバーと、前記第2ショーティングバー上に形成された少なくとも一層の絶縁膜と、前記少なくとも一層の絶縁膜上に前記第2ショーティングバーと重畳するように形成された第2ダミーラインとを含むことを特徴とする。

【0027】

前記第2ショーティングバーは、前記ゲートライン及びデータラインのうちのいずれか一つと同一な金属で形成されたことを特徴とする。

10

【0028】

前記第2ダミーラインは、前記画素電極と同一な金属で形成されたことを特徴とする。

【0029】

前記少なくとも一層の絶縁膜は、前記ゲート絶縁膜及び前記保護膜であることを特徴とする。

【0030】

前記少なくとも一層の絶縁膜は、前記保護膜であることを特徴とする。

【0031】

上記の目的を達成するために、本発明に係る液晶表示素子の製造方法は、表示部と非表示部に定義された基板を用意する段階と、前記基板上にゲートラインを形成する段階と、前記ゲートラインと平行に共通ラインを形成する段階と、前記ゲートライン及び前記共通ラインと絶縁されるように交差して画素領域を決定するデータラインを形成する段階と、前記非表示部に位置して前記ゲートライン、前記共通ライン及び前記データラインのうちの少なくともいずれか一つと接続されて、前記表示部の残留成分を蓄積して除去する少なくとも一つのキャパシタを形成する段階とを含むことを特徴とする。

20

【発明の効果】

【0032】

本発明に係る液晶表示素子は、液晶パネル内の信号ライン間の接触不良やバイパスループのオープンにより残留する直流成分を除去するためのバイパスキャパシタが形成されている。このバイパスキャパシタは、ゲート絶縁膜及び/あるいは保護膜を間に置いて形成されるショーティングバーとダミーラインを通して形成される。このバイパスキャパシタを通して残留直流成分が蓄積することにより液晶パネルの表示部で残留直流成分による画質低下を防止することができる。

30

【発明を実施するための最良の形態】

【0033】

前記目的以外の本発明の他の目的及び利点は、添付した図面を参照した本発明の好ましい実施例についての詳細な説明を通して明らかになる。

【0034】

以下、発明の実施例を、添付した図2乃至図6Bを参照して詳しく説明する。

40

図2は本発明に係るIPS(In-Plane Switching)モードの液晶表示素子を示す平面図である。

図2を参照すると、本発明に係るIPSモードの液晶表示素子は、共通電極に共通電圧(V_{com})を供給する多数の共通ライン(CL1)~(CLm)と、ゲート電圧をTFTのゲート電極に供給する多数のゲートライン(GL1)~(GLm)と、データ電圧をTFTのドレイン電極を通して画素電極に供給する多数のデータライン(DL1)~(DLn)と、データライン(DL1)~(DLn)の終端に形成される第1バイパスキャパシタ(C1)と、ゲートライン(GL1)~(GLm)の終端に形成される第2バイパスキャパシタ(C2)を具備する。ここで、共通ライン(CL)、ゲートライン(GL)及びデータライン(DL)は表示部(62)に形成されていて、第1及び第2バイパスキャパシタ(C1、C2)は表示部(62)を除いた非表示部に形成される。

50

【 0 0 3 5 】

共通ライン(CL1)~(CLm)は、ゲートライン(GL1)~(GLm)と並んだ方向にm個形成されており、共通ライン(CL1)~(CLm)に共通電圧を供給するための供給ライン(SL)は、ゲートライン(GL1)~(GLm)と垂直な方向に下部基板(32)の両側端に形成される。共通ライン(CL)は、第2ショーティングバー(42)と直接連結されるか、第2ショーティングバー(42)と連結された第3静電気防止回路(38)に接続される。

【 0 0 3 6 】

ゲートライン(GL1)~(GLm)は、共通ライン(CL1)~(CLm)と並んだ方向に共通ライン(CL1)~(CLm)と交差的にm個形成されて、ゲート電圧をTFTのゲート電極に印加する。ゲートライン(GL)は、第2ショーティングバー(42)と連結された第3静電気防止回路(38)にそれぞれ接続されるか、第2ショーティングバー(42)と直接連結される。

10

【 0 0 3 7 】

データライン(DL1)~(DLn)は、ゲートライン(GL1)~(GLm)と垂直な方向にn個形成されて、データ信号をTFTのドレイン電極を通して画素電極に印加する。データライン(DL)の中から奇数番目のデータライン(DL1、DL3、...DL(n-3)、DL(n-1))は、第1ショーティングバー(40)と連結される。また、奇数番目のデータライン(DL1、DL3、...DL(n-3)、DL(n-1))のそれぞれと第1連結ライン(44)の間には、第1静電気防止回路(34)が位置する。データライン(DL)の中から偶数番目のデータライン(DL2、DL4、...DL(n-2)、DLn)は、第1ショーティングバー(40)と連結される。また、偶数番目のデータライン(DL2、DL4、...DL(n-2)、DLn)のそれぞれと第2連結ライン(46)の間には、第2静電気防止回路(36)が位置する。

20

【 0 0 3 8 】

このようなゲートライン(GL)とデータライン(DL)の交差部の下部基板(32)には、図3及び図4に図示したようにTFTが形成されていて、データライン(DL)とゲートライン(GL)及び共通ライン(CL)により定義された画素領域には、画素電極(72)がマトリクス形態に配置される。また、前記画素領域には、画素電極(72)と水平電界を生成するように画素電極(72)と交差的にストライプ形態で共通電極(76)が形成される。

【 0 0 3 9 】

TFTは、ゲートライン(GL)に接続されたゲート電極(66)、データライン(DL)に接続されたソース電極(68)及びコンタクトホール(74)を通して画素電極(72)に接続されたドレイン電極(70)を具備する。また、TFTは、ゲート電極(66)に供給されるゲート電圧により、ソース電極(68)とドレイン電極(70)の間に道通チャンネルを形成するための半導体層(78、80)をさらに具備する。この半導体層(78、80)は、ゲート絶縁膜(82)上に形成される。このようなTFTは、ゲートライン(GL)からのゲート信号に応答してデータライン(DL)からのデータ信号を選択的に画素電極(72)へ供給する。

30

【 0 0 4 0 】

画素電極(72)は、データライン(DL)とゲートライン(GL)により分割された画素領域に位置しており、光透過率が高い透明伝導性物質で構成される。また、画素電極(72)は、下部基板(32)の全面に塗布される保護層(84)上に形成されていて、保護層(84)を貫通するコンタクトホール(74)を通してドレイン電極(70)と電氣的に接続される。

40

【 0 0 4 1 】

共通電極(76)は、データライン(DL)とゲートライン(GL)により分割された画素領域に画素電極(72)と交差的に配置されている。共通電極(76)は、下部基板(32)上に、ゲートライン(GL)、データライン(DL)及び画素電極(72)のうちの少なくともいずれか一つと同一な金属で形成される。

【 0 0 4 2 】

このように、TFT、画素電極(72)及び共通電極(76)が形成された下部基板(32)は、図5に図示したように、液晶層(60)を間に置いてブラックマトリクス(54)、カラーフィルター(56)及び平坦化層(58)が形成された上部基板(31)と対面的に配置される。

50

【 0 0 4 3 】

ブラックマトリクス(54)は、上部基板(31)上にマトリクス形態に形成されていて、上部基板(31)の表面をカラーフィルター(56)が形成される多数のセル領域に分けると同時に、隣接セル間の光干渉を防止する役目をする。このブラックマトリクス(54)により、セル単位に区分された上部基板(31)上に、赤、緑、青の三原色のカラーフィルター(56)が順次的に形成される。このカラーフィルター(56)は、顔料が分散されたアクリル、あるいはポリイミド系樹脂で形成されており、混色を防止するために、ブラックマトリクス(54)上で互いに分離するように形成される。カラーフィルター(56)の表面には、カラーフィルター(56)の汚染防止と、分離して形成された赤、緑、青色のカラーフィルター(56)間の段差を補償して上部基板(31)を平坦化させるための平坦化層(58)が形成される。

10

【 0 0 4 4 】

このような液晶表示素子は、TFTのゲート電極(66)にゲートハイパルスが印加されると、ソース電極(68)とドレイン電極(70)の間にチャンネルが形成されるスキニング期間の間、水平方向に対向している画素電極(72)と共通電極(76)の間に、ビデオデータ電圧と共通電圧との差の電圧に該当する水平電界が印加される。この水平電界により液晶層(60)の液晶が駆動することにより、バックライトから入射される光の光量を調節する。

【 0 0 4 5 】

一方、本発明に係る液晶表示素子の第1バイパスキャパシタ(C1)は、データライン(DL)の終端と接続されるように非表示領域に形成される。この第1バイパスキャパシタ(C1)は、図6Aに図示したように、ゲート絶縁膜(82)及び保護膜(84)を間に置いて形成される第1ショーティングバー(40)と第1ダミーライン(52)で構成される。あるいは、図6Bに図示したように、ゲート絶縁膜(82)上に形成された第1ショーティングバー(40)と、そのショーティングバー(40)と保護膜(84)を間に置いて重畳されるように形成される第1ダミーライン(52)で構成される。すなわち、第1ショーティングバー(40)は、ゲート電極(66)と同一なゲート金属で同時に形成されるか、ソース及びドレイン電極(68、70)と同一なデータ金属で同時に形成される。第1ダミーライン(52)は、画素電極(72)と同一な金属である透明伝導性金属で画素電極(72)と同時に形成され、第1ダミーライン(52)には所定の電界を加えたり、または加えないこともある。ここで、透明伝導性金属としては、インジウム - スズ - 酸化物(Indium-Tin-Oxide)、インジウム - 亜鉛 - 酸化物(Indium-Zinc-Oxide)、あるいはインジウム - スズ - 亜鉛 - 酸化物(Indium-Tin-Zinc-Oxide)などが利用される。

20

30

【 0 0 4 6 】

ゲート金属で第1ショーティングバー(40)を形成する場合は、ゲート絶縁膜(82)及び保護膜(84)を間に置いて、第1ショーティングバー(40)と第1ダミーライン(52)で構成された第1バイパスキャパシタ(C1)が形成される。データ金属で第1ショーティングバー(40)を形成する場合は、保護膜(84)を間に置いて、第1ショーティングバー(40)と第1ダミーライン(52)で構成された第1バイパスキャパシタ(C1)が形成される。

40

【 0 0 4 7 】

第2バイパスキャパシタ(C2)は、ゲートライン(GL)の終端と接続されるように非表示領域に形成される。この第2バイパスキャパシタ(C2)は、保護膜(84)、あるいはゲート絶縁膜(82)及び保護膜(84)を間に置いて形成される、第2ショーティングバー(42)と第2ダミーライン(50)で構成される。あるいは、図6Bに図示したように、ゲート絶縁膜(82)上に形成された第2ショーティングバー(42)と、そのショーティングバー(42)と保護膜(84)とを間に置いて、重畳されるように形成される第2ダミーライン(50)で構成される。すなわち、第2ショーティングバー(42)は、ゲート電極(66)と同一なゲート金属で同時に形成されるか、ソース及びドレイン電極(68、70)と同一なデータ金属で同時に形成される。第2ダミーライン(50)は、画素電極(72)と同一な透明

50

伝導性金属で画素電極(72)と同時に形成される。このような第2ダミーライン(50)には所定の電界を加えたり、または加えないこともある。

【0048】

ゲート金属で第2ショーティングバー(42)を形成する場合は、ゲート絶縁膜(82)及び保護膜(84)を間に置いて、第2ショーティングバー(42)と第2ダミーライン(50)で構成された第2バイパスキャパシタ(C2)が形成される。データ金属で第2ショーティングバー(42)を形成する場合は、保護膜(84)を間に置いて、第2ショーティングバー(42)と第2ダミーライン(50)で構成された第2バイパスキャパシタ(C2)が形成される。

【0049】

このような第1及び第2バイパスキャパシタ(C1、C2)は、データライン(DL)に接続される第1ショーティングバー(40)と、ゲートライン(GL)に接続される第2ショーティングバー(42)と、等電位を成す共通ライン(CL)とで構成されたバイパスループの断線(open)が発生した際に、液晶パネル内に残留成分を蓄積して徐々に放電させる。このように、バイパスループの断線の時にも、液晶パネル内に残留する直流成分や電源オフ信号を、第1及び第2バイパスキャパシタ(C1、C2)に蓄積した後に除去することにより、液晶パネルの損傷を最小化して画質を向上させることができる。

【0050】

以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能である。

【図面の簡単な説明】

【0051】

【図1】従来の水平電界型液晶表示素子を示す平面図。

【図2】本発明に係る水平電界型液晶表示素子を示す平面図。

【図3】図2に図示したゲートラインとデータラインの交差部の間に形成される1画素の下部基板を示す平面図。

【図4】図3で線 "I-I'" に沿って切り取った1画素の下部基板を示す断面図。

【図5】図2に図示した1画素の上部基板を示す断面図。

【図6A】図2に図示した第1及び第2バイパスキャパシタを詳細に示す断面図。

【図6B】図2に図示した第1及び第2バイパスキャパシタを詳細に示す断面図。

【符号の説明】

【0052】

2、32：下部基板

4、6、8、34、36、38：静電気防止回路

10、12、40、42：ショーティングバー

14、16：連結ライン

50、52：ダミーライン

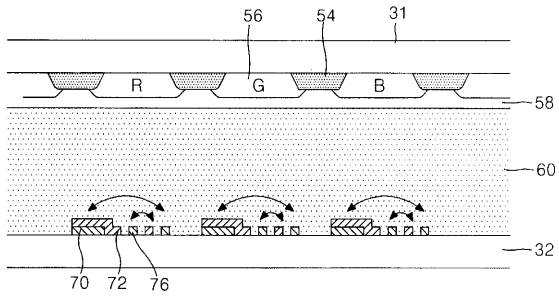
54：ブラックマトリクス

10

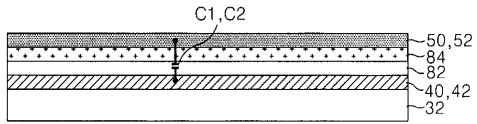
20

30

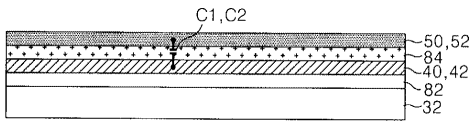
【図5】



【図6A】



【図6B】



フロントページの続き

- (74)代理人 100101498
弁理士 越智 隆夫
- (74)代理人 100096688
弁理士 本宮 照久
- (74)代理人 100102808
弁理士 高梨 憲通
- (74)代理人 100104352
弁理士 朝日 伸光
- (74)代理人 100107401
弁理士 高橋 誠一郎
- (74)代理人 100106183
弁理士 吉澤 弘司
- (72)発明者 朴 巡 英
大韓民国 慶尚南道 河東郡 辰橋面 松院里 8 1 7
- (72)発明者 李 徳 遠
大韓民国 京畿道 城南市 壽井區 丹垈洞 1 5 6 - 7

審査官 福島 浩司

- (56)参考文献 特開平 1 0 - 0 1 0 4 9 4 (J P , A)
特開平 0 9 - 1 4 6 1 1 2 (J P , A)
特開平 0 6 - 3 1 7 8 1 0 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
- | | |
|---------|-------------|
| G 0 2 F | 1 / 1 3 4 5 |
| G 0 2 F | 1 / 1 3 6 8 |

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4064906B2	公开(公告)日	2008-03-19
申请号	JP2003371883	申请日	2003-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	朴巡英 李德遠		
发明人	朴巡英 李德遠		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134363 G02F1/136213		
FI分类号	G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA24 2H092/GA29 2H092/GA64 2H092/HA03 2H092/HA06 2H092/HA12 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB62 2H092/JB66 2H092/JB67 2H092/JB79 2H092/KA12 2H092/KA18 2H092/KA22 2H092/KB04 2H092/KB25 2H092/MA01 2H092/MA12 2H092/MA37 2H092/NA14 2H092/NA17 2H092/NA25 2H092/QA06 2H092/QA09 2H192/AA24 2H192/BB02 2H192/BC31 2H192/CB05 2H192/EA22 2H192/EA43 2H192/GA13 2H192/GA15 2H192/JA33		
代理人(译)	白井伸一 藤野郁夫 朝日 伸光 高桥诚一郎 吉泽博		
审查员(译)	福岛浩二		
优先权	1020020088203 2002-12-31 KR		
其他公开文献	JP2004212951A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种能够通过去除水平电场型液晶面板中的残余直流分量来改善图像质量的液晶显示装置及其制造方法。根据本发明的液晶显示装置包括限定在显示部分和非显示部分中的基板, 形成在基板上的栅极线, 与栅极线形成直线的公共线, 与栅极线和公共线相交的数据线, 以便彼此绝缘并确定像素区域, 以及栅极线, 公共线和数据线中的至少一个并且至少一个电容器连接到一个电容器, 用于累积和去除显示单元的残余分量。 .The

【 図 3 】

