

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3891008号  
(P3891008)

(45) 発行日 平成19年3月7日(2007.3.7)

(24) 登録日 平成18年12月15日(2006.12.15)

(51) Int.Cl.

F I

**G09G 3/36 (2006.01)**

G09G 3/36

**G02F 1/133 (2006.01)**

G02F 1/133 550

**G02F 1/1343 (2006.01)**

G02F 1/133 575

**G09G 3/20 (2006.01)**

G02F 1/1343

G09G 3/20 611J

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2002-58152 (P2002-58152)  
 (22) 出願日 平成14年3月5日(2002.3.5)  
 (65) 公開番号 特開2003-255907 (P2003-255907A)  
 (43) 公開日 平成15年9月10日(2003.9.10)  
 審査請求日 平成16年9月10日(2004.9.10)

(73) 特許権者 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (72) 発明者 萬場 則夫  
 神奈川県川崎市麻生区王禅寺1099番地  
 株式会社日立製作所システム開発研究所  
 内  
 (72) 発明者 古橋 勉  
 神奈川県川崎市麻生区王禅寺1099番地  
 株式会社日立製作所システム開発研究所  
 内

最終頁に続く

(54) 【発明の名称】 表示装置及び情報機器

(57) 【特許請求の範囲】

【請求項1】

複数本のドレイン線と、前記ドレイン線と直交する複数本のゲート線と、前記ゲート線と略平行な複数本の共通電極線とで構成される配線部と、前記ドレイン線と前記ゲート線との交差部付近に夫々形成したスイッチング素子と、前記スイッチング素子の出力端に接続された画素電極と、前記画素電極と対峙し、且つ前記共通電極線と接続された共通電極と、保持容量とで構成される画素部とを含むアレイ基板と、前記アレイ基板と対向して設置される対向基板と、前記アレイ基板と前記対向基板とで挟持される液晶層と、前記アレイ基板と前記対向基板の外側に設置された2枚の偏光板とで構成される表示パネルと、

前記ゲート線を1水平期間毎に順次走査するゲート走査駆動回路と、

前記共通電極線に対して夫々独立に駆動する共通電極駆動回路とから構成される表示装置において、

所定の時分割数に応じた複数の前記ドレイン線から、任意にドレイン線を選択する事が出来る時分割スイッチと、

前記時分割スイッチの選択、非選択状態を制御する複数の制御信号線と、

複数の前記時分割スイッチに階調信号を伝播する複数の階調信号線と、

表示データに対応した前記階調信号を所定の時分割数に対応した時系列で出力端子から前記階調信号線へ出力する信号出力回路とを有し、

1本の前記共通電極線に接続された1水平ラインを構成する前記画素部と隣接する前記2本のゲート線に、前記所定の時分割数に応じた複数の該画素部を交互に接続する画素配

10

20

列とし、

ある水平期間において、前記ゲート走査駆動回路が2本の該ゲート線のうち、一方の該ゲート線を選択すると、

前記時分割スイッチにより選択状態となった1本又は複数本の前記ドレイン線に、前記時分割スイッチを介して、前記階調信号線により伝播される前記階調信号が印加することで、選択状態となっている前記所定の時分割数に応じた複数の画素部の画素電極に階調信号を順次印加し、該画素電極の階調信号と、前記共通電極駆動回路が共通電極に印加した共通電極電圧とにより発生する電界で液晶の方向を制御し、

前記水平期間の次の水平期間において、前記ゲート走査駆動回路が2本の該ゲート線のうち、もう一方の該ゲート線を選択すると、

前記時分割スイッチにより選択状態となった1本又は複数本の前記ドレイン線に、前記時分割スイッチを介して、前記階調信号線により伝播される前記階調信号が順次印加することで、選択状態となっている前記所定の時分割数に応じた複数の画素部の画素電極に階調信号を印加し、該画素電極の階調信号と、前記共通電極駆動回路が共通電極に印加した共通電極電圧とにより発生する電界で液晶の方向を制御することで、前記1本の共通電極線に接続された1水平ラインを構成する全ての画素部の液晶を活性化し、

前記所定の時分割数で分割された最初の選択期間に、前記時分割スイッチが前記複数のドレイン線全てを選択し、該時分割スイッチを介して、前記階調信号を該複数のドレイン線に印加し、

該複数のドレイン線の選択状態を維持した状態から、前記所定の時分割数で分割された残りの各選択期間で、順に1つのドレイン線を非選択状態とする事で、該ドレイン線に前記階調信号を順に保持させていき、選択状態にある前記ゲート線上の全ての画素部にある液晶セルを活性化し、

且つ、前記信号出力回路は、該各選択期間で保持状態となる画素部に対応した階調信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする表示装置。

#### 【請求項2】

請求項1記載の表示装置において、

前記信号出力回路は、隣接する出力端子から互いに異なる極性の階調信号を出力し、

前記共通電極駆動回路は、前記1本の共通電極線に接続された1水平ラインを構成する画素部が隣接する2本のゲート線のうち、最初に選択される該ゲート線の選択期間中又は該選択期間の前に、該共通電極線に印加する共通電極電圧の極性を変化させることを特徴とする表示装置。

#### 【請求項3】

請求項1記載の表示装置において、

前記表示部がR（赤）、G（緑）、及びB（青）の3つの画素で1ピクセルを構成する場合においては、

前記時分割スイッチによる時分割数が、R、G、及びBに対応した3時分割であることを特徴とする表示装置。

#### 【請求項4】

請求項1記載の表示装置において、

前記ゲート走査駆動回路、前記共通電極駆動回路、前記時分割スイッチ、及び前記スイッチング素子等を、前記アレイ基板上にpoly-Siを用いた薄膜トランジスタで構成することを特徴とする表示装置。

#### 【請求項5】

中央制御の働きをし、計算、論理、及び実行決定を行ない、入力装置、出力装置、及び記憶装置との信号の伝送を行なう中央処理装置と、

命令やデータの記憶に使用される該記憶装置と、

情報を、情報機器に入力するための該入力装置と、

該情報機器の内部から外部へ情報を出力し、更に表示用の信号を出力する該出力装置で構成される表示装置を備えた該情報機器において、

10

20

30

40

50

該表示装置は、請求項 1 記載の表示装置であることを特徴とする情報機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置及びその駆動用回路に係わり、特に液晶（低音ポリシリコンを含む）、有機ELを用いた表示装置及びその駆動用回路に関する。

【0002】

【従来の技術】

近年、大画面で高精細なアクティブマトリクス型液晶表示装置は、ノートPC用表示装置、デスクトップPC用モニターや、TV用モニター等への適用に伴い、活発に開発が進められている。これらの大画面・高精細なアクティブマトリクス型液晶表示装置では、特に視野角が重要な画像特性となる。一般的に普及しているTN型液晶表示方式は、基板の垂直方向に電界を印加し、基板と垂直な面内で液晶分子の方向を制御するために、原理的に画質特性の視野角に対する依存性が大きい。これに対し、原理的に非常に優れた視野角特性を実現することが可能な横電界方式（IPS）が注目されている。横電界方式は、通常のTN型液晶表示方式のように基板の垂直方向に電界を印加するのではなく、液晶に印加する電界方向を基板に対して略平行な方向とし、基板面内で液晶分子の方向を制御して光を変調する方式である。このようなIPS型液晶表示装置は、櫛歯状に配置された画素電極と共通電極とを各画素領域内に設ける事によって、液晶に印加する電界方向を基板に対してほぼ平行な方向に制御する。

【0003】

このIPS型液晶表示装置では、上述の通り画素電極と共通電極とを櫛歯状に配置するために開口率（透過率）が低くなる問題を有する。この透過率の問題は、櫛歯電極の距離を広くすることで改善する事が出来る。そして、櫛歯電極を広げた場合には、櫛歯電極間に印加する電圧を高くする必要がある、また、印加電圧を高くする事によって液晶の応答速度を向上させることも可能となる。その一方、印加電圧を高くする場合、液晶パネルを駆動する駆動用ICの耐圧増加、駆動電力の増大、及びTFT特性の経時劣化等の新たな問題が発生する。このようなIPS型液晶表示装置の特性上の課題である開口率と応答速度とを、液晶表示素子に供給する駆動電圧を増大させる事無く、且つ薄膜トランジスタに対する電氣的負荷を増大させる事無く向上させる液晶表示装置及びその駆動方式が、特開2001-228456などに開示されている。この方式は、走査線方向に対して夫々独立した共通電極配線を設け、画素電極への変調電圧を隣接する信号配線の電圧極性が逆方向となるように供給する方式である。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の駆動方式は、大画面・高精細な液晶表示装置を構成する場合に、夫々独立して設けた共通電極配線の波形遅延（歪み）が画質に大きな影響を及ぼす。大画面液晶表示装置では、共通電極配線の配線長が長くなるため、各共通電極配線の配線抵抗値は大きくなり、それと同時に配線容量も増加する。従って、各共通電極配線の時定数は大きくなり、所望の共通電極の電位へ到達するために必要とする時間が長くなる。高精細な液晶表示装置では、1フレーム期間で走査する水平ラインの数が多いため1水平期間が短くなり、大画面化して時定数が大きくなった共通電極配線では、共通電極の電位が1水平期間内に所望の共通電極電圧まで到達できない課題が生じる。また、この課題が生じる液晶パネルにおいては、横スミアと呼ばれる表示むらが発生しやすくなるなどの画質劣化も問題となる。

【0005】

本発明の目的は、横スミア等の表示むらを低減した表示装置及びその駆動回路を提供することである。

【0006】

【課題を解決するための手段】

10

20

30

40

50

本発明第1の実施の形態は、複数本のドレイン線と、前記ドレイン線と直交する複数本のゲート線と、前記ゲート線と略平行な複数本の共通電極線とで構成される配線部と、前記ドレイン線と前記ゲート線との交差部付近に夫々形成したスイッチング素子と、前記スイッチング素子の出力端に接続された画素電極と、前記画素電極と対峙し、且つ前記共通電極線と接続された画素電極と、保持容量とで構成される画素部と、前記配線部と前記画素部を含むアレイ基板と、前記アレイ基板と対向して設置される対向基板と、前記アレイ基板と前記対向基板とで挟持される液晶層と、前記アレイ基板と前記対向基板の外側に設置された2枚の偏光板とで構成される液晶パネルと、前記ドレイン線に表示と対応した階調信号を出力する信号出力回路と、前期ゲート線を1水平期間毎に順次走査するゲート走査駆動回路と、前記共通電極線に対して夫々独立に駆動する共通電極駆動回路とから構成される液晶表示装置において、1本の前記共通電極線に接続され1水平ラインを構成する前記画素部と隣接する2本の前記ゲート線のうち、一方の該ゲート線に略半数の該画素部を接続し、前記1水平ラインを構成する残りの該画素部が、もう一方の該ゲート線に接続される画素配列であり、ある水平期間において、前記ゲート走査駆動回路が前記一方のゲート線を選択すると、前期信号出力回路は前記略半数の画素部の画素電極に対応する階調信号を印加し、該画素電極の階調信号と、前記共通電極駆動回路が共通電極に印加した共通電極電圧とにより発生する電界で液晶の回転を制御し、前記水平期間の次の水平期間において、前記ゲート走査駆動回路が前記もう一方のゲート線を選択すると、前記信号出力回路は前記残りの画素部の画素電極に対応する階調信号を印加し、該画素電極の階調信号と、前記共通電極駆動回路が共通電極に印加した共通電極電圧とにより発生する電界で液晶の回転を制御することで、前記1本の共通電極線に接続された1水平ラインを構成する全ての画素部の液晶を活性化することを特徴とする。

10

20

## 【0007】

また、1本の前記共通電極線に接続された1水平ラインを構成する前記画素部が、該画素部に隣接する2本のゲート線に、1画素毎に交互に接続されることを特徴とする。

## 【0008】

本発明第2の実施の形態は、複数本のドレイン線と、前記ドレイン線と直交する複数本のゲート線と、前記ゲート線と略平行な複数本の共通電極線とで構成される配線部と、前記ドレイン線と前記ゲート線との交差部付近に夫々形成したスイッチング素子と、前記スイッチング素子の出力端に接続された画素電極と、前記画素電極と対峙し、且つ前記共通電極線と接続された画素電極と、保持容量とで構成される画素部と、前記配線部と前記画素部を含むアレイ基板と、前記アレイ基板と対向して設置される対向基板と、前記アレイ基板と前記対向基板とで挟持される液晶層と、前記アレイ基板と前記対向基板の外側に設置された2枚の偏光板とで構成される液晶パネルと、前記ゲート線を1水平期間毎に順次走査するゲート走査駆動回路と、前記共通電極線に対して夫々独立に駆動する共通電極駆動回路とから構成される液晶表示装置において、所定の時分割数に応じた複数の前記ドレイン線から、任意にドレイン線を選択する事が出来る時分割スイッチと、前記時分割スイッチの選択、非選択状態を制御する複数の制御信号と、複数の前記時分割スイッチに階調信号を伝播する複数の階調信号線と、前記階調信号を所定の時分割数に対応した時系列で出力端子から前記階調信号線へ出力する信号出力回路とを有し、1本の前記共通電極線に接続された1水平ラインを構成する前記画素部と隣接する前記2本のゲート線に、前記所定の時分割数に応じた複数の該画素部を交互に接続する画素配列とし、ある水平期間において、前記ゲート走査駆動回路が2本の該ゲート線のうち、一方の該ゲート線を選択すると、前記時分割スイッチにより選択状態となった1本または複数本の前記ドレイン線に、前記時分割スイッチを介して、前記階調信号線により伝播される前記階調信号が印加することで、選択状態となっている前記所定の時分割数に応じた複数の画素部の画素電極に階調信号を順次印加し、該画素電極の階調信号と、前記共通電極駆動回路が共通電極に印加した共通電極電圧とにより発生する電界で液晶の回転を制御し、前記水平期間の次の水平期間において、前記ゲート走査駆動回路が2本の該ゲート線のうち、もう一方の該ゲート線を選択すると、前記時分割スイッチにより選択状態となった1本又は複数本の前記ドレイ

30

40

50

ン線に、前記時分割スイッチを介して、前記階調信号線により伝播される前記階調信号が順次印加することで、選択状態となっている前記所定の時分割数に応じた複数の画素部の画素電極に階調信号を印加し、該画素電極の階調信号と、前記共通電極駆動回路が共通電極に印加した共通電極電圧とにより発生する電界で液晶の回転を制御することで、前記1本の共通電極線に接続された1水平ラインを構成する全ての画素部の液晶を活性化することを特徴とする。

【0009】

また、本発明第1の形態、及び本発明第2の形態に関して、前記信号出力回路は、隣接する出力端子から互いに異なる極性の階調信号を出力し、前記共通電極駆動回路は、前記1本の共通電極線に接続された1水平ラインを構成する画素部が隣接する2本のゲート線のうち、最初に選択される該ゲート線の選択期間中、又は該選択期間の前に、該共通電極線に印加する共通電極電圧の極性を変化させることを特徴とする。

10

【0010】

また、最初に、前記時分割スイッチが前記複数のドレイン線全てを選択し、該時分割スイッチを介して、階調信号を該ドレイン線に印加し、その後、前記所定の時分割数で分割された複数の各選択期間で、順に1つのドレイン線を非選択状態とすることで、該ドレイン線に階調信号を順に保持させていき、選択状態にある前記ゲート線上の全ての画素部にある液晶セルを活性化し、且つ、前記信号出力回路は、該各選択期間で保持状態となる画素部に対応した階調信号を、前記所定の時分割数に応じて時系列で出力する事を特徴とする。

20

【0011】

また、前記所定の時分割数で分割された複数の選択期間の他に初期選択期間を設け、最初に、前記初期選択期間で、前記時分割スイッチが前記複数のドレイン線全てを選択して、該時分割スイッチを介し階調信号を該ドレイン線に印加し、その後、前記所定の時分割数で分割された複数の各選択期間で、順に1つのドレイン線のみを選択状態とする事で、該ドレイン線に階調信号を順に保持させていき、選択状態にある前記ゲート線上の全ての画素部にある液晶セルを活性化し、且つ、前記信号出力回路は、前記初期選択期間を除く前記各選択時間で保持状態となる画素に対応した階調信号を、前記所定の時分割数に応じて時系列で出力することを特徴とする。

【0012】

また、前記表示部がR(赤)、G(緑)、及びB(青)の3つの画素で1ピクセルを構成する場合においては、前記時分割スイッチによる時分割数が、R、G、及びBに対応した3時分割であることを特徴とする。

30

【0013】

また、前記ゲート走査駆動回路、前記共通電極駆動回路、前記時分割スイッチ、及び前記スイッチング素子等を、前記アレイ基板上にpoly-Siを用いた薄膜トランジスタで構成することを特徴とする。

【0014】

また、中央制御の働きをし、計算、論理、及び実効決定を行い、入力装置、出力装置、及び記憶装置との信号の伝送を行う中央処理装置と、命令やデータの記憶に使用される該記憶装置と、情報を、情報機器に入力するための該入力装置と、該情報機器の内部から外部へ情報を出力し、更に表示用の信号を出力する該出力装置で構成される液晶表示装置を備えた該情報機器において、本発明第1の実施の形態、及び本発明第2の実施の形態である液晶表示装置を備えたことを特徴とする。

40

【0015】

【発明の実施の形態】

以下、本発明における第1の実施の形態を、図1と図2を用いて説明する。

【0016】

図1は、本発明第1の実施の形態に係わる液晶表示装置の構成を示す図である。図1において、液晶表示装置の水平解像度に対応した複数本のドレイン線200(D0、D1、D

50

2、D3、D4、D5、...)と、液晶表示装置の垂直解像度より1本多い複数本のゲート線400(G0、G1、G2、G3、...)が交差して配置される。また、垂直解像度に対応した複数本の共通電極線(以下、コモン電圧線)600(C0、C1、C2、...)が、ゲート線400と平行に配置される。例えば、液晶表示装置の解像度がXGA(1024×RGB×768)のカラー表示パネルの場合には、ドレイン線200は1024×3本となり、ゲート線400は768+1本となり、コモン電圧線600は768本配置される。

#### 【0017】

信号出力回路100は、外部から液晶表示装置に転送される表示データに対応した階調信号を、各ドレイン線200に出力する。ゲート走査駆動回路300は、各ゲート線400を順次駆動する。また、コモン駆動回路500は、各コモン電圧線600を駆動する。ここで、信号出力回路100は、コモン電圧線600の電位(コモン電位)に対して電位が高い階調信号(正極性階調信号)と、コモン電位に対して電位が低い階調信号(負極性階調信号)とを、1水平周期で交流して出力する。ゲート走査駆動回路300は、1水平期間で1つの水平ラインを選択し、これを順次繰り返す事により全てのゲート線400を走査する。また、コモン駆動回路500は、各コモン線600を独立して駆動し、正極性コモン電位と負極性コモン電位をフレーム周期で交流化して出力する。

#### 【0018】

ドレイン線200とゲート線400が交差して配置された交差部付近には、表示画素800(P00、P01、...、P10、P11、...、P20、P21、...)がマトリクス状に配置される。1つの表示画素800は、スイッチング素子801と液晶容量802から構成される。ここには図示しないが、1フレーム期間で液晶容量802に保持した電位の変動を抑制するために保持容量も構成される。

#### 【0019】

ここで、表示画素800に含まれるスイッチング素子801がnMOSからなるTFTの場合について説明する。各スイッチング素子801のドレイン端子はドレイン線200に接続され、ソース端子は、1端がコモン電圧線600に接続された液晶容量802のもう一端に接続され、ゲート線から供給されるゲートON電圧がゲート端子に印加されスイッチング素子がON状態となった場合に、信号出力回路から転送される階調信号を液晶容量に充電する構成となっている。

#### 【0020】

本発明第1の実施例においては、1水平ラインの表示画素(Pn0、Pn1、Pn2、Pn3、Pn4、Pn5、...) (n=0、1、2、...)のうち、偶数番目の表示画素(Pn0、Pn2、Pn4、...)に含まれるスイッチング素子のゲート端子をゲート線Gn(n=0、1、2、3、...)に接続し、奇数番目の表示画素(Pn1、Pn3、Pn5、...)に含まれるスイッチング素子のゲート端子をゲート線Gn+1(n=0、1、2、3、...)に接続する。この配置により、ゲート線Gn+1にゲートON電圧が印加された場合に、第n水平ラインで選択される表示画素は、奇数番目(Pn1、Pn3、Pn5、...)のみとなり、コモン電圧線Cnに対する負荷は、従来の線順次駆動に比べ約半分になる。また、ゲート線Gn+1より同時に選択される第n+1水平ラインの表示画素も、偶数番目(Pn0、Pn2、Pn4、...)のみとなり、コモン電圧線Cn+1に対する負荷も、従来の線順次駆動に比べ約半分になる。本発明第1の実施例での説明では、上記構成について説明するが、表示画素の接続方法としては、上記以外に、1水平ラインの表示画素(Pn0、Pn1、Pn2、Pn3、Pn4、Pn5、...) (n=0、1、2、...)のうち、奇数番目の表示画素(Pn1、Pn3、Pn5、...)に含まれるスイッチング素子のゲート端子をゲート線Gn(n=0、1、2、3、...)に接続し、偶数番目の表示画素(Pn0、Pn2、Pn4、...)に含まれるスイッチング素子のゲート端子をゲート線Gn+1(n=0、1、2、3、...)に接続しても良い。この配置でも、ゲート線Gn+1により選択される第n水平ラインと第n+1水平ラインに対応するコモン電圧線Cn、及びCn+1に対する負荷も、従来の線順次駆動に比べ約半分になる。これにより、従来方式に比

10

20

30

40

50

べ、コモン電圧線がコモン電極へ供給するコモン電圧の到達速度は、約2倍（時定数が約半分）となり、大画面・高精細パネルにおける駆動が可能となる。

【0021】

以上、本発明第1の実施例である液晶表示装置の動作を説明するために、図2に示すタイミングチャートを用い説明する。

【0022】

図2において、 $T_f$ は1フレーム周期であり、 $T_h$ は1水平周期である。 $G_0$ 、 $G_1$ 、 $G_2$ 、 $G_3$ 、...は、ゲート走査駆動回路300により順次駆動されるゲート線400の駆動波形である。各ゲート線 $G_0$ 、 $G_1$ 、 $G_2$ 、 $G_3$ 、...は、ゲート走査駆動回路300により、1水平周期 $T_h$ 毎に順次ゲートON電圧（ $H_i$ 電圧）を印加される。各ゲート線がゲートON電圧を印加される期間は、1水平期間 $T_h$ 以内である。

10

【0023】

以下に、最初のフレーム周期 $T_f$ で偶数水平ラインに正極性階調信号を書込み、奇数水平ラインに負極性階調信号を書込む動作について説明する。

【0024】

まず、ゲート走査駆動回路300は、ゲート線 $G_0$ にゲートON電圧を印加して、ゲート線 $G_0$ に接続される第0水平ラインの偶数番目の表示画素 $P_{00}$ 、 $P_{02}$ 、 $P_{04}$ 、...のスイッチング素子をON状態とする。コモン駆動回路500は、第0水平ラインに対応するコモン電圧線 $C_0$ に正極性階調信号を液晶容量に書込むための正極性コモン電位（Lowレベル）を印加する。このとき、信号出力回路100は、ゲート線 $G_0$ により選択されている第0水平ラインの偶数番目の表示画素 $P_{00}$ 、 $P_{02}$ 、 $P_{04}$ 、...に対応した正極性階調信号を、対応する各ドレイン線 $D_0$ 、 $D_2$ 、 $D_4$ 、...に出力する。ゲート線 $G_0$ が $H_i$ レベルの状態、第0水平ラインの偶数番目の表示画素に所望する正極性階調信号が印加された後、ゲート線 $G_0$ はOFF状態（Lowレベル）となり、1フレーム期間のあいだ書込まれた階調信号を保持する。次に、ゲート線 $G_1$ にゲートON電圧が印加されると、第0水平ラインの奇数番目の表示画素（ $P_{01}$ 、 $P_{03}$ 、 $P_{05}$ 、...）と、第1水平ラインの偶数番目の表示画素（ $P_{10}$ 、 $P_{12}$ 、 $P_{14}$ 、...）が選択状態となる。第0水平ラインには正極性階調信号を書込むため、先ほどと同様にコモン電圧線 $C_0$ には、コモン駆動回路500により正極性コモン電位を印加する。逆に、第1水平ラインには負極性階調信号を書込むため、第1水平ラインに対応するコモン電圧線 $C_1$ には、負極性コモン電位（ $H_i$ レベル）を印加する。そして、信号出力回路100は、第0水平ラインの奇数番目の表示画素（ $P_{01}$ 、 $P_{03}$ 、 $P_{05}$ 、...）に接続されているドレイン線 $D_1$ 、 $D_3$ 、 $D_5$ 、...に、各表示画素に対応する正極性階調信号を出力する。また同時に、第1水平ラインの偶数番目の表示画素（ $P_{10}$ 、 $P_{12}$ 、 $P_{14}$ 、...）に接続されているドレイン線 $D_0$ 、 $D_2$ 、 $D_4$ 、...に、各表示画素に対応する負極性階調信号を出力する。これにより、各表示画素に、それぞれ所望の正極性階調信号、又は負極性階調信号が書き込まれた段階でゲート線 $G_1$ はOFFレベルとなり保持状態となる。従って、上述のようにゲート線 $G_0$ 、 $G_1$ の2水平期間を経て、第0水平ライン上にある全ての表示画素に、正極性階調信号が保持される。次に、ゲート線 $G_2$ にゲートON電圧が印加されると、第1水平ラインの奇数番目の表示画素（ $P_{11}$ 、 $P_{13}$ 、 $P_{15}$ 、...）と、第2水平ラインの偶数番目の表示画素（ $P_{20}$ 、 $P_{22}$ 、 $P_{24}$ 、...）が選択状態となる。第1水平ラインには負極性階調信号を書込むため、先ほどと同様にコモン電圧線 $C_1$ には負極性コモン電位を印加する。逆に、第2水平ラインには正極性階調信号を書込むため、第2水平ラインに対応するコモン電圧線 $C_2$ には、正極性コモン電位を印加する。そして、信号出力回路100は、第1水平ラインの奇数番目の表示画素（ $P_{11}$ 、 $P_{13}$ 、 $P_{15}$ 、...）に接続されているドレイン線 $D_1$ 、 $D_3$ 、 $D_5$ 、...に、各表示画素に対応する負極性階調信号を出力する。また同時に、第2水平ラインの偶数番目の表示画素（ $P_{20}$ 、 $P_{22}$ 、 $P_{24}$ 、...）に接続されるドレイン線 $D_0$ 、 $D_2$ 、 $D_4$ 、...に、各表示画素に対応する正極性階調信号を出力する。これにより、各表示画素に、それぞれ所望の正極性階調信号、又は負極性階調信号が書き込まれた段階でゲート線 $G_2$ はOFFレベルとなり保持状態となる。従って

20

30

40

50

、上述のようにゲート線 G 1、G 2 の 2 水平期間を経て、第 1 水平ライン上にある全ての表示画素に、負極性階調信号が保持される。以上の動作を順次繰り返す事により、最初のフレームにおいて偶数水平ライン全てに正極性階調信号を保持させ、奇数水平ライン全てに負極性階調信号を保持させることが可能となる。

#### 【 0 0 2 5 】

以下で、次フレームにおいて、偶数水平ラインに負極性階調信号を書込み、奇数水平ラインに正極性階調信号を書込む動作について説明する。

#### 【 0 0 2 6 】

まず、ゲート線 G 0 にゲート ON 電圧が印加される。第 0 水平ラインの表示画素は、前フレームで保持した正極性階調信号と逆の負極性階調信号を書込むため、ゲート電圧 G 0 の選択期間中、又はゲート電圧 G 0 を選択する前のタイミングで、今までコモン電圧線 C 0 に印加していた正極性コモン電位から負極性コモン電位に反転する。従ってコモン電圧線 6 0 0 に印加されるコモン電位の交流周期は、図 2 に示すようにフレーム周期  $T_f$  となる。また、今までと同様に、信号出力回路 1 0 0 は、第 0 水平ラインの偶数番目の表示画素 P 0 0、P 0 2、P 0 4、... に対応した負極性階調信号を、対応する各ドレイン線 D 0、D 2、D 4、... に出力し、所望する負極性階調信号が印加された後、ゲート線 G 0 は OFF 状態 (Low レベル) となり、1 フレーム期間のあいだ書込まれた階調信号を保持する。次に、ゲート線 G 1 にゲート ON 電圧が印加されると、第 0 水平ラインの奇数番目の表示画素 (P 0 1、P 0 3、P 0 5、...) と、第 1 水平ラインの偶数番目の表示画素 (P 1 0、P 1 2、P 1 4、...) が選択状態となる。第 0 水平ラインには負極性階調信号を書込むため、コモン電圧線 C 0 には引き続き負極性コモン電位が印加される。また、第 1 水平ラインには正極性階調信号を書込むため、第 1 水平ラインに対応するコモン電圧線 C 1 には、反転した極性である正極性コモン電位を印加する。この時の反転するタイミングは上述したタイミングと同じである。そして、信号出力回路 1 0 0 は、第 0 水平ラインの奇数番目の表示画素 (P 0 1、P 0 3、P 0 5、...) に接続されているドレイン線 D 1、D 3、D 5、... に、各表示画素に対応する負極性階調信号を出力する。また同時に、第 1 水平ラインの偶数番目の表示画素 (P 1 0、P 1 2、P 1 4、...) に接続されているドレイン線 D 0、D 2、D 4、... に、各表示画素に対応する正極性階調信号を出力する。各表示画素に、それぞれ所望の正極性階調信号、又は負極性階調信号が書き込まれた段階で、ゲート線 G 1 は OFF レベルとなり保持状態となる。次に、ゲート線 G 2 にゲート ON 電圧が印加されると、第 1 水平ラインの奇数番目の表示画素 (P 1 1、P 1 3、P 1 5、...) と、第 2 水平ラインの偶数番目の表示画素 (P 2 0、P 2 2、P 2 4、...) が選択状態となる。第 1 水平ラインには正極性階調信号を書込むため、先ほどと同様にコモン線 C 1 には正極性コモン電位を印加する。逆に、第 2 水平ラインには負極性階調信号を書込むため、第 2 水平ラインに対応するコモン線 C 2 には、負極性コモン電位を印加する。ここでの交流化のタイミングも上述の通りである。そして、信号出力回路 1 0 0 は、第 1 水平ラインの奇数番目の表示画素 (P 1 1、P 1 3、P 1 5、...) に接続されているドレイン線 D 1、D 3、D 5、... に、各表示画素に対応する正極性階調信号を出力する。また同時に、第 2 水平ラインの偶数番目の表示画素 (P 2 0、P 2 2、P 2 4、...) に接続されるドレイン線 D 0、D 2、D 4、... に、各表示画素に対応する負極性階調信号を出力する。各表示画素に、それぞれ所望の正極性階調信号、又は負極性階調信号が書き込まれた段階で、ゲート線 G 2 は OFF レベルとなり保持状態となる。従って、コモン電圧線 6 0 0 に印加するコモン電位の極性をフレーム周期で反転させる事により、各表示画素で保持する階調信号の極性を交流化することが可能となる。

#### 【 0 0 2 7 】

以上で述べたように、本発明第 1 の実施例では、1 水平ラインの表示画素のうち、偶数番目の表示画素を選択状態とするゲート線と、奇数番目の表示画素を選択状態とするゲート線を分離し、2 水平期間のうち、前半の水平期間で半分の階調信号の保持を確定し、後半の水平期間で、残り半分の階調信号の保持を確定させ、1 水平ライン上にある全ての表示画素への書込みを行う事により、1 水平期間における各コモン電圧線の負荷を従来の半分

10

20

30

40

50

とする事が可能となるため、従来の方式に比べコモン電位、及び階調信号の書込み速度が速くなる。従って、これにより液晶表示パネルの高精細化、大型化、及び高画質化が可能となる。

【0028】

また、本発明第1の実施例において、表示画素部のスイッチング素子であるMOS-TFTはアモルファスSiで形成しても良いし、低温poly Siで形成しても良い。

【0029】

また、本発明第1の実施例において、スイッチング素子801をnMOS-TFTとして説明したが、それ以外のスイッチング素子であるpMOS-TFTであっても良い。

【0030】

更に、本発明第1の実施例において、信号出力回路100、ゲート走査駆動回路300、及びコモン駆動回路500は、外付けのLSIチップで構成可能であり、また、低温poly SiのTFTで構成した回路を、画素部を形成した基板上に形成することで液晶パネルに内蔵する事も可能である。更に、信号出力回路100のみを外付けLSIとし、それ以外のゲート走査駆動回路300とコモン駆動回路500を液晶パネル内に低温poly Siを用いて内蔵するハイブリッド方式も可能である。また、液晶表示パネル内に内蔵する低温poly Siの回路は、pMOS単チャンネル、nMOS単チャンネル、又はcMOS構成であっても良い。

【0031】

以下、本発明第2の実施の形態を、図3から図6を用いて説明する。本発明第2の実施の形態は、本発明第1の実施の形態を用いてRGB時分割駆動を行った場合である。

【0032】

図3は、本発明第2の実施の形態に係わる液晶表示装置の構成を示す図である。図3において、液晶表示パネルの水平解像度に対応した複数本のドレイン線200(D0、D1、D2、D3、D4、D5、...)と、液晶表示装置の垂直解像度より1本多い複数本のゲート線400(G0、G1、G2、G3、...)が交差して配置される。また、垂直解像度に対応した複数本のコモン電圧線600(C0、C1、C2、...)が、ゲート線400と平行に配置される。例えば、液晶表示パネルの解像度がXGA(1024×RGB×768)のカラー表示パネルの場合には、ドレイン線200は1024×3本となり、ゲート線400は768+1本となり、コモン電圧線600は768本配置される。信号出力回路100は、外部から液晶表示装置に転送される表示データに対応した階調信号を、信号線101(DR0、DR1、...)に出力する。各信号線101は、時分割スイッチ群700に含まれる各時分割スイッチ701、702、及び703に接続されており、各時分割スイッチのもう一端は、隣接する3つのドレイン線200(D0、D1、D2、又はD3、D4、D5、又は、...)に接続される。図3中の900は時分割スイッチ群700のコントローラであり、時分割スイッチを制御するための制御信号901を出力する。時分割スイッチ701は、制御信号901のSAにより制御され、時分割スイッチ701が選択状態となると、信号線DR0、DR1、...と、ドレイン線D0、D3、...が接続状態となり、信号出力回路100が出力する階調信号を表示画素800へ転送することが可能となる。同様に時分割スイッチ702は制御信号SBにより制御され、時分割スイッチ703は制御信号SCにより制御され、それぞれ選択状態の時に各信号線DRとドレイン線Dとを接続する。ゲート走査駆動回路300は、各ゲート線400を順次駆動する。また、コモン駆動回路500は、各コモン電圧線600を駆動する。ここで、信号出力回路100は、コモン電圧線600の電位(コモン電位)に対して電位が高い階調信号(正極性階調信号)と、コモン電位に対して電位が低い階調信号(負極性階調信号)とを、1水平周期で交流して出力する。ゲート走査駆動回路300は、1水平期間で1つの水平ラインを選択し、これを順次繰り返す事により全てのゲート線400を走査する。また、コモン駆動回路500は、各コモン電圧線600を独立して駆動し、正極性コモン電位と負極性コモン電位をフレーム周期で交流化して出力する。

【0033】

10

20

30

40

50

ドレイン線 200 とゲート線 400 が交差して配置された交差部付近には、表示画素 800 (P00、P01、...、P10、P11、...、P20、P21、...) がマトリクス上に配置される。1つの表示画素 800 は、スイッチング素子 801 と液晶容量 802 から構成される。ここには図示しないが、1フレーム期間で液晶容量 802 に保持した電位の変動を抑制するために保持容量も構成される。ここで、表示画素 800 に含まれるスイッチング素子 801 が nMOS からなる TFT の場合について説明する。各スイッチング素子 801 のドレイン端子はドレイン線 200 に接続され、ソース端子は、1 端がコモン電圧線 600 に接続された液晶容量 802 のもう一端に接続され、ゲート線から供給されるゲート ON 電圧がゲート端子に印加されスイッチング素子が ON 状態となった場合に、ドレイン線 200 の容量に保持されている階調信号を液晶容量に充電できる構成となっている。

10

#### 【0034】

本発明第 2 の実施例においては、1 水平ラインの表示画素 (Pn0、Pn1、Pn2、Pn3、Pn4、Pn5、...) (n = 0、1、2、...) のうち隣接する 3 つの表示画素を 1 つのグループとして、隣接するグループの表示画素に含まれるスイッチング素子のゲート端子を異なるゲート線に接続する。この説明の場合では、ある表示画素グループ (Pn0、Pn1、Pn2) ... に含まれるスイッチング素子のゲート端子をゲート線 Gn (n = 0、1、2、3、...) に接続し、もう一方の表示画素グループ (Pn3、Pn4、Pn5) ... に含まれるスイッチング素子のゲート端子をゲート線 Gn+1 (n = 0、1、2、3、...) に接続する。この配置により、ゲート線 Gn+1 にゲート ON 電圧が印加された場合に、第 n 水平ラインで選択される表示画素は 1 水平ラインに含まれる表示画素の半分になるため、コモン電圧線 Cn に対する負荷は従来の線順次駆動に比べ約半分になる。また、ゲート線 Gn+1 より同時に選択される第 n+1 水平ラインの表示画素も、1 水平ラインに含まれる表示画素の半分となるため、コモン電圧線 Cn+1 に対する負荷も、従来の線順次駆動に比べ約半分になる。従って、各コモン電圧線の負荷容量が従来の半分になるため、時定数も約半分となり、従って高精細・大画面の液晶表示装置においてもコモン電圧線から供給されるコモン電圧の収束時間も約半分近く短縮される。本発明第 2 の実施例での説明では、上記構成について説明するが、表示画素の接続方法としては、上記以外に、1 水平ラインの表示画素 (Pn0、Pn1、Pn2、Pn3、Pn4、Pn5、...) (n = 0、1、2、...) のうち、表示画素グループ (Pn3、Pn4、Pn5) ... に含まれる

20

30

#### 【0035】

以上、本発明第 2 の実施例である液晶表示装置の動作を説明する。本発明第 2 の実施例におけるゲート走査駆動回路 300、及びコモン駆動回路 500 の動作は、本発明第 1 の実施例と同じであるため省略する。従って、図 4 のタイミングチャートでは、本発明第 2 の実施例における信号出力回路 100、時分割スイッチ群 700、及びコントローラ 900 の動作を説明する。

40

#### 【0036】

図 4 において、Th は 1 水平周期である。G0、G1... は、ゲート走査駆動回路 300 により順次駆動されるゲート線 400 の駆動波形である。各ゲート線 G0、G1... は、ゲート走査駆動回路 300 により、1 水平周期 Th 毎に順次ゲート ON 電圧 (Hi 電圧) を印加される。各ゲート線がゲート ON 電圧を印加される期間は、1 水平期間 Th 以内である。また、1 水平期間 Th を 3 つの期間に時分割し、最初の期間 Ta 内で制御信号 SA を選択状態とする事で信号線 DR0、DR1... と、ドレイン線 D0、D3、... とを接続する。次の期間である Tb 内で制御信号 SB を選択状態とする事で信号線 DR0、DR1... と、ドレイン線 D1、D4、... とを接続する。最後の期間 Tc 内で制御信号 SC を選択状態と

50

する事で信号線 D R 0、D R 1...と、ドレイン線 D 2、D 5...とを接続する。これにより、1 水平期間内で隣接する 3 つのドレイン線 D 0、D 1、D 2 に、信号線 1 0 1 から供給される階調信号を時分割で供給する事が可能となる。

#### 【 0 0 3 7 】

以下に、本発明第 2 の実施例において第 0 水平ラインに正極性表示信号を書き込む際の動作について説明する。まず、ゲート走査駆動回路 3 0 0 は、ゲート線 G 0 にゲート O N 電圧を印加して、ゲート線 G 0 に接続される第 0 水平ラインの表示画素グループ ( P 0 0、P 0 1、P 0 2 ) ... のスイッチング素子を O N 状態とする。コモン駆動回路 5 0 0 は、第 0 水平ラインに対応するコモン電圧線 C 0 に正極性階調信号を液晶容量に書込むための正極性コモン電位 ( L o w レベル ) を印加する。3 つに時分割した最初の期間 T a 内において、信号出力回路 1 0 0 が信号線 D R 0 に出力した表示画素 P 0 0 に対応する正極性階調信号は、制御信号 S A により選択状態となった時分割スイッチ 7 0 1 及びドレイン線 D 0 を介して、表示画素 P 0 0 の液晶容量に印加される。次に、期間 T b 内において、信号出力回路 1 0 0 が信号線 D R 0 に出力した表示画素 P 0 1 に対応する正極性階調信号は、制御信号 S B により選択状態となった時分割スイッチ 7 0 2 及びドレイン線 D 1 を介して、表示画素 P 0 1 の液晶容量に印加される。そして、最後の期間 T c 内において、信号出力回路 1 0 0 が信号線 D R 0 に出力した表示画素 P 0 2 に対応する正極性階調信号は、制御信号 S C により選択状態となった時分割スイッチ 7 0 3 及びドレイン線 D 2 を介して、表示画素 P 0 2 の液晶容量に印加される。このように、3 つの隣接する表示画素グループにそれぞれ所望の階調信号を印加して、保持状態とした後、ゲート線 G 0 は O F F 状態 ( L o w レベル ) となり、1 フレーム期間のあいだ書込まれた階調信号を保持する。

#### 【 0 0 3 8 】

次に、ゲート線 G 1 にゲート O N 電圧が印加されると、第 0 水平ラインのもう一方の表示画素グループ ( P 0 3、P 0 4、P 0 5 ) ... と、第 1 水平ラインの表示画素グループ ( P 1 0、P 1 1、P 1 2 ) ... が選択状態となる。第 0 水平ラインには正極性階調信号を書込むため、先ほどと同様にコモン電圧線 C 0 には、コモン駆動回路 5 0 0 により正極性コモン電位が印加されている。また、第 1 水平ラインには、本発明第 1 の実施例で説明したように負極性階調信号を書込むため、第 1 水平ラインに対応するコモン電圧線 C 1 には、負極性コモン電位 ( H i レベル ) を印加する。そして、1 水平期間を 3 つに時分割した最初の期間 T a 内において、信号出力回路 1 0 0 が信号線 D R 1 に出力した表示画素 P 0 3 に対応する正極性階調信号は、制御信号 S A により選択状態となった時分割スイッチ 7 0 1 及びドレイン線 D 3 を介して、表示画素 P 0 3 の液晶容量に印加される。次に、期間 T b 内において、信号出力回路 1 0 0 が信号線 D R 1 に出力した表示画素 P 0 4 に対応する正極性階調信号は、制御信号 S B により選択状態となった時分割スイッチ 7 0 2 及びドレイン線 D 4 を介して、表示画素 P 0 4 の液晶容量に印加される。そして、最後の期間 T c 内において、信号出力回路 1 0 0 が信号線 D R 1 に出力した表示画素 P 0 5 に対応する正極性階調信号は、制御信号 S C により選択状態となった時分割スイッチ 7 0 3 及びドレイン線 D 5 を介して、表示画素 P 0 5 の液晶容量に印加される。

#### 【 0 0 3 9 】

このように、もう一方の表示画素グループにそれぞれ所望の階調信号を印加して、保持状態とした後、ゲート線 G 1 は O F F 状態 ( L o w レベル ) となる。また、この間には、同じくゲート線 G 1 により選択状態となった第 1 水平ラインの表示画素グループ ( P 1 0、P 1 1、P 1 2 ) ... にも、同様に負極性階調信号が印加される。従って、上述のようにゲート線 G 0、G 1 の 2 水平期間を経て、第 0 水平ライン上にある全ての表示画素に、正極性階調信号が保持される。

#### 【 0 0 4 0 】

本発明第 2 の実施例において、もう 1 つの時分割駆動方式について図 5 を用いて説明する。図 5 において、T h は 1 水平周期である。G 0、G 1... は、ゲート走査駆動回路 3 0 0 により順次駆動されるゲート線 4 0 0 の駆動波形である。各ゲート線 G 0、G 1... は、ゲート走査駆動回路 3 0 0 により、1 水平周期 T h 毎に順次ゲート O N 電圧 ( H i 電圧 ) を

10

20

30

40

50

印加される。各ゲート線がゲートON電圧を印加される期間は、1水平期間 $T_h$ 以内である。また、1水平期間 $T_h$ を3つの期間 $T_a$ 、 $T_b$ 、及び $T_c$ に分割する。最初の期間 $T_a$ 内で制御信号 $S_A$ 、 $S_B$ 、及び $S_C$ を全て選択状態とする事で信号線 $DR_0$ 、 $DR_1$ ...と、ドレイン線( $D_0$ 、 $D_1$ 、 $D_2$ )及び( $D_3$ 、 $D_4$ 、 $D_5$ )を接続し、この $T_a$ 期間内で制御信号 $S_A$ をOFFレベルとすることで時分割スイッチ701をOFF状態とし、信号線 $DR_0$ 、 $DR_1$ とドレイン線 $D_0$ 、 $D_3$ とを切り離す。次の期間である $T_b$ 内で制御信号 $S_B$ 、 $S_C$ を継続して選択状態とし、この $T_b$ 期間内に制御信号 $S_B$ をOFFレベルとする事で、時分割スイッチ702をOFF状態として、信号線 $DR_0$ 、 $DR_1$ とドレイン線 $D_1$ 、 $D_4$ とを切り離す。最後の期間である $T_c$ 内で制御信号 $S_C$ を継続して選択状態とし、この $T_c$ 期間内に制御信号 $S_C$ をOFFレベルとする事で、時分割スイッチ703をOFF状態として、信号線 $DR_0$ 、 $DR_1$ とドレイン線 $D_2$ 、 $D_5$ とを切り離す。

10

#### 【0041】

以下に、本発明第2の実施例において第0水平ラインに正極性表示信号を書き込む際の動作について説明する。まず、ゲート走査駆動回路300は、ゲート線 $G_0$ にゲートON電圧を印加して、ゲート線 $G_0$ に接続される第0水平ラインの表示画素グループ( $P_{00}$ 、 $P_{01}$ 、 $P_{02}$ )...のスイッチング素子をON状態とする。コモン駆動回路500は、第0水平ラインに対応するコモン電圧線 $C_0$ に正極性階調信号を液晶容量に書き込むための正極性コモン電位(Lowレベル)を印加する。

#### 【0042】

3つに時分割した最初の期間 $T_a$ 内において、信号出力回路100が信号線 $DR_0$ に出力した表示画素 $P_{00}$ に対応する正極性階調信号は、制御信号 $S_A$ により選択状態となった時分割スイッチ701及びドレイン線 $D_0$ を介して、表示画素 $P_{00}$ の液晶容量に印加される。次に、期間 $T_b$ 内において、信号出力回路100が信号線 $DR_0$ に出力した表示画素 $P_{01}$ に対応する正極性階調信号は、制御信号 $S_B$ により選択状態となった時分割スイッチ702及びドレイン線 $D_1$ を介して、表示画素 $P_{01}$ の液晶容量に印加される。そして、最後の期間 $T_c$ 内において、信号出力回路100が信号線 $DR_0$ に出力した表示画素 $P_{02}$ に対応する正極性階調信号は、制御信号 $S_C$ により選択状態となった時分割スイッチ703及びドレイン線 $D_2$ を介して、表示画素 $P_{02}$ の液晶容量に印加される。このように、3つの隣接する表示画素グループにそれぞれ所望の階調信号を印加して、保持状態とした後、ゲート線 $G_0$ はOFF状態(Lowレベル)となり、1フレーム期間のあいだ書込まれた階調信号を保持する。

20

30

#### 【0043】

次に、ゲート線 $G_1$ にゲートON電圧が印加されると、第0水平ラインのもう一方の表示画素グループ( $P_{03}$ 、 $P_{04}$ 、 $P_{05}$ )...と、第1水平ラインの表示画素グループ( $P_{10}$ 、 $P_{11}$ 、 $P_{12}$ )...が選択状態となる。第0水平ラインには正極性階調信号を書込むため、先ほどと同様にコモン電圧線 $C_0$ には、コモン駆動回路500により正極性コモン電位が印加されている。また、第1水平ラインには、本発明第1の実施例で説明したように負極性階調信号を書込むため、第1水平ラインに対応するコモン電圧線 $C_1$ には、負極性コモン電位(Hiレベル)を印加する。そして、1水平期間を3つに時分割した最初の期間 $T_a$ 内において、信号出力回路100が信号線 $DR_1$ に出力した表示画素 $P_{03}$ に対応する正極性階調信号は、制御信号 $S_A$ により選択状態となった時分割スイッチ701及びドレイン線 $D_3$ を介して、表示画素 $P_{03}$ の液晶容量に印加される。次に、期間 $T_b$ 内において、信号出力回路100が信号線 $DR_1$ に出力した表示画素 $P_{04}$ に対応する正極性階調信号は、制御信号 $S_B$ により選択状態となった時分割スイッチ702及びドレイン線 $D_4$ を介して、表示画素 $P_{04}$ の液晶容量に印加される。そして、最後の期間 $T_c$ 内において、信号出力回路100が信号線 $DR_1$ に出力した表示画素 $P_{05}$ に対応する正極性階調信号は、制御信号 $S_C$ により選択状態となった時分割スイッチ703及びドレイン線 $D_5$ を介して、表示画素 $P_{05}$ の液晶容量に印加される。

40

#### 【0044】

このように、もう一方の表示画素グループにそれぞれ所望の階調信号を印加して、保持状

50

態とした後、ゲート線 G 1 は OFF 状態 (Low レベル) となる。また、この間には、同じくゲート線 G 1 により選択状態となった第 1 水平ラインの表示画素グループ (P 1 0、P 1 1、P 1 2) ... にも、同様に負極性階調信号が印加される。従って、上述のようにゲート線 G 0、G 1 の 2 水平期間を経て、第 0 水平ライン上にある全ての表示画素に、正極性階調信号が保持される。

#### 【0045】

本発明第 2 の実施例において、更にもう 1 つの時分割駆動方式について図 6 を用いて説明する。図 6 において、 $T_h$  は 1 水平周期である。G 0、G 1 ... は、ゲート走査駆動回路 300 により順次駆動されるゲート線 400 の駆動波形である。各ゲート線 G 0、G 1 ... は、ゲート走査駆動回路 300 により、1 水平周期  $T_h$  毎に順次ゲート ON 電圧 (Hi 電圧) を印加される。各ゲート線がゲート ON 電圧を印加される期間は、1 水平期間  $T_h$  以内である。また、1 水平期間  $T_h$  を 3 つの期間  $T_a$ 、 $T_b$ 、及び  $T_c$  に分割する。最初の期間  $T_a$  内のうち、プリチャージ期間である  $T_p$  期間内のみ制御信号 S A、S B、及び S C を全て選択状態とし、信号線 D R 0、D R 1 ... に接続されたドレイン線 (D 0、D 1、D 2)、(D 3、D 4、D 5) をある一定電位までプリチャージする。プリチャージ期間  $T_p$  後、残りの S B 及び S C を OFF 状態とし、信号線 D R 0、D R 1、... を介してドレイン線 D 0、D 3、... に信号出力回路 100 が出力する階調信号を書込む。次の期間である  $T_b$  内で制御信号 S B のみを選択状態とする事で信号線 D R 0、D R 1 ... と、ドレイン線 D 1、D 4、... とを接続する。最後の期間  $T_c$  内で制御信号 S C を選択状態とする事で信号線 D R 0、D R 1 ... と、ドレイン線 D 2、D 5 ... とを接続する。これにより、1 水平期間内で隣接する 3 つのドレイン線 D 0、D 1、D 2 に、信号線 101 から供給される階調信号を時分割で供給する事が可能となり、且つパネル構成を変更することなくプリチャージを行う事が可能となる。

#### 【0046】

以下に、本発明第 2 の実施例において第 0 水平ラインに正極性表示信号を書き込む際の動作について説明する。まず、ゲート走査駆動回路 300 は、ゲート線 G 0 にゲート ON 電圧を印加して、ゲート線 G 0 に接続される第 0 水平ラインの表示画素グループ (P 0 0、P 0 1、P 0 2) ... のスイッチング素子を ON 状態とする。コモン駆動回路 500 は、第 0 水平ラインに対応するコモン電圧線 C 0 に正極性階調信号を液晶容量に書込むための正極性コモン電位 (Low レベル) を印加する。プリチャージ期間において、ドレイン線 D 0、D 1、及び D 2 は、信号出力回路 100 が信号線 D R 0 出力する P 0 0 に対応した正極性階調信号に向けてプリチャージされ、プリチャージ期間後には、制御信号 S A により選択状態となった時分割スイッチ 701 及びドレイン線 D 0 を介して、表示画素 P 0 0 の液晶容量に所望の階調信号が印加される。次に、期間  $T_b$  内において、信号出力回路 100 が信号線 D R 0 に出力した表示画素 P 0 1 に対応する正極性階調信号は、制御信号 S B により選択状態となった時分割スイッチ 702 及びドレイン線 D 1 を介して、表示画素 P 0 1 の液晶容量に印加される。そして、最後の期間  $T_c$  内において、信号出力回路 100 が信号線 D R 0 に出力した表示画素 P 0 2 に対応する正極性階調信号は、制御信号 S C により選択状態となった時分割スイッチ 703 及びドレイン線 D 2 を介して、表示画素 P 0 2 の液晶容量に印加される。このように、3 つの隣接する表示画素グループにそれぞれ所望の階調信号を印加して、保持状態とした後、ゲート線 G 0 は OFF 状態 (Low レベル) となり、1 フレーム期間のあいだ書込まれた階調信号を保持する。次に、ゲート線 G 1 にゲート ON 電圧が印加されると、第 0 水平ラインのもう一方の表示画素グループ (P 0 3、P 0 4、P 0 5) ... と、第 1 水平ラインの表示画素グループ (P 1 0、P 1 1、P 1 2) ... が選択状態となる。第 0 水平ラインには正極性階調信号を書込むため、先ほどと同様にコモン電圧線 C 0 には、コモン駆動回路 500 により正極性コモン電位が印加されている。また、第 1 水平ラインには、本発明第 1 の実施例で説明したように負極性階調信号を書込むため、第 1 水平ラインに対応するコモン電圧線 C 1 には、負極性コモン電位 (Hi レベル) を印加する。そして、プリチャージ期間において、ドレイン線 D 3、D 4、及び D 5 は信号出力回路 100 が D R 1 に出力する P 0 3 に対応した負極性階調信号に向け

10

20

30

40

50

てプリチャージされ、プリチャージ期間後には、制御信号 S A により選択状態となった時分割スイッチ 7 0 1 及びドレイン線 D 3 を介して、表示画素 P 0 3 の液晶容量に所望の階調信号が印加される。次に、期間 T b 内において、信号出力回路 1 0 0 が信号線 D R 1 に出力した表示画素 P 0 4 に対応する正極性階調信号は、制御信号 S B により選択状態となった時分割スイッチ 7 0 2 及びドレイン線 D 4 を介して、表示画素 P 0 4 の液晶容量に印加される。そして、最後の期間 T c 内において、信号出力回路 1 0 0 が信号線 D R 1 に出力した表示画素 P 0 5 に対応する正極性階調信号は、制御信号 S C により選択状態となった時分割スイッチ 7 0 3 及びドレイン線 D 5 を介して、表示画素 P 0 5 の液晶容量に印加される。

【 0 0 4 7 】

10

このように、もう一方の表示画素グループにそれぞれ所望の階調信号を印加して、保持状態とした後、ゲート線 G 1 は O F F 状態 ( L o w レベル ) となる。また、この間には、同じくゲート線 G 1 により選択状態となった第 1 水平ラインの表示画素グループ ( P 1 0 、 P 1 1 、 P 1 2 ) ... にも、同様に負極性階調信号が印加される。従って、上述のようにゲート線 G 0 、 G 1 の 2 水平期間を経て、第 0 水平ライン上にある全ての表示画素に、正極性階調信号が保持される。

【 0 0 4 8 】

以上で述べたように、本発明第 2 の実施例では、1 水平ラインに含まれる表示画素を隣接する 3 つの表示画素でグループわけし、互いに隣接する表示画素グループのが異なるゲート線により選択されるように接続して、2 水平期間のうち、前半の水平期間で、ある表示画素グループに時分割スイッチを用いて時分割で階調信号を印加し、後半の水平期間で、もう一方の表示画素グループに時分割スイッチを用いて時分割で階調信号を印加する事により、1 水平ライン上にある全ての表示画素への書込みを行う事により、1 水平期間における各コモン電圧線の負荷を従来の約半分とする事が可能となるため、従来の方式に比べコモン電位、及び階調信号の書込み速度が速くなる。従って、これにより液晶表示パネルの高精細化、大型化、及び高画質化が可能となる。

20

【 0 0 4 9 】

また、本発明第 2 の実施例において、表示画素部のスイッチング素子である M O S - T F T はアモルファス S i で形成しても良いし、低温 p o l y S i で形成しても良い。

【 0 0 5 0 】

30

また、本発明第 2 の実施例において、コモン電位を交流化するタイミングは、本発明第 1 の実施例において説明した通りである。

【 0 0 5 1 】

また、本発明第 2 の実施例において、スイッチング素子 8 0 1 を n M O S - T F T として説明したが、それ以外のスイッチング素子である p M O S - T F T 等であっても良い。

【 0 0 5 2 】

更に、本発明第 2 の実施例において、信号出力回路 1 0 0 、ゲート走査駆動回路 3 0 0 、時分割スイッチ群 7 0 0 、及びコモン駆動回路 5 0 0 は、外付けの L S I チップで構成可能であり、また、低温 p o l y S i で作られた T F T により構成した回路を、表示画素部を構成した基板上に同時に形成する事により液晶パネル内に内蔵する事も可能である。更に、信号出力回路 1 0 0 のみを外付け L S I とし、それ以外のゲート走査駆動回路 3 0 0 、時分割スイッチ群 7 0 0 、及びコモン駆動回路 5 0 0 を液晶パネル内に低温 p o l y S i を用いて内蔵するハイブリッド方式も可能である。また、液晶表示パネル内に内蔵する低温 p o l y S i の回路は、p M O S 単チャネル、n M O S 単チャネル、或いは c M O S 構成であって良い。

40

【 0 0 5 3 】

更に、本発明第 2 の実施例において、信号出力回路 1 0 0 を外付け I C とする場合には時分割駆動である事から出力端子数の削減が可能となるため、低コスト化が見込まれる。また、信号出力回路 1 0 0 を内蔵する場合にも、時分割駆動とする事から D A C 回路やデータラッチ回路の削減が可能となるため、回路の小規模化 ( 狭額縁化 ) が見こめる。

50

## 【 0 0 5 4 】

また、本発明第 2 の実施例に関して R G B 時分割駆動を例えとして説明したが、分割数はこれに限定せず、任意の数  $n$  で分割しても良い。この場合、分割数  $n$  に応じて、表示信号線 D R に対応するドレイン線 D の本数も  $n$  となり、時分割スイッチの制御信号も  $n$  本（或いは  $n \times 2$  本）となり、また、分割期間もこれに応じて変更し、且つ各選択期間で電圧保持状態となる表示画素及びドレイン線に対応した階調信号を信号出力回路 1 0 0 により順次出力することにより可能となる。

## 【 0 0 5 5 】

また、本発明第 2 の実施例における、R G B のカラー画素の配列について、これを限定しない。同様に、各選択期間において保持状態とする画素電極、及びドレイン線に対応するカラー画素の順番も限定しない。

10

## 【 0 0 5 6 】

以下、本発明第 3 の実施の形態を、図 7 を用いて説明する。

## 【 0 0 5 7 】

本発明第 3 の実施の形態は、本発明第 1 の実施例から本発明第 2 の実施例で述べた液晶表示装置を備えた情報機器である。この本発明第 3 の実施の形態である情報機器とは、例えば、コンピューターであり、図 7 に示す本発明第 3 の実施の形態である液晶表示装置を備えた情報機器の構成図に示すように、情報機器 1 0 0 0 の主な構成要素は、液晶表示装置 1 0 0 1、中央処理装置 1 0 0 2、入力装置 1 0 0 3、記憶装置 1 0 0 4、出力装置 1 0 0 5、及び電源回路 1 0 0 6 である。中央処理装置 1 0 0 2 は、中央制御の働きをし、計算、論理、及び実行決定が行なわれる。また、1 0 0 7 はシステムバスであり、中央処理装置、入力装置、出力装置と記憶装置等の信号の伝送を行なう。記憶装置 1 0 0 4 は命令やデータの記憶に使われる。入力装置 1 0 0 3 は、情報を情報機器に入力するところであり、入力情報はデータでもプログラムでも良い。また、出力装置 1 0 0 5 は、情報機器の内部から外の世界に情報を出力するところであり、プリンタに書き出したり、磁気テープや磁気ディスクのような補助記憶装置に記憶したりする。また、出力装置 1 0 0 5 は、表示装置のデジタル I / F 信号を出力し、例えば、表示データ信号、及び 1 水平期間中に 1 回の割合で有効になる水平同期信号、1 フレーム期間中に 1 回の割合で有効になる垂直同期信号、クロック信号、有効な表示データの範囲を示すディスプレイタイミング信号等を含む信号を表示装置である液晶表示装置 1 0 0 1 に出力する。また、電源回路 1 0 0 6 は、液晶表示装置 1 0 0 1、及び情報機器 1 0 0 0 のその他の電源を必要とする構成要素に電源を供給している。また、電源回路 1 0 0 6 は、液晶表示装置 1 0 0 1 が必要とする階調基準電圧を生成し出力している。本発明第 1 の実施例から本発明第 2 の実施例で述べた液晶表示装置 1 0 0 1 を使用する事により、大画面、高精細、及び高画質な表示装置を有する情報機器 1 0 0 0 を実現できる。

20

30

## 【 0 0 5 8 】

1 水平ラインの表示画素のうち、偶数番目の表示画素を選択状態とするゲート線と、奇数番目の表示画素を選択状態とするゲート線を分離し、2 水平期間のうち、前半の水平期間で半分の階調信号の保持を確定し、後半の水平期間で、残り半分の階調信号の保持を確定させる事により、1 水平ライン上にある全ての表示画素への書込みを行う事で、1 水平期間における各コモン線の負荷を従来の半分とする事が可能となるため、従来の方式に比べコモン電位、及び階調信号の書込み速度が速くなる。従って、これにより液晶表示パネルの高精細化、大型化、及び高画質化が可能となる。

40

## 【 0 0 5 9 】

また、時分割駆動を併用する事により信号出力回路を外付け L S I とする場合には、L S I 出力端子数の削減が可能となるため、低コスト化が見込まれる。また、信号出力回路を内蔵する場合にも、時分割駆動とする事から D A C 回路やデータラッチ回路の削減が可能となるため、回路の小規模化（狭額縁化）が見こめる。

## 【 0 0 6 0 】

## 【 発明の効果 】

50

本発明によれば、横スミア等の表示むらを低減するという効果を奏する。

【図面の簡単な説明】

【図 1】 本発明第 1 の実施の形態に係わる、液晶表示装置の構成を示す図である。

【図 2】 本発明第 1 の実施の形態に係わる、電圧波形及びタイミングチャートである。

【図 3】 本発明第 2 の実施の形態に係わる、液晶表示装置の構成を示す図である。

【図 4】 本発明第 2 の実施の形態に係わる、電圧波形及びタイミングチャートである。

【図 5】 本発明第 2 の実施の形態に係わる、電圧波形及びタイミングチャートである。

【図 6】 本発明第 2 の実施の形態に係わる、電圧波形及びタイミングチャートである。

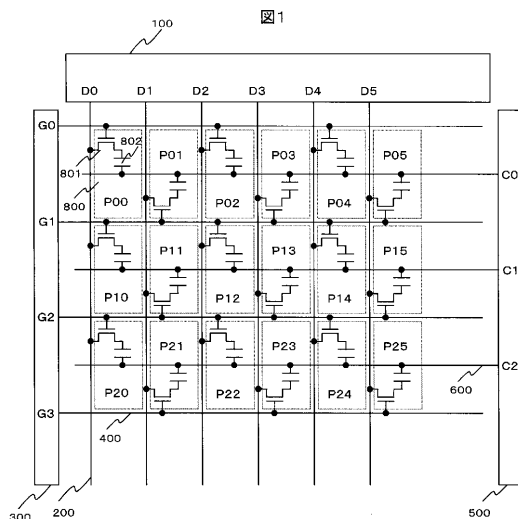
【図 7】 本発明第 3 の実施の形態に係わる、液晶表示装置を備えた情報機器の構成を示すブロック図である。

10

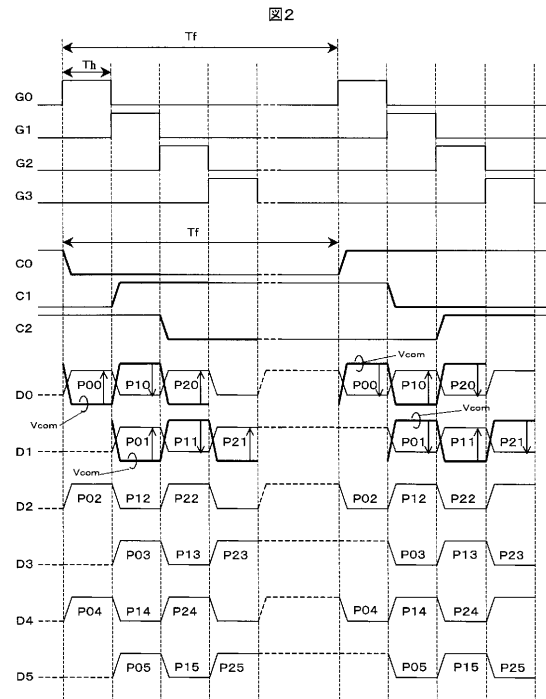
【符号の説明】

1 0 0 ... 信号出力回路、1 0 1 ... 信号線、2 0 0 ... ドレイン線、3 0 0 ... ゲート走査駆動回路、4 0 0 ... ゲート線、5 0 0 ... コモン駆動回路、6 0 0 ... コモン線、7 0 0 ... 時分割スイッチ群、7 0 1 ... 時分割スイッチ、7 0 2 ... 時分割スイッチ、7 0 3 ... 時分割スイッチ、8 0 0 ... 表示画素、8 0 1 ... スwitching素子、8 0 2 ... 液晶容量、9 0 0 ... コントローラ、9 0 1 ... 制御信号、1 0 0 0 ... 情報機器、1 0 0 1 ... 液晶表示装置、1 0 0 2 ... 中央処理装置、1 0 0 3 ... 入力装置、1 0 0 4 ... 記憶装置、1 0 0 5 ... 出力装置、1 0 0 6 ... 電源回路、1 0 0 7 ... システムバス。

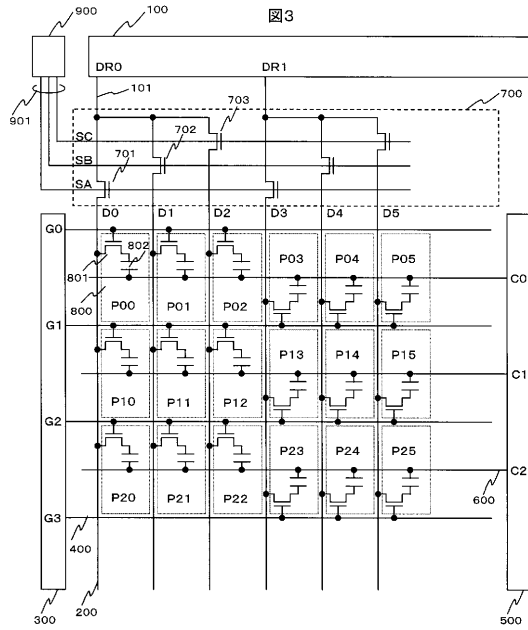
【図 1】



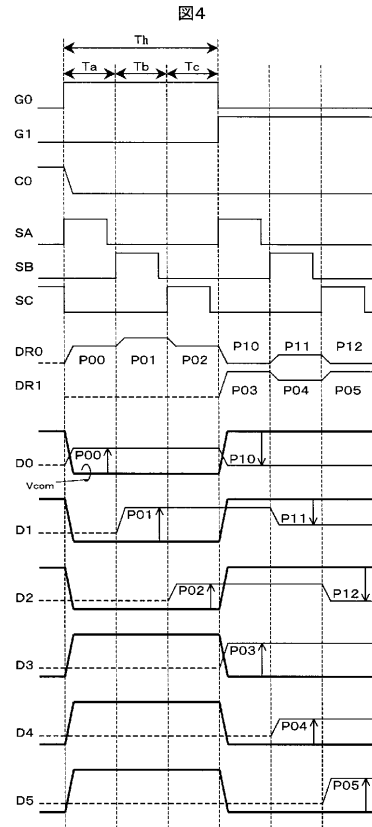
【図 2】



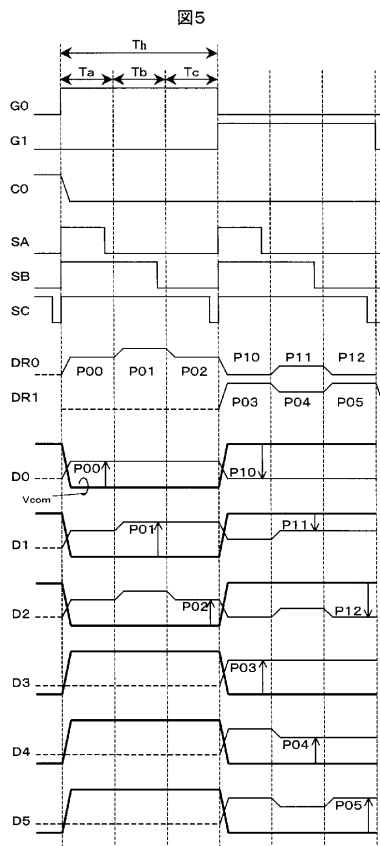
【図3】



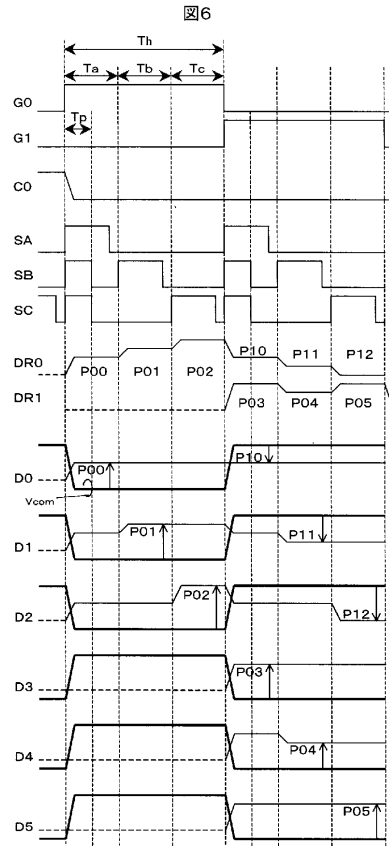
【図4】



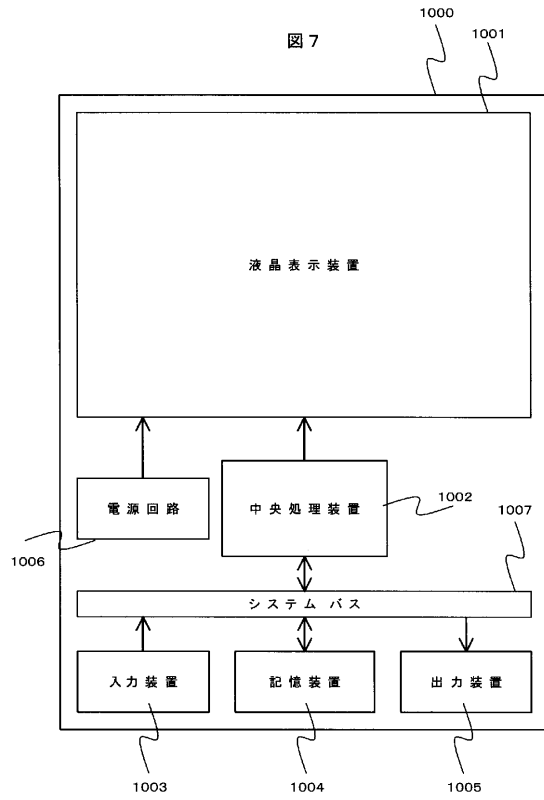
【図5】



【図6】



【図 7】



## フロントページの続き

(51) Int.Cl.

F I

|         |      |         |
|---------|------|---------|
| G 0 9 G | 3/20 | 6 2 3 U |
| G 0 9 G | 3/20 | 6 2 3 W |
| G 0 9 G | 3/20 | 6 2 4 B |
| G 0 9 G | 3/20 | 6 2 4 E |
| G 0 9 G | 3/20 | 6 4 1 C |
| G 0 9 G | 3/20 | 6 4 2 A |

(72)発明者 佐藤 秀夫

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所ディスプレイグループ内

(72)発明者 佐藤 友彦

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所ディスプレイグループ内

審査官 樋口 信宏

(56)参考文献 特開平 1 0 - 1 8 6 4 0 5 ( J P , A )

特開平 1 0 - 1 0 4 5 7 6 ( J P , A )

特開 2 0 0 0 - 2 7 5 6 1 1 ( J P , A )

特開平 0 9 - 2 6 9 5 1 1 ( J P , A )

特開 2 0 0 1 - 1 9 4 6 8 5 ( J P , A )

特開平 0 7 - 3 1 8 9 0 1 ( J P , A )

特開平 0 6 - 0 3 5 4 1 7 ( J P , A )

特開平 1 0 - 1 6 1 0 8 6 ( J P , A )

特開平 1 0 - 1 4 9 1 4 1 ( J P , A )

特開 2 0 0 1 - 2 2 8 4 5 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B名)

G09G 3/36

G02F 1/133

G02F 1/1343

G09G 3/20

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 表示装置及び情報機器                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 公开(公告)号        | <a href="#">JP3891008B2</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | 公开(公告)日 | 2007-03-07 |
| 申请号            | JP2002058152                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | 申请日     | 2002-03-05 |
| [标]申请(专利权)人(译) | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 申请(专利权)人(译)    | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 当前申请(专利权)人(译)  | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| [标]发明人         | 萬場則夫<br>古橋勉<br>佐藤秀夫<br>佐藤友彦                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 发明人            | 萬場 則夫<br>古橋 勉<br>佐藤 秀夫<br>佐藤 友彦                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| IPC分类号         | G09G3/36 G02F1/133 G02F1/1343 G09G3/20                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| FI分类号          | G09G3/36 G02F1/133.550 G02F1/133.575 G02F1/1343 G09G3/20.611.J G09G3/20.623.U G09G3/20.623.W G09G3/20.624.B G09G3/20.624.E G09G3/20.641.C G09G3/20.642.A                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| F-TERM分类号      | 2H092/GA11 2H092/GA12 2H092/GA14 2H092/GA17 2H092/GA20 2H092/GA28 2H092/JA24 2H092/JB41 2H092/NA01 2H092/PA06 2H093/NC09 2H093/NC11 2H093/NC34 2H093/ND01 2H093/ND10 2H093/ND15 2H093/ND48 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZB09 2H193/ZB14 2H193/ZC23 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF50 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC12 5C006/FA22 5C006/FA37 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 |         |            |
| 代理人(译)         | 井上 学                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| 其他公开文献         | JP2003255907A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |

#### 摘要(译)

要解决的问题：为了解决由于在构造大屏幕/高清晰度液晶显示装置时独立提供的公共电极布线的波形延迟（失真）引起的诸如侧面拖尾的显示不均匀性导致的图像质量劣化。其中偶数显示像素处于选择状态的栅极线和其中奇数显示像素处于选择状态的栅极线和一个水平线中的显示像素分开，并且在两个水平周期的前半部分中分离，确认了一半灰度信号的写入，并且在水平周期的后半部分确认了剩余的一半灰度信号的保持，以便写入一条水平线上的所有显示像素。。

【 図 1 】

