

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3741372号

(P3741372)

(45) 発行日 平成18年2月1日(2006.2.1)

(24) 登録日 平成17年11月18日(2005.11.18)

(51) Int.Cl.

F I

G O 2 F 1/1339 (2006.01)

G O 2 F 1/1339 5 0 0

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 10 (全 9 頁)

(21) 出願番号 特願2003-197630 (P2003-197630)
 (22) 出願日 平成15年7月16日(2003.7.16)
 (65) 公開番号 特開2004-94217 (P2004-94217A)
 (43) 公開日 平成16年3月25日(2004.3.25)
 審査請求日 平成15年7月16日(2003.7.16)
 (31) 優先権主張番号 91116647
 (32) 優先日 平成14年7月25日(2002.7.25)
 (33) 優先権主張国 台湾(TW)

(73) 特許権者 503141075
 トップリー オプトエレクトロニクス コ
 ーポレイション
 台湾苗栗縣竹南鎮科中路12號 新竹科學
 工業園區
 (74) 代理人 230104019
 弁護士 大野 聖二
 (74) 代理人 100106840
 弁理士 森田 耕司
 (74) 代理人 100115679
 弁理士 山田 勇毅
 (74) 代理人 100115808
 弁理士 加藤 真司

最終頁に続く

(54) 【発明の名称】 液晶表示器の自己位置合わせ画素電極の製造方法

(57) 【特許請求の範囲】

【請求項1】

液晶表示器が基板に搭載されており、複数本の走査線と、これら走査線に垂直な複数本の信号線とを含み、各信号線および各走査線によって、互いに隣接する複数の画素電極区域が基板の表面に配置される基板に搭載される液晶表示器の製造方法において、

基板上に感光材料層を形成すること、

各画素電極区域内の感光材料層を除去することによって、一部の感光材料層を各走査線および各信号線に残留して隙間充填物として用い、隙間充填物の上側表面面積を隙間充填物の下側表面面積より大きくすること、

基板の上方に導電層を形成させて隙間充填物と各画素電極区域とを覆うこと、

を含み、

各画素電極区域上の導電層は、前記隙間充填物によって隔離されて自己位置合わせ画素電極を形成させることを特徴とする液晶表示器の自己位置合わせ画素電極の製造方法。

【請求項2】

前記液晶表示器は、低温多結晶シリコン薄膜トランジスタ液晶表示器であることを特徴とする請求項1に記載の方法。

【請求項3】

前記液晶表示器は、カラーフィルター構造を直接に薄膜トランジスタに形成した液晶表示器であり、前記基板は、透明ガラス基板であり、基板に感光材料層を形成させる前に、該基板に保護層を形成させ、この基板は更に赤/緑/青(R/G/B)カラーフィルター構

10

20

造を含み、カラーフィルター構造を各画素電極区域に位置させ、そして赤／緑／青（Ｒ／Ｇ／Ｂ）カラーフィルター構造に接触穴を形成させて、前記透明導電層を接触穴に充填することを特徴とする請求項１に記載の方法。

【請求項４】

各信号線および各走査線の上に位置された隙間充填物は、黒色マトリックス層として用いられ、隙間充填物の断面が台形形状であり、隙間充填物の厚さは３～４μｍであることを特徴とする請求項１に記載の方法。

【請求項５】

前記導電層は透明導電層であり、酸化インジウム錫から構成されていることを特徴とする請求項１に記載の方法。

10

【請求項６】

互いに隣接する複数の画素電極を含み、互いに隣接する各画素電極区域は、共通の側辺を有している基板に搭載される液晶表示器の製造方法において、前記基板に黒色マトリックス層を形成すること、一部の黒色マトリックス層を除去することによって、残留のアンダーカット輪郭を有する黒色マトリックス層を各画素電極の共通側辺に位置させること、基板の上に導電層を形成させこと、を含み、各画素電極区域を覆っている導電層は、残留の黒色マトリックス層によって隔離されていることを特徴とする液晶表示器の自己位置合わせ画素電極の製造方法。

【請求項７】

前記液晶表示器は、基板に形成された複数本の走査線と複数本の信号線とを含み、残留の黒色マトリックス層は、各信号線および各走査線の上に位置され、残留の黒色マトリックス層の上面面積は、その下面面積より大きくなっており、そして隙間充填物として用いられ、隙間充填物の厚さは３～４μｍであることを特徴とする請求項６記載の方法。

20

【請求項８】

前記残留の黒色マトリックス層の断面は、台形形状であることを特徴とする請求項６記載の方法。

【請求項９】

前記導電層は透明導電層であり、酸化インジウム錫から構成されていることを特徴とする請求項６記載の方法。

30

【請求項１０】

前記基板に前記黒色マトリックス層を形成する前に、前記基板に保護層を形成することを特徴とする請求項６記載の方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、液晶表示器の画素電極の制作方法に関し、特に、薄膜トランジスタ液晶表示器（ＴＦＴ－ＬＣＤ）の自己位置合わせ画素電極の製造方法に関する。

【０００２】

【従来の技術】

液晶表示器は、外形が軽くて薄く、電力消費量が少なく輻射汚染等がないため、ノートパソコン、個人データアシスタント（ＰＤＡ）等の携帯式情報機器に広く応用されている。

40

【０００３】

現在、薄膜トランジスタ液晶表示器（ＴＦＴ－ＬＣＤ）を製造する方法の大半は、カラーフィルターを薄膜トランジスタに直接形成させる技術（color filter on TFT, COT）を利用している。また、ＴＦＴ－ＬＣＤの液晶層の厚さを維持するために、通常はＴＦＴ－ＬＣＤのパネルに任意スプレイ（spray）の方式でプラスチックビーズ（plastic bead）、ガラスビーズ又はガラス繊維を入植する。これにより、液晶層間の間隙（cell gap）を支持すると共に間隙の大きさを制御することができるので、安定な表示品質が得られる。しかしながら、入植されたプラスチック

50

ビーズ等が光透過領域に位置するため、不均一な分布となり、カタマリ現象が生じてしまう。結局、プラスチックビーズによる光の散乱照射が発生し、TFT-LCDの光コントラストが低減するので、白点(white point)が現れるようになり、表示の品質に悪影響を与えることになる。このような問題を回避するため、従来のプラスチックビーズの代わりに、マイクロプロセスにより製造されたフォトスペーサ(photo spacer)を用いることが提案されている。この提案を採択することによって、間隙の大きさ及び位置を精密に制御することが可能となり、このように、間隙の大きさを所要に維持することができ、画面の表示品質が向上される。更に、フォトスペーサを非透過領域に配置していれば、プラスチックビーズ等による光漏れの現象がより確実に回避される。

【0004】

10

図1～図3は、COT型TFT-LCD10を製造する従来の方法を示している。図1に示すように、TFT-LCD10の下側ガラス基板12に、複数本の走査線(scan line)と、各走査線に垂直な複数の信号線(signal line)(図示せず)とが形成されている。各信号線と各走査線とによって、下側ガラス基板12の表面に複数の画素電極区域14が互いに隣接するように配置されている。各画素電極区域14はTFT構造16を有し、そしてTFT構造16は、複合結晶のシリコン層と、ゲート導電層と、ゲート誘電層と、チャンネル層と、ソース電極と、ドレーン電極(図示せず)とを有している。

【0005】

また、平坦層18はTFT構造16に接続されており、この平坦層18には、黒色の光阻止層(図示せず)が形成されている。更に、マイクロエッチングプロセスを利用して黒色の光阻止層に複数の黒色マトリックス(black matrix)層20を形成する。各黒色マトリックス層20は、それぞれ下方のTFT構造16に対応しているので、TFT-LCD10のコントラストが向上されて、TFT構造16の光漏れ電流が防止されると共に、TFT-LCD10の表示時に生じる斜め光漏れが防止される。その後、下側ガラス基板12に赤色フィルター層(図示せず)を形成すると共に、マイクロエッチングプロセスを用いて赤色フィルター層に赤色フィルターマトリックス22を形成させる。この際、赤色フィルター層は、約10～50重量(dry weight)%の赤色染料を含有する光阻止層または感光樹脂(photosensitive resin)である。そして、上述した工程を繰り返すことによって、下側ガラス基板12の上方に緑色フィルターマトリックス24および青色フィルターマトリックス26が形成される。このように、下側ガラス基板12の上に位置された赤色フィルターマトリックス22と緑色フィルターマトリックス24と青色フィルターマトリックス26とによって、R/G/Bカラーフィルター構造が形成される。

20

30

【0006】

そして、R/G/Bカラーフィルター構造の上に保護層(overcoat layer)28を形成させ、更に保護層28の上に光阻止層(図示せず)を形成させる。同時に、マイクロエッチングプロセスを行うことによって、保護層28とカラーフィルター構造22, 24, 26と黒色マトリックス層20とに接触用穴(図示せず)を形成させる。次に、下側ガラス基板12に酸化インジウム錫(indium tin oxide, ITO)を沈積して低インピーダンスの透明導電層30を形成させる。このように、この透明導電層30が接触穴に充填されるので、接触プラグ32が形成される。この接触プラグを介して、透明導電層30とTFT構造16のドレーン電極が互いに接続されている。そして、マイクロエッチングプロセスにより透明電極層30の一部を除去した後、更に該透明電極30の上に配向膜34を形成させる。

40

【0007】

また、図2に示すように、TFT-LCD10の上側ガラス基板36の上に透明導電層38が形成されており、更に透明導電層38に厚さ約3 μ mの複数の突起物(protrusion)40が形成される。次に、複数の厚さ約5 μ mの隙間充填物(spacer)42を突起物40に形成させる。同時に、スピンコーティング(spin-coating)

50

g)により、配向膜(orientation film)44が上側ガラス基板36に形成される。この場合、隙間充填物42は、感光性ポリイミド(photosensitive polyimide, PI)材料である。

【0008】

更に、図3に示すように、上側ガラス基板36と下側ガラス基板12が互いに対向するように配置され、両ガラス基板12, 36の間に液晶分子46が注入されることで、従来のTFT-LCD10が完成される。この際、TFT-LCD10における各突起物40は、下方の各画素電極区域14の側に対応するようになり、各隙間充填物42は、各走査線と各信号線との交差点に対応する。

【0009】

10

【特許文献1】

特開平5-165037号公報

特開平9-61829号公報

特開平11-249152号公報

【0010】

【発明が解決しようとする課題】

しかし、TFT-LCD10を製造する従来の方法では、下側ガラス基板12の黑色マトリックス層20とR/G/Bカラーフィルター構造22, 24, 26と透明導電層30と、上側基板36の突起物40と隙間充填物42とを形成するには、マイクロエッチングプロセスを複数回にわたって行うことが必要となるので、製造ステップおよび生産コストが大幅に増加してしまう。そして、TFT-LCD10を製造する従来の方法では、TFT構造16に対応する黑色マトリックス層20は、複数回のマイクロエッチングプロセスを行ったため、位置誤差が発生してしまう。結局、光漏れが生じ、TFT-LCD10の正常操作に悪影響を与える。

20

【0011】

本発明の目的は、液晶表示器の自己位置合わせ画素電極の製造方法を提供し、製造工程を簡略化し製造コストを低減することにある。

【0012】

本発明の他の目的は、両ガラス基板間に位置されている充填物が同時に黑色マトリックス層の機能を有する薄膜トランジスタ液晶表示器を提供することにある。

30

【0013】

【課題を解決するための手段】

本発明の最も好ましい実施例によれば、液晶表示器(liquid crystal display, LCD)の自己位置合わせ画素電極を製造する方法が提供されている。この液晶表示器が基板に搭載されており、この基板は、複数本の走査線(scan line)と、これら走査線に垂直な複数本の信号線(signal line)とを含み、各信号線および各走査線によって、互いに隣接する複数の画素電極区域が基板の表面に配置されている。この方法は、基板上に感光(photosensitive)材料層を形成することと、各画素電極区域内の感光材料層を除去することによって、一部の感光材料層を各走査線および各信号線に残留して隙間充填物(spacer)として用い、隙間充填物の上側表面面積を隙間充填物の下側表面面積より大きくすることと、基板の上方に導電層を形成させて隙間充填物と各画素電極区域とを覆うこととを含む。各画素電極区域上の導電層は、前記隙間充填物によって隔離されて自己位置合わせ画素電極を形成させる。

40

【0014】

本発明の自己位置合わせ画素電極の製造方法は、アンダーカット輪郭を利用すると共に、各走査線および各信号線に位置された感光材料層をTFT-LCDの隙間充填物として利用するので、後続工程として下側ガラス基板に透明導電層を形成するとき、隙間充填物により各画素電極区域上方の透明導電層の区域を隔離することができる。従って、本発明の自己位置合わせ画素電極の製造方法を利用することによって、製造プロセスを簡略化して生産コストを低減するだけでなく、複数回のマイクロエッチングプロセスによる位置合

50

せ精度低下の問題を回避することができる。

【0015】

【発明の実施の形態】

次に、トップゲート (top gate) 構造を有する COT 型低温多結晶シリコン薄膜トランジスタ (low temperature polysilicon thin film transistor, LTPS TFT) 液晶表示器 (LCD) に基づいて本発明の実施例を説明する。なお、本発明の応用は、これによって限定されるものではなく、他の型の液晶表示器も、本発明の自己位置合わせ画素電極の製造方法によって製造可能である。

【0016】

次に、図4～図7によって説明する。図4は、本発明の TFT-LCD 50 を示す平面図である。図5～図7は、図4の I-I' 線に沿って得られた断面図であり、本発明の TFT-LCD 50 の製造方法を示している。図4および図5に示すように、本発明に係る TFT-LCD 50 の自己位置合わせ画素電極の製造方法では、まず下側ガラス基板 52 を用意する。この下側ガラス基板 52 は、複数の走査線と、各走査線に垂直な複数の信号線 (図4および図5に示されていない) とを有する。各信号線および各走査線によって、下側ガラス基板 52 の表面に、互いに隣接する複数の画素電極区域 54 が配置されている。各画素電極区域 54 は TFT 構造 56 を有し、これは多晶シリコン層と、トップゲート導電層と、ゲート誘電体層と、チャンネル層と、ソース電極と、ドレーン電極 58 とを含んでいる。

【0017】

TFT 構造 56 の上に平坦層 58 を形成させ、この平坦層 58 には、TFT 構造 56 に対応する複数の黒色マトリックス層 60 を形成させる。その後、下側ガラス基板 52 に、R/G/B カラーフィルター構造 62, 64, 66 を形成させ、更に R/G/B カラーフィルター構造 62, 64, 66 に保護層 68 と、厚さ約 3 ~ 4 μm の感光 (photosensitive) 材料層 70 とを順次に形成させる。

【0018】

そして図6に示すように、マスク (図6に示されていない) を利用してマイクロ現像プロセスを行うことによって、各画素電極区域 54 に位置されている感光材料層 70 を除去すると共に、図4に示すように残留の感光材料層 72 を各走査線および各信号線に位置させる。なお、残留の感光材料層 72 は、TFT-LCD 50 の隙間充填物として用いられ、更にこの隙間充填物 72 はアンダーカット輪郭を有している。このように、マイクロプロセスにおける露光エネルギー及び露光時間を制御することによって、隙間充填物 72 の上面面積は下面面積より大きくなり、即ち略台形ようになる。また、TFT-LCD 50 の両ガラス基板に液晶分子を注入する作業を容易にするため、図4に示すように、各信号線と各走査線との交差点における隙間充填物 72 に突起物 74 を形成させる。次に、保護層 68 と、R/G/B カラーフィルター構造 62, 64, 66 と、黒色マトリックス層 60 と、平坦層 58 とに、それぞれ接触穴 (図6に示されていない) が形成されている。また、下側ガラス基板 52 に酸化インジウム錫 (indium tin oxide, ITO) を沈積させることによって、透明導電層 76 を形成させる。このように、自己位置合わせ画素電極が形成され、透明導電層 76 が接触穴に充填されるので、接触プラグ 78 が形成される。これにより、透明導電層 76 と TFT 構造 56 のドレーン電極 58 は、互いに連結されるようになる。ここで、隙間充填物 72 はアンダーカット輪郭を有すると共に、ITO 透明導電層 76 のメッキ膜特性を有するので、各画素電極区域 54 を覆う透明導電層 76 は、隙間充填物 72 によって自動的に隔離されて、透明電極層 76 は不連続の透明導電層 76 となる。

【0019】

次に、図7に示すように、透明導電層 80 と配向膜 82 とを含む上側ガラス基板 84 を下側ガラス基板 52 と対向するように配置し、両ガラス基板 52 と 84 との間に液晶分子 86 を注入することで、本発明の TFT-LCD 50 の製造が完成となる。本発明の最も好

10

20

30

40

50

ましい実施例では、隙間充填物 72 が感光材料であり、各信号線が各走査線の上方に位置されているが、本発明はこれによって限定されるものではない。例えば、隙間充填物 72 は黒色の樹脂材料でもよいので、TFT-LCD50の黒色マトリックス層としても用いることができる。つまり、図8に示すように、このような隙間充填物は、TFT構造の上方に配置されてTFT構造を覆うようになっているので、光漏れ現象が防止できる。

【0020】

即ち、本発明の自己位置合わせ画素電極の製造方法は、アンダーカット輪郭を利用すると共に、各走査線および各信号線に位置された感光材料層をTFT-LCDの隙間充填物として利用するので、隙間の大きさを良好に維持することができる。また、後続工程として下側ガラス基板に透明導電層を形成するとき、他のマイクロエッチングプロセスが必要なく、隙間充填物により各画素電極区域上方の透明導電層の区域を隔離することができる。従って、本発明の自己位置合わせ画素電極の製造方法を利用することによって、製造プロセスを簡略化して生産コストを低減するだけでなく、複数回のマイクロエッチングプロセスによる位置合わせ精度低下の問題も回避できるようになる。

【0021】

【発明の効果】

従来技術に比べて、本発明に係る自己位置合わせ画素電極は、マイクロエッチングプロセスを用いて透明導電層を除去する作業が必要なく、アンダーカット輪郭を有する隙間充填物を利用するだけで各画素電極上方の透明導電層を隔離することができる。これにより、製造ステップを減少してコストを低減するだけでなく、本発明の隙間充填物は、黒色マトリックス層の機能を有するので、遮光効果が得られ、TFT-LCDのコントラストが向上されて、よりよい表示品質が確保できる。

【0022】

以上に説明したのは、本発明に係る好ましい実施例であって、特許請求の範囲内で行われる変更および修飾は、全て特許請求の範囲によってカバーされている。

【図面の簡単な説明】

【図1】COT型TFT-LCDを製造する従来の方法を示す説明図である。

【図2】COT型TFT-LCDを製造する従来の方法を示す説明図である。

【図3】COT型TFT-LCDを製造する従来の方法を示す説明図である。

【図4】本発明のTFT-LCDを示す平面図である。

【図5】図4のI-I線に沿って得られた断面図であり、本発明のTFT-LCDを製造する方法を示している。

【図6】図4のI-I線に沿って得られた断面図であり、本発明のTFT-LCDを製造する方法を示している。

【図7】図4のI-I線に沿って得られた断面図であり、本発明のTFT-LCDを製造する方法を示している。

【図8】本発明のTFT-LCDを示す平面図である。

【符号の説明】

10 TFT-LCD

12 下側ガラス基板

14 画素電極区域

16 TFT構造

18 平坦層

20 黒色マトリックス層

22 赤色フィルターマトリックス

24 緑色フィルターマトリックス

26 青色フィルターマトリックス

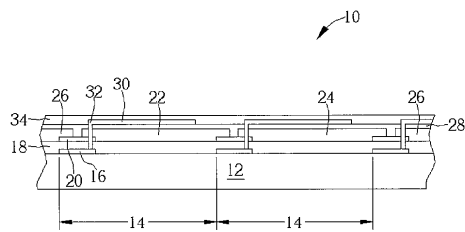
28 保護層

30 透明導電層

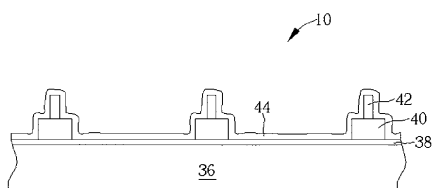
32 接触プラグ

- 3 4 配向膜
- 3 6 上側ガラス基板
- 3 8 透明導電層
- 4 0 突起物
- 4 2 隙間充填物
- 4 4 配向膜
- 4 6 液晶分子
- 5 0 T F T - L C D
- 5 2 下側ガラス基板

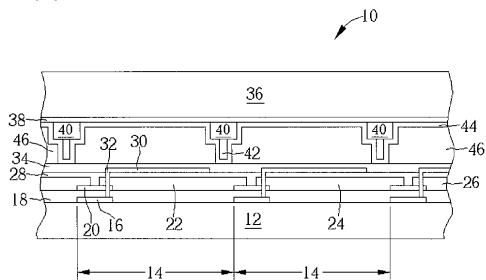
【図 1】



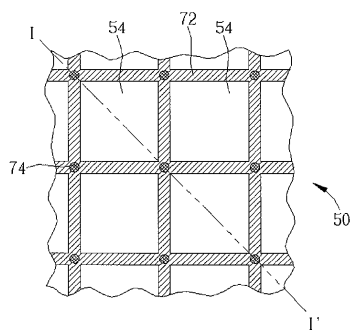
【図 2】



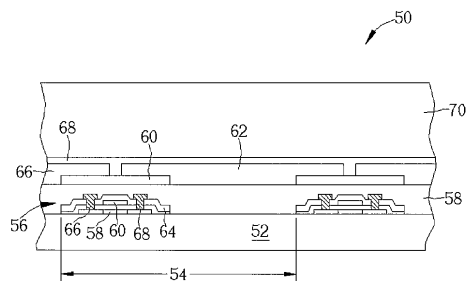
【図 3】



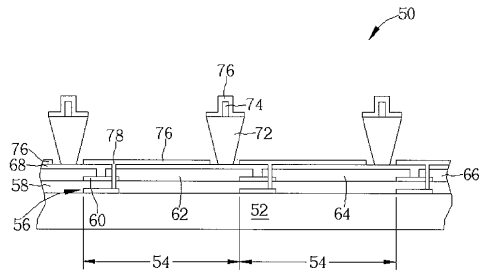
【図 4】



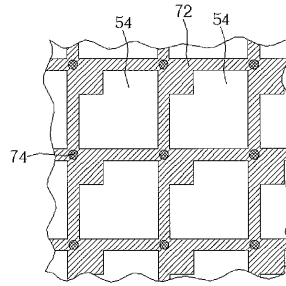
【図 5】



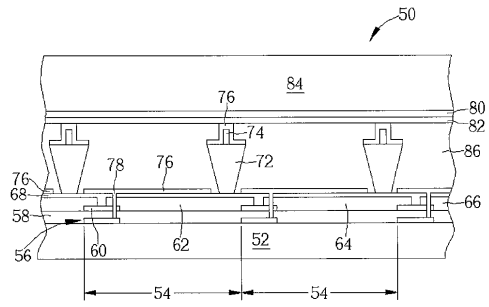
【図 6】



【図 8】



【図 7】



フロントページの続き

(72)発明者 シン - ミン チェン

台湾 300, シンチュー市, チェンシン ロード, ナンバー 58, 11 エフ 1

審査官 白石 光男

(56)参考文献 特開2002 - 182236 (JP, A)

特開2001 - 013506 (JP, A)

特開2002 - 082337 (JP, A)

特開2002 - 107734 (JP, A)

特開2000 - 035583 (JP, A)

特開2000 - 111954 (JP, A)

特開平05 - 175500 (JP, A)

特開平07 - 064072 (JP, A)

特開平11 - 212076 (JP, A)

特開平11 - 305249 (JP, A)

特開2002 - 162640 (JP, A)

特開昭60 - 235468 (JP, A)

特開平11 - 326944 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1339 500

G02F 1/1343

G02F 1/1368

专利名称(译)	制造液晶显示器的自对准像素电极的方法		
公开(公告)号	JP3741372B2	公开(公告)日	2006-02-01
申请号	JP2003197630	申请日	2003-07-16
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	Toppori电子公司		
当前申请(专利权)人(译)	Toppori电子公司		
[标]发明人	シンミンチェン		
发明人	シン-ミン チェン		
IPC分类号	G02F1/1339 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/13394 G02F1/134336		
FI分类号	G02F1/1339.500 G02F1/1343 G02F1/1368		
F-TERM分类号	2H089/HA08 2H089/HA15 2H089/LA10 2H089/LA11 2H089/LA12 2H089/MA03 2H089/NA14 2H089/NA15 2H089/NA17 2H089/PA01 2H089/PA05 2H089/QA12 2H089/QA16 2H089/TA02 2H092/GA13 2H092/GA29 2H092/HA04 2H092/JA24 2H092/JB52 2H092/JB57 2H092/JB58 2H092/KB04 2H092/MA04 2H092/NA25 2H092/NA27 2H092/PA03 2H092/PA08 2H092/PA09 2H189/DA09 2H189/DA12 2H189/DA23 2H189/DA48 2H189/EA06X 2H189/FA15 2H189/FA25 2H189/GA06 2H189/LA01 2H189/LA03 2H189/LA10 2H192/AA24 2H192/BC31 2H192/CB02 2H192/EA06 2H192/EA13 2H192/EA17 2H192/EA42 2H192/GD22 2H192/HA33		
代理人(译)	森田浩二 加藤真司		
审查员(译)	白石光男		
优先权	091116647 2002-07-25 TW		
其他公开文献	JP2004094217A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于液晶显示装置的像素电极的制造方法，通过该制造方法简化了用于液晶显示装置的像素电极的制造工艺并降低了其制造成本。解决方案：在液晶显示装置的基板上形成多个彼此相邻的像素电极区域，该基板包含多条扫描线和与扫描线正交的多条信号线。随后，通过使用光敏材料在基板上形成光敏材料层，然后，去除每个像素电极区域中的光敏层，从而在彼此相邻的像素电极区域之间的公共侧上形成孔填充。。孔填充物具有底切轮廓，其中上表面区域大于下表面区域。此外，导电层形成在基板的上侧并覆盖孔填充和每个像素电极区域。最后，通过使用孔填充作为掩模来溅射透明导电层，从而在每个像素电极区域的表面上分别形成自对准像素电极。下玻璃基板上的各个像素电极的透明导电层的区域通过底切孔填充彼此隔离。 Z

【 図 4 】

