

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3603894号
(P3603894)

(45) 発行日 平成16年12月22日(2004.12.22)

(24) 登録日 平成16年10月8日(2004.10.8)

(51) Int.Cl.⁷

F I

G O 2 F 1/1368

G O 2 F 1/1368

G O 2 F 1/133

G O 2 F 1/133 5 5 O

G O 9 G 3/20

G O 9 G 3/20 6 1 1 H

G O 9 G 3/36

G O 9 G 3/20 6 2 1 M

H O 1 L 29/786

G O 9 G 3/20 6 2 3 R

請求項の数 18 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-38308 (P2003-38308)
 (22) 出願日 平成15年2月17日(2003.2.17)
 (62) 分割の表示 特願平6-85044の分割
 原出願日 平成6年4月22日(1994.4.22)
 (65) 公開番号 特開2003-287774 (P2003-287774A)
 (43) 公開日 平成15年10月10日(2003.10.10)
 審査請求日 平成15年2月17日(2003.2.17)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅普
 (74) 代理人 100107076
 弁理士 藤綱 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 東 清一郎
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 井口 猶二

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ回路およびそれを用いた液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、

データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、

前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、

隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に前記スイッチ回路のチャンネル幅以上離れていることを特徴とする薄膜トランジスタ回路。

【請求項2】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、

10

20

データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクス形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、

前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、

隣接する前記スイッチ回路 m 個 (m は正の整数) が前記引き出し配線が延在する方向に互いにそのチャンネル幅以上離して配置されるとともに、前記 m 個のスイッチ回路が前記スイッチ回路駆動用ゲート線を共有していることを特徴とする薄膜トランジスタ回路。

【請求項 3】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、

データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクス形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、

前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、

隣接する前記スイッチ回路における前記引き出し配線が延在する方向のピッチ間隔を D 、前記映像信号線の幅を WV 、前記映像信号線間の距離を SV としたとき、 $D = WV + SV$ であることを特徴とする薄膜トランジスタ回路。

【請求項 4】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、

データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクス形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、

前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、

隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に順次配置されるとともに、前記映像信号線の延在方向にずらして配置されていることを特徴とする薄膜トランジスタ回路。

【請求項 5】

前記映像信号線の本数が $m \times n$ 本 (m 、 n は正の整数) であって、隣接する前記スイッチ

10

20

30

40

50

回路m個が前記引き出し配線が延在する方向に互いにそのチャネル幅以上離して配置されており、

前記m個のスイッチ回路の各々が対応する前記引き出し配線を介して導電接続される前記映像信号線は、前記 $m \times n$ 本の映像信号線においてn本に1本の間隔であることを特徴とする請求項1又は2に記載の薄膜トランジスタ回路。

【請求項6】

前記映像信号線とその映像信号線に対応する前記スイッチ回路との距離が、全ての前記映像信号線及びその映像信号線に対応する前記スイッチ回路において等しいことを特徴とする請求項1乃至5のいずれかに記載の薄膜トランジスタ回路。

【請求項7】

前記スイッチ回路は、それぞれ対応する前記引き出し配線と導電接続されており、全ての前記引き出し配線の配線長が同じであることを特徴とする請求項1乃至6のいずれかに記載の薄膜トランジスタ回路。

【請求項8】

前記引き出し配線の配線長を前記映像信号線及び前記スイッチ回路それぞれと前記引き出し配線とを導電接続するコンタクトホール間の距離で定義した場合、前記引き出し配線の配線長及び配線幅が全ての引き出し配線間で等しいことを特徴とする請求項1乃至7のいずれかに記載の薄膜トランジスタ回路。

【請求項9】

前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項1乃至8のいずれかに記載の薄膜トランジスタ回路。

【請求項10】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、

データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、

前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、

隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に前記スイッチ回路のチャネル幅以上離れていることを特徴とする液晶表示装置。

【請求項11】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、

データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、

前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力

10

20

30

40

50

するスイッチ回路駆動用ゲート線とを有し、
隣接する前記スイッチ回路 m 個 (m は正の整数) が前記引き出し配線が延在する方向に互いにそのチャンネル幅以上離して配置されるとともに、前記 m 個のスイッチ回路が前記スイッチ回路駆動用ゲート線を共有していることを特徴とする液晶表示装置。

【請求項 12】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、
データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、
前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、
前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、
隣接する前記スイッチ回路における前記引き出し配線が延在する方向のピッチ間隔を D 、前記映像信号線の幅を WV 、前記映像信号線間の距離を SV としたとき、 $D = WV + SV$ であることを特徴とする液晶表示装置。

【請求項 13】

同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、
データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、
前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、
前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、

前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、
隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に順次配置されるとともに、前記映像信号線の延在方向にずらして配置されていることを特徴とする液晶表示装置。

【請求項 14】

前記映像信号線の本数が $m \times n$ 本 (m 、 n は正の整数) であって、隣接する前記スイッチ回路 m 個が前記引き出し配線が延在する方向に互いにそのチャンネル幅以上離して配置されており、
前記 m 個のスイッチ回路の各々が対応する前記引き出し配線を介して導電接続される前記映像信号線は、前記 $m \times n$ 本の映像信号線において n 本に 1 本の間隔であることを特徴とする請求項 9 又は 10 に記載の液晶表示装置。

【請求項 15】

前記映像信号線とその映像信号線に対応する前記スイッチ回路との距離が、全ての前記映像信号線及びその映像信号線に対応する前記スイッチ回路において等しいことを特徴とする請求項 9 乃至 14 のいずれかに記載の液晶表示装置。

【請求項 16】

10

20

30

40

50

前記スイッチ回路は、それぞれ対応する前記引き出し配線と導電接続されており、全ての前記引き出し配線の配線長が同じであることを特徴とする請求項 9 乃至 15 のいずれかに記載の液晶表示装置。

【請求項 17】

前記引き出し配線の配線長を前記映像信号線及び前記スイッチ回路それぞれと前記引き出し配線とを導電接続するコンタクトホール間の距離で定義した場合、前記引き出し配線の配線長及び配線幅が全ての引き出し配線間で等しいことを特徴とする請求項 9 乃至 16 のいずれかに記載の液晶表示装置。

【請求項 18】

前記引き出し配線の配線材料が高融点金属であることを特徴とする請求項 9 乃至 17 のいずれかに記載の液晶表示装置。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ回路及び薄膜トランジスタを用いた液晶表示装置に関する。特に絶縁基板上の液晶表示装置の駆動回路のスイッチ回路周辺の配線構造、材料に関する。

【0002】

【従来の技術】

液晶の電気光学特性を利用して映像を表示する液晶表示装置では、各画素のスイッチング素子として T F T（薄膜トランジスタ）等の薄膜素子を透明基板上に形成し、液晶に印加する電圧を制御することによって優れた表示品質を得ることに成功している。更に、L S I の代わりに基板上画素マトリクス周辺に T F T で液晶表示体の駆動回路を一体形成する駆動回路内蔵技術も広く使われるようになった。この駆動回路内蔵技術により、液晶表示装置のコンパクト化ができると同時に低コスト化を実現することが可能となった。 20

【0003】

一般的にアクティブマトリクス方式液晶表示装置は図 1 にブロック図で示すように（ここでは映像信号線の本数が 3 本の場合について示す）、透明基板 11 の表面側に画素マトリクス 22、走査線駆動回路 21、およびデータ線駆動回路 12 が形成されている。走査線駆動回路 21 は走査線駆動タイミング制御部、バッファ回路を有し、バッファ回路の出力信号で走査線 Y 1、Y 2、Y 3・・・を駆動する。走査線が選択状態になるとこれに接続された画素 T F T 4 は低抵抗になり液晶容量 2 と保持容量 3 に映像信号が書き込める状態になる。データ線駆動回路 12 は、シフトレジスタ等からなるデータ線駆動タイミング制御部、T F T で構成されたスイッチ回路 S W 1、S W 2、S W 3・・・及び映像信号線 V 1、V 2、V 3 を有し、データ線駆動タイミング制御部の側から各スイッチ回路 S W 1、S W 2、S W 3・・・にはデータ線駆動タイミング制御部から出力されたビット信号がスイッチ回路駆動用ゲート線 G 1、G 2、G 3・・・を介して入力可能になっている。このためビット信号がスイッチ回路駆動用信号線 G 1、G 2、G 3・・・を介して各スイッチ回路 S W 1、S W 2、S W 3・・・に入力されると、各スイッチ回路 S W 1、S W 2、S W 3・・・が高抵抗状態から低抵抗状態に切りかわる。このきりかえによって、映像信号線 V 1、V 2、V 3 に供給されていた映像信号はデータ線 X 1、X 2、X 3・・・に保持され、画素 P 1、P 2、P 3・・・においては、映像信号が液晶セル 2 の液晶の配向状態を変化させて画面を表示する。 30 40

【0004】

近年、駆動回路内蔵型液晶表示装置においては小型化かつ高精細化が進み画素マトリクスのピッチは極めて小さくなってきている。これにともない走査線、データ線の数が増大し同時に配線ピッチが小さくなる傾向があり、ドライバー内蔵型の液晶表示装置においては特に画素部近辺に位置するスイッチ回路のピッチを小さくする必要がある。しかし、T F T はゲート長を L S I のようにサブミクロンのオーダーにすることはできないのでどうしても 1 つの回路が占有する面積を減らすには限界がある。この問題を解決するために、データ線の数そのものを減少させる技術がある（特開平 5 - 265045）。これはデータ 50

線を2つの画素で共有することによりデータ線の本数を半分にした一方で走査線の数を増やし、ピッチの厳しいデータ線側の配線ピッチを2倍にひろげる方法である。

【0005】

次にTFTの製造プロセスの例について説明する(図3参照)。後々チャネル領域、ソース、ドレイン領域になるポリシリコン等の半導体層1がはじめに形成される。その後この半導体層を熱酸化などで酸化することによりゲート絶縁膜8を形成し、その上にシリサイドや高融点金属などによりゲート線およびゲート電極G1P、G1Nを形成する。その後このゲート電極をマスク代わりにして n^+ 、 p^+ イオン注入をしソース、ドレイン領域を形成することでセルフアライン型のTFTをつくる。この上に層間絶縁膜9を形成した後、ソース、ドレイン部と配線を導電接続するためコンタクトホール5をあけアルミニウムなどの低抵抗金属配線6、7を形成しP型およびN型TFTが完成する。このようにゲート配線G1P、G1Nとアルミニウム配線6、7は層間絶縁膜9で分離されており、コンタクトホールを介してのみこれらの配線は導電接続する構造になっている。このTFTプロセスにおいては、イオン注入法でソース、ドレインを形成した後に高温活性化を行う。このためゲート配線はこの高温に耐え得る材料でなければならず低抵抗の金属配線は使えない。従って、通常はポリシリコンやシリサイド等の材料が使われる。この結果、ゲート配線は金属配線より高抵抗になるのが普通である。

10

【0006】

図2に前記データ線駆動回路の映像信号線周辺の基板上でのレイアウトの一部を例示する(ここではスイッチ回路としてCMOSアナログスイッチを使った場合を示す)。データ線駆動回路12と画素マトリクス22との配置上、映像信号線V1、V2、V3と引き出し配線S1、S2、S3・・・とは必然的に交差することになる。このため、図示のように実際の液晶表示装置の基板上では引き出し配線S1、S2、S3・・・は映像信号線と絶縁膜を介して異なった層に配線され、コンタクトホール5を通して必要な映像信号線とのみ導電接続される。

20

【0007】

図3は図2のスイッチ回路(CMOSアナログスイッチ)の断面図である。絶縁基板上に形成されたPチャンネル、Nチャンネルのトランジスタのソース側7に引き出し配線を介して映像信号線からの映像信号が入力される。データ線駆動タイミング制御部からの信号がスイッチ回路駆動用ゲート電極G1P、G1Nに入力されるとPチャンネルトランジスタあるいはNチャンネルトランジスタの少なくともどちらかのチャネル領域は低抵抗になり、コンタクトホール5を介してドレインに接続されたドレイン側配線6を介してデータ線に映像信号が書き込まれる。

30

【0008】

ここで映像信号線周辺の配線について前記TFTプロセスとの対応を説明する。映像信号線V1～V3は負荷容量が大きくなるので低抵抗配線が必要になり、通常アルミニウムなどの金属配線を用いる。これは前記TFT製造プロセスの金属配線6、7と同じ工程でつくられる。一方、映像信号線と交差する引き出し配線S1～S3は金属配線とは別の層につくらなければならないため層間絶縁膜9を介して映像信号線の下に配置され、前記TFT製造プロセスのゲート配線G1P、G1Nと同じ材料が使われる。金属配線に対してゲート配線は抵抗値が高く、引き出し配線の部分は映像信号線に比べて高抵抗になる。特にプロセス温度が高く金属配線が使えず、シリサイド等の材料が使われる場合配線のシート抵抗はアルミニウム配線より1桁以上高くなる場合がある。例えば膜厚5000の配線にアルミニウムを使った場合、この配線のシート抵抗は約0.05Ω前後であるのに対して、同じ配線にポリシリコンを使った場合この配線のシート抵抗は約15Ω前後となる。この結果、映像信号のデータ線への書き込みは引き出し配線の抵抗によって大きく左右される。引き出し配線はそれぞれ異なった映像信号線に接続されるため配線毎の抵抗値のばらつきが生じる。このため、映像信号のデータ線への書き込みにばらつきが生じ、結果表示品質の低下を招く。

40

【0009】

50

この表示品質の低下を防ぐため、従来図4、図5に示すような方法がとられている。図4の方法では引き出し配線S1、S2、S3・・・の配線幅を配線長に比例させて大きくすることによって配線間の抵抗値のばらつきをなくしている。また、図5の方法（特開平5-307165）では引き出し配線の形状を配線長に応じて変えることによって抵抗値のばらつきを無くしている。

【0010】

【発明が解決しようとする課題】

従来のデータ配線を減らす方法はデータ線の負荷が大きくなるので、画素数が多くなりデータ線への信号書き込み時間が短い場合データ線駆動回路の負担の増大につながる。TFTはシリコン基板上につくられた単結晶MOSFETに比べて結晶性が悪くオン抵抗が高いため、特に駆動回路内蔵型液晶表示装置においてスイッチ回路の負荷が大きくなることは表示品質の低下につながる。したがって、データ線の本数は減らさずにスイッチ回路の効率的なレイアウトをする必要がある。

10

【0011】

また、従来の技術では、引き出し配線それぞれの形状を異なったものにするによって配線抵抗の値をそろえていることが特徴である。このため、従来の方法では引き出し配線の抵抗の大きさにパターン依存性がある。すなわち、マスク上では引き出し配線の抵抗値がそろえるようにパターンがつくられていても、実際の基板上のパターンは形状によってできあがり寸法がかわるため結果的には引き出し配線の抵抗値が配線形状毎に異なってくる。このため、できあがった液晶表示装置では依然として表示品質のばらつきが存在する。マスク上においてこのパターン依存性を考慮したパターン設計をする事は困難であるし、仮にできたとしてもこの方法ではプロセス条件が変わると対応できないという問題がある。

20

【0012】

また、アクティブマトリクス液晶表示装置においては、カラー表示、小型高精細化による画素数の増大にともなって映像信号線の本数が増大する傾向がある。これは、映像信号線の本数を増やし、実質的な書き込み周波数を低くするためである。このため前記引き出し配線と映像信号線との交差部の数が増大し、同時に引き出し配線の長さも長くなる。引き出し配線の長さが長くなるほど、従来の方法では引き出し配線のそれぞれの形状の違いがおおきくなるのでパターン依存性が強くなる。言い換えると従来の方法は画素数が多くなり映像信号線の本数が多くなるほど信頼性が低くなるという課題を持っている。

30

【0013】

以上のように従来技術の課題は微細ピッチに対応可能な薄膜トランジスタが必要であることと、これと同時に映像信号の書き込みの均一性を保つことである。

【0014】

【課題を解決するための手段】

本発明の薄膜トランジスタ回路は、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に前記スイッチ回路のチャネル幅以上離れていることを特徴とする。

40

また、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トラ

50

ンジスタ回路において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクス形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路 m 個（ m は正の整数）が前記引き出し配線が延在する方向に互いにそのチャンネル幅以上離して配置されるとともに、前記 m 個のスイッチ回路が前記スイッチ回路駆動用ゲート線を共有していることを特徴とする。

10

また、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクス形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路における前記引き出し配線が延在する方向のピッチ間隔を D 、前記映像信号線の幅を WV 、前記映像信号線間の距離を SV としたとき、 $D = WV + SV$ であることを特徴とする。

20

また、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクス形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に順次配置されるとともに、前記映像信号線の延在方向にずらして配置されていることを特徴とする。

30

また、前記映像信号線の本数が $m \times n$ 本（ m 、 n は正の整数）であって、隣接する前記スイッチ回路 m 個が前記引き出し配線が延在する方向に互いにそのチャンネル幅以上離して配置されており、前記 m 個のスイッチ回路の各々が対応する前記引き出し配線を介して導電接続される前記映像信号線は、前記 $m \times n$ 本の映像信号線において n 本に1本の間隔であることを特徴とする。

40

また、前記映像信号線とその映像信号線に対応する前記スイッチ回路との距離が、全ての前記映像信号線及びその映像信号線に対応する前記スイッチ回路において等しいことを特徴とする。

前記スイッチ回路は、それぞれ対応する前記引き出し配線と導電接続されており、全ての前記引き出し配線の配線長が同じであることを特徴とする。

また、前記引き出し配線の配線長を前記映像信号線及び前記スイッチ回路それぞれと前記引き出し配線とを導電接続するコンタクトホール間の距離で定義した場合、前記引き出し

50

配線の配線長及び配線幅が全ての引き出し配線間で等しいことを特徴とする。

また、前記引き出し配線の配線材料が高融点金属であることを特徴とする。

また、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に前記スイッチ回路のチャンネル幅以上離れていることを特徴とする。

10

また、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路m個（mは正の整数）が前記引き出し配線が延在する方向に互いにそのチャンネル幅以上離して配置されるときとも、前記m個のスイッチ回路が前記スイッチ回路駆動用ゲート線を共有していることを特徴とする。

20

また、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路における前記引き出し配線が延在する方向のピッチ間隔をD、前記映像信号線の幅をWV、前記映像信号線間の距離をSVとしたとき、 $D = WV + SV$ であることを特徴とする。

30

40

また、同一基板上の画素マトリクス領域と前記基板の外周縁との間に形成された薄膜トランジスタ回路を備える液晶表示装置において、データ線駆動回路が前記外周縁の辺方向に向かって形成され、前記データ線駆動回路の外周縁側から前記画素マトリクスの形成領域側方向に向かって並列する映像信号線と、前記映像信号線毎に層間絶縁膜を介して導電接続し、前記映像信号線から前記画素マトリクス形成領域側に向かう引き出し配線と、前記引き出し配線と該引き出し配線毎に対応する各データ線との間に介挿され、駆動タイミング制御部から出力された駆動タイミング信号に従って前記引き出し配線と前記データ線とが導電接続する状態及び非導電接続状態に動作がそれぞれ切り換えられるスイッチ回路と

50

、前記駆動タイミング制御部から前記スイッチ回路部に向けて形成されて前記映像信号線に対して層間絶縁膜を介して交差し、前記駆動タイミング信号を前記スイッチ回路部に入力するスイッチ回路駆動用ゲート線とを有し、隣接する前記スイッチ回路が、前記引き出し配線が延在する方向に順次配置されるとともに、前記映像信号線の延在方向にずらして配置されていることを特徴とする。

また、前記映像信号線の本数が $m \times n$ 本（ m 、 n は正の整数）であって、隣接する前記スイッチ回路 m 個が前記引き出し配線が延在する方向に互いにそのチャネル幅以上離して配置されており、前記 m 個のスイッチ回路の各々が対応する前記引き出し配線を介して導電接続される前記映像信号線は、前記 $m \times n$ 本の映像信号線において n 本に1本の間隔であることを特徴とする。

10

また、前記映像信号線とその映像信号線に対応する前記スイッチ回路との距離が、全ての前記映像信号線及びその映像信号線に対応する前記スイッチ回路において等しいことを特徴とする。

また、前記スイッチ回路は、それぞれ対応する前記引き出し配線と導電接続されており、全ての前記引き出し配線の配線長が同じであることを特徴とする。

また、前記引き出し配線の配線長を前記映像信号線及び前記スイッチ回路それぞれと前記引き出し配線とを導電接続するコンタクトホール間の距離で定義した場合、前記引き出し配線の配線長及び配線幅が全ての引き出し配線間で等しいことを特徴とする。

また、前記引き出し配線の配線材料が高融点金属であることを特徴とする。

図1において、基板11上の画素マトリクス22と前記基板の外周縁との間に形成されたデータ線駆動回路12があり、前記外周縁の辺方向（図中横方向）をX方向、前記外周縁から画素マトリクス22の方向（図中縦方向）をY方向とする。本発明は、薄膜トランジスタを用いた回路をY方向にお互いにずらして配置することによってX方向のレイアウトを微細ピッチにも対応可能とし、またスイッチ回路と映像信号線の配置を最適化することで引き出し配線の配線間ばらつきを抑えることを特徴とする。また、引き出し配線の形状をそろえることでプロセス依存性がなく、しかも抵抗値を一定とし、微細なピッチに対応するレイアウトを可能とすると同時に表示特性のばらつきを解消し、表示性能の向上をはかっていることを特徴とする。

20

以上

【0015】

30

【実施例】

（実施例1）

図6に薄膜トランジスタを使って構成したスイッチ回路を液晶表示装置の駆動回路に応用した場合の本発明の実施例を示す。ここではスイッチ回路および映像信号線周辺の配線構造の一部を例示する。3本の映像信号線V1、V2、V3は引き出し配線S1～S3及びスイッチ回路SW1～SW3を介して各データ線X1～3に接続される。各スイッチ回路は駆動タイミング制御部から出力されたビット信号がスイッチ回路駆動用ゲート線G123に印加されるタイミングに従って高抵抗と低抵抗の切り換え動作をする。

【0016】

アナログスイッチ等のスイッチ回路では短時間に映像信号をデータ線に書き込まなければならず、このためには選択状態で充分低抵抗になる必要がある。しかしTFTは単結晶MOSFETと比べて結晶性が悪いためTFTをもちいてアナログスイッチ等のスイッチ回路を構成した場合、充分低いオン抵抗を得るためにはチャネル幅を大きくとる必要がある。実際、単結晶MOSFETの場合に比べて1桁以上チャネル幅を大きくとらなければならない。また、チャネル長も単結晶MOSFETのように小さくはできないためX方向のピッチを小さくするには限界があり、結果的にスイッチ回路は駆動回路においてかなりの大面積を占めることになる。従って、液晶表示装置の駆動回路においてはこのスイッチ回路をいかに小さなスペースに効率的に配置するかが小型高精細化のポイントになる。またカラーフィルタを用いてカラー表示をする場合、R、G、Bのそれぞれの色の映像信号を外部から入力するので、映像信号線の数は一般的に $3n$ 本（ n は正の整数）となる。これ

40

50

らの信号を各データ線に書き込むスイッチ回路のオンオフのタイミングは少なくとも3色の信号を書き込む際にそろっていなければならない。

【0017】

図6に示す本発明の薄膜トランジスタ回路は隣接するスイッチ回路SW1～3がY方向(図中縦方向)にスイッチ回路を構成するTFTのチャネル幅(W)以上離れて配置されている(図6中では $D > W$)ことを特徴とする。これによりスイッチ回路を図示のように互いにX方向(図中横方向)にずらして配置すればスイッチ回路1個あたりのX方向のピッチを小さくすることができ、微細な画素ピッチに対応可能となるので液晶表示装置の小型高精細化が容易になる。

【0018】

単結晶MOSFETの場合、シリコン基板上の配線が長いとその分だけ配線とシリコン基板との間に容量が発生するので、配線長はとにかく短くするのが鉄則である。薄膜トランジスタで構成したスイッチ回路は前述のようにかなり長いチャネル幅が必要なためY方向に大きくなり、図6に示す配置をとった場合引き出し配線S1～S3の配線長が相当長くなってしまふ。これがシリコン基板上の配線の場合寄生する容量の問題が大きい。絶縁基板上の薄膜トランジスタにおける配線では、配線と基板間の容量が一切生じないので配線長が長くなることはほとんど問題とならない。従って本発明のスイッチ回路の配置は特に薄膜トランジスタを用いて回路を形成した場合に有効である。

【0019】

図7に本発明の薄膜トランジスタ回路を示す。本発明の薄膜トランジスタ回路は複数のスイッチ回路がスイッチ回路駆動用ゲート線を共有していることを特徴とする。3個のスイッチ回路SW1～SW3はスイッチ回路駆動用ゲート線G1～G3に入力される信号で駆動される。これらスイッチ回路駆動用ゲート線G1～G3は1本のスイッチ回路駆動用ゲート線G123と導電接続されていてこのG123のみが映像信号線を横切るレイアウトになっている。図7に示す本発明の配置では、スイッチ回路3個がスイッチ回路駆動用ゲート線を共有しているのでこれら3個のスイッチ回路を駆動するために映像信号線を横切っているスイッチ回路駆動用ゲート線の本数は1本であり、これによりスイッチ回路駆動用ゲート線と映像信号線とが交差する点が3箇所であつて済んでいる。これに対して図4、図5に示す従来の配線では3個のスイッチ回路SW1～SW3を駆動するために3本のスイッチ回路駆動用ゲート線G1～G3を配線しており、スイッチ回路駆動用ゲート線と映像信号線V1～V3との交差する点は9箇所もある。この様に複数のスイッチ回路でゲート線を共有する事によりスイッチ回路駆動用ゲート線と映像信号線との交差する点の数を減らすことができるので、これにともない配線間の短絡欠陥による歩留まりの低下を防ぐことができる。同時に映像信号線とスイッチ回路駆動用ゲート線との間の配線間容量が少なくなるため映像信号線の負荷容量が小さくなり、映像信号線に映像信号を書き込む外部回路の負担も小さくすることができる。

【0020】

さらに図6のようにスイッチ回路SW1～SW6をY方向にチャネル幅W以上離して配置することによってスイッチ回路駆動用ゲート線G123、G456を共有させることもできる。図6に示すように、Y方向にお互い離して配置したスイッチ回路SW1～SW6の間にスイッチ回路駆動用ゲート線G123、G456をレイアウトできるだけのY方向スペースを設ける。スイッチ回路のチャネル幅Wにスイッチ回路駆動用ゲート線の前記Y方向レイアウトスペースを加えた長さをDとすると、少なくともそれぞれのスイッチ回路をピッチDだけY方向に離して配置すればY方向にずらして配置したスイッチ回路間で図示のようにスイッチ回路駆動用ゲート線を配置することができる。これによりスイッチ回路駆動用ゲート線の共有が可能になる。このレイアウトにより、ゲート配線が占めるスペースを節約し微細ピッチに対応可能となるだけでなく、スイッチ回路駆動用ゲート線を共有しているスイッチ回路を全く同じタイミングで駆動することができる。駆動タイミングをそろえなければならないスイッチ回路をY方向にチャネル幅以上離して配置しこれらのゲート線を共有させれば、これらのスイッチ回路は必ず同じタイミングで駆動される。以上

10

20

30

40

50

のようにスイッチ回路をY方向にチャネル幅以上離してスイッチ回路駆動用ゲート線を共有する配置により、微細化に対応できると同時にスイッチ回路の駆動タイミングをそろえる事ができ、さらに映像信号線と交差するスイッチ回路駆動用ゲート線の減少により歩留まり向上、外部回路の負担の軽減ができ、本発明の配置はスイッチ回路に応用した場合特に有効である。

【0021】

本発明の薄膜トランジスタ回路は、スイッチ回路同志のY方向ピッチをD、映像信号線の配線幅をWV、映像信号線の配線間距離をSVとしたとき $D = WV + SV$ であることを特徴とする。ここで図6に示すように、Dはそれぞれ隣あうスイッチ回路のY方向パターンピッチで、WVは映像信号線のY方向の配線幅、SVは映像信号線間のY方向に離れている距離で決定している。このような条件を満たすように映像信号線とスイッチ回路のサイズを設定することによって、スイッチ回路と映像信号線との距離を容易にそろえることができる。これによってスイッチ回路と映像信号線とを接続する引き出し配線の配線長を全て同じにすることができるので、引き出し配線の抵抗値のばらつきをおさえることができ、映像信号のデータ線への書き込み特性が向上する。これと同時に、引き出し配線の配線長が同じであるので引き出し配線の抵抗値は単純に引き出し配線の配線幅で決定される。したがって設計段階において配線抵抗の計算が容易になり、設計の効率化がはかれる。

【0022】

図8に映像信号線とスイッチ回路の接続に関する本発明の薄膜トランジスタ回路の概略図を示す。本発明の薄膜トランジスタは映像信号線の本数が $m \times n$ 本(m, n は正の整数)であって m 個のスイッチ回路をY方向に互いにそのチャネル幅以上離して配置したとき、この m 個のスイッチ回路が引き出し配線を介して接続している映像信号線は $m \times n$ 本の映像信号線において n 本に1本の間隔であることを特徴とする。スイッチ回路と映像信号線の接続を前記のように組み合わせることによって、これら映像信号線とスイッチ回路とを接続する引き出し配線間の長さのばらつきを最小にする事ができる。例えば図8では映像信号線6本に対して、 $m = 3$ 、 $n = 2$ として配置を行っている。3個($= m$)のスイッチ回路SW1、SW2、SW3がY方向にチャネル幅以上離れて配置されていて、これらのスイッチ回路が引き出し配線S1、S2、S3を介して接続されている映像信号線はそれぞれV1、V2、V3でこれらの映像信号線は2本($= n$)に1本の間隔になっている。もしSW3がV3に接続されていてその隣のSW2がV6に、その隣のSW1がV2に接続されていると、その他の引き出し配線S4、S5、S6は必然的にS1、S2、S3の引き出し配線より短くなってしまう。しかし本発明の接続方法に従って映像信号線とスイッチ回路を接続すれば引き出し配線の配線長のばらつきを最小にすることができる。さらにスイッチ回路と映像信号線が占めるスペースを適当に設定すれば、映像信号線とスイッチ回路との距離を全てそろえることも可能になる。

【0023】

また図8に示すように、引き出し配線の配線長LSをそろえると同時に配線幅を全ての引き出し配線で同じにすることで、全ての引き出し配線の形状を同じにすることができる。ここで引き出し配線の配線長を図8に示すように引き出し配線がそれぞれ映像信号線、スイッチ回路と導電接続するコンタクトホールの間隔LSで定義する。図8において引き出し配線S1～S6では全て配線長LS、及び配線幅が同じで、抵抗値が一定になるようにつくられている。

【0024】

液晶表示装置において、映像信号線、引き出し配線、スイッチ回路、データ線の一連の経路を全体としてみた場合、これは直列に接続された抵抗と並列に接続された容量からなる低域通過回路を形成している。したがって映像信号をどれだけデータ線に書き込めるかは前記抵抗値と容量値の積である時定数で決まる。従って、この時定数がデータ線毎に異なると不均一な書き込みが行われてしまう。これを防ぐためには、前記一連の経路で特に引き出し配線の抵抗値を揃える必要がある。液晶表示装置の配線は基板との間に生じる負荷容量がないので、配線長よりも配線抵抗のばらつきの方が映像信号の書き込みに与える影

10

20

30

40

50

響が大きい。前記のように引き出し配線の形状（長さ・幅）をそろえることで映像信号線から引き出し配線、アナログスイッチを通してデータ線に書き込まれる映像信号の経路の形状は全て同じとなり、書き込み特性のばらつきによる表示品質の低下を防ぐことができる。同時に、形状が全ての映像信号の経路で同じであるのでパターン依存性がなく基板上のパターンは常に同様のできあがり形状になる。また薄膜トランジスタの形成プロセスが変わってもできあがりの形状は常に同じになる。このため、プロセスに左右されることのない安定した書き込み特性をもった薄膜トランジスタ回路が得られる。

【0025】

図9に引き出し配線として高融点の金属を用いた場合の実施例を示す。前述のように引き出し配線としてシリサイドなどの配線を使った場合に比べて、タンタル、タングステン、クロム等の高融点金属を使うことにより、高温のプロセスを使えると同時に引き出し配線S1～S6の抵抗値を1桁以上小さくすることができる。このため引き出し配線の抵抗による映像信号のデータ線への書き込み特性の低下を気にせずすみ、図9に示すように映像信号線間の距離SVを大きくとることができる。これにより、映像信号線どうしの配線間容量が小さくなり、映像信号線の容量自体を小さくすることができる。映像信号線などの絶縁基板上の長い配線では基板との間の容量はないかわりに、隣あう配線同志の容量が効いてくる。特に映像信号線のような長い配線ほどこれが顕著になる。図示の様に配線間距離を大きくとることによって配線間の容量を小さくし、映像信号線への外部からの映像信号の書き込みを向上させることができる。このように引き出し配線に高融点材料を用いることにより映像信号線の時定数を小さくし高周波の映像信号の書き込み特性を向上させることができ、良好な周波数特性をもった薄膜トランジスタ回路を得ることができる。

【0026】

（実施例2）

本発明の液晶表示装置は図1のブロック図に示すスイッチ回路周辺の配線構造として、図6に示すレイアウトをもつことを特徴とする。通常カラーフィルターを使ってカラー表示を行う場合、データ線駆動回路側から赤（R）、緑（G）、青（B）に対応する映像信号を入力する。従って、白黒表示の場合と同等の画素サイズで考えると、同じ画素をX方向に3分割してそれぞれの画素にR、G、Bのカラーフィルターを対応させることになる。すなわち、X方向の画素数が3倍、画素ピッチにすると3分の1になる。このため特にカラー表示の場合、データ線駆動回路においてX方向の薄膜トランジスタ回路をいかに微細ピッチに対応させるかが小型高精細化を決定する。図6に示すスイッチ回路のレイアウトのようにスイッチ回路をY方向にそのチャネル幅以上離して配置することでスイッチ回路1個あたりが占めるX方向のピッチを小さくし、データ線への書き込み能力を保ちながらX方向の微細ピッチに対応する事が可能となる。これにより、液晶表示装置のサイズを変えずに、カラー表示に対応可能とする事ができる。

【0027】

また、本発明の液晶表示装置は図1のブロック図に示すスイッチ回路周辺の配線構造として図6の配線構造を持つことを特徴とする。映像信号線の本数をここでは6本の場合を示す。3個のスイッチ回路をY方向に省スペース配置し、これら3個のスイッチ回路はスイッチ回路駆動用ゲート線を共有している。これと同時にこれら3個のスイッチ回路が引き出し配線を介して接続している映像信号線V1、V2、V3にはそれぞれR、G、B3原色に対応する映像信号が外部から入力されている。スイッチ回路駆動用ゲート線を共有している前記3個のスイッチ回路は信号がスイッチ回路駆動用ゲート線に入力されると必ず同時に低抵抗状態になるためR、G、Bの映像信号を全く同じタイミングでデータ線に書き込むことができる。これによりR、G、Bそれぞれの信号の書き込みタイミングのずれによる色むらを低減することができ良好な表示特性をもった液晶表示装置を得ることができる。

【0028】

さらに本発明の液晶表示装置は図1のブロック図に示すスイッチ回路周辺の配線構造として、図8に示すレイアウトを持つことを特徴とする。カラー表示をする場合映像信号線は

10

20

30

40

50

必然的に複数必要になり、それぞれの信号の書き込みにばらつきがないことが要求される。図8のレイアウトを用いることにより引き出し配線の形状を全てのデータ線に関してほぼ同じにできるので、データ線毎の書き込み特性のばらつきを無くすことができ、この結果データ線毎の輝度のむらを無くすることができる。

【0029】

本発明の液晶表示装置は図1のブロック図に示すスイッチ回路周辺の配線構造として、高融点金属の引き出し配線材料を使い、図9に示すレイアウトを持つことを特徴とする。映像信号線の配線間容量が大きくなると、映像信号を映像信号線に書き込むための外部回路の負担が大きくなる。これは外部回路の出力抵抗を低くして時定数を下げなければならないため外部回路の消費電流が大きくなってしまいうからである。本発明の液晶表示装置にお

10

【0030】

【発明の効果】

以上述べたように本発明の薄膜トランジスタ回路は、隣接するスイッチ回路が該スイッチ回路のチャネル幅以上Y方向に離れているのでスイッチ回路同志をX方向につめて配置でき、スイッチ回路1個あたりが占めるX方向のピッチを小さくすることができる。従って微細ピッチ化が可能となる。また、複数のスイッチ回路がスイッチ回路駆動用ゲート線を共有しているので映像信号線と交差するスイッチ回路駆動用ゲート線の本数が少なくでき、これによって映像信号線とスイッチ回路駆動用ゲート線との交差部での短絡による欠陥を減らす事ができ歩留り向上、コスト削減につながる。さらに隣接するスイッチ回路をY方向にそのチャネル幅とスイッチ回路駆動用ゲート線を配置するスペースの分だけ離して配置し、スイッチ回路駆動用ゲート線を共有しているのでさらに微細ピッチ化ができると同時にスイッチ回路の駆動タイミングを完全に一致させることができる。これと同時に映像信号線を横切るスイッチ回路駆動用ゲート線の数が増加するので歩留まりが向上し、映像信号を映像信号線に書き込む外部回路の負担を軽減できる。また映像信号線の配線幅をWV、配線間距離をSV、スイッチ回路のY方向のパターンピッチをDとしたとき $D = WV + SV$ としていて映像信号線とスイッチ回路との距離が容易に等しくできるので、引き出し配線の配線長のばらつきをおさえることができ映像信号のデータ線への書き込み特性が向上すると同時に設計段階に於ける効率化もはかることができる。さらに映像信号線とスイッチ回路とを接続する際の組み合わせを最適化しているので、引き出し配線の距離のばらつきを最小に抑えることができる。加えてスイッチ回路の大きさと映像信号線のスペースを適当に設定すれば、スイッチ回路と映像信号線との距離を全て同じにすることも可能となる。また、引き出し配線の配線長と配線幅が全ての引き出し配線でほぼ等しいから、製造工程のばらつきやプロセスの変更等によって配線の形状が変化しても常に引き出し配線の抵抗を回路内で一定にする事ができ出力信号のばらつきを防止できる。一方、引き出し配線の材料を高融点の金属としたから引き出し配線の抵抗値を非常に小さくできる。これにより映像信号線同志の間隔を広くとることもでき、結果映像信号線間の配線間容量を小さくし映像信号の書き込み特性の向上をはかることができる。

20

30

40

【0031】

本発明の液晶表示装置は微細ピッチに対応可能な薄膜トランジスタを用いて駆動回路を構成しているから小型化と高精細化が可能である。特にスイッチ回路の微細化ができるので同じ液晶表示装置のサイズでカラー化することができる。そして、R、G、Bの映像信号をデータ線に書き込む3個のスイッチ回路がスイッチ回路駆動用ゲート線を共有しているので、これら3原色の書き込みタイミングが完全に一致しており色むらのない良好な表示特性を得ることができる。また、引き出し配線の形状が製造工程に左右されない薄膜トランジスタ回路を用いているためデータ線ごとの輝度ムラの生じない良好な表示品質を得ることができる。更に引き出し配線に高融点金属を用い映像信号線の配線間容量を小さくしているから映像信号を液晶表示装置に入力する外部回路の負担を小さくすることができる

50

。

【図面の簡単な説明】

【図１】液晶表示装置の全体構成を示すブロック図。

【図２】図１のデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図３】図２のスイッチ回路の断面図。

【図４】従来のデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図５】従来のデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図６】本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図７】本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。 10

【図８】本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【図９】本発明の薄膜トランジスタを用いたデータ線駆動回路の映像信号線周辺部の基板上でのレイアウトを示す図。

【符号の説明】

１１・・・透明基板

１２・・・データ線駆動回路

２１・・・走査線駆動回路

２２・・・画素マトリクス 20

Ｖ１、Ｖ２、Ｖ３、Ｖ４、Ｖ５、Ｖ６・・・映像信号線

ＳＷ１、ＳＷ２、ＳＷ３、ＳＷ４、ＳＷ５、ＳＷ６・・・スイッチ回路

Ｓ１、Ｓ２、Ｓ３、Ｓ４、Ｓ５、Ｓ６・・・引き出し配線

Ｐ１、Ｐ２、Ｐ３・・・画素マトリクス

Ｘ１、Ｘ２、Ｘ３、Ｘ４、Ｘ５、Ｘ６・・・データ線

Ｙ１、Ｙ２、Ｙ３・・・走査線

Ｇ１、Ｇ２、Ｇ３、Ｇ４、Ｇ５、Ｇ６、Ｇ１２３、Ｇ４５６・・・スイッチ回路駆動用ゲート線

１・・・半導体層（Ｐ領域、Ｎ領域を含む）

２・・・液晶セル 30

３・・・保持容量

４・・・画素トランジスタ

５・・・コンタクトホール

６・・・スイッチ回路のドレイン側配線

７・・・スイッチ回路のソース側配線

８・・・ゲート絶縁膜

９・・・層間絶縁膜

Ｇ１Ｐ、Ｇ２Ｐ、Ｇ３Ｐ・・・スイッチ回路のＰチャンネル駆動用ゲート線

Ｇ１Ｎ、Ｇ２Ｎ、Ｇ３Ｎ・・・スイッチ回路のＮチャンネル駆動用ゲート線

Ｄ・・・隣あうスイッチ回路間のＹ方向のパターンピッチ 40

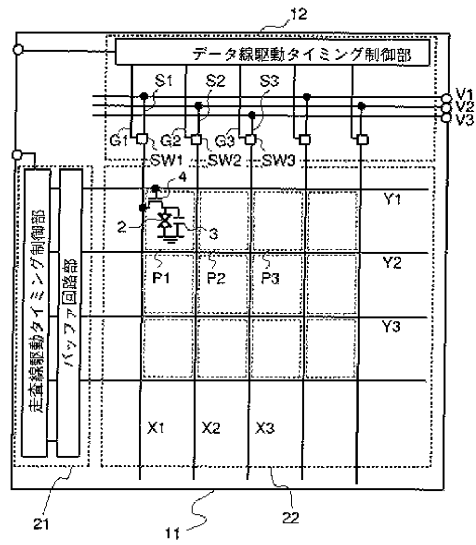
Ｗ・・・スイッチ回路のチャネル幅

ＷＶ・・・映像信号線の配線幅

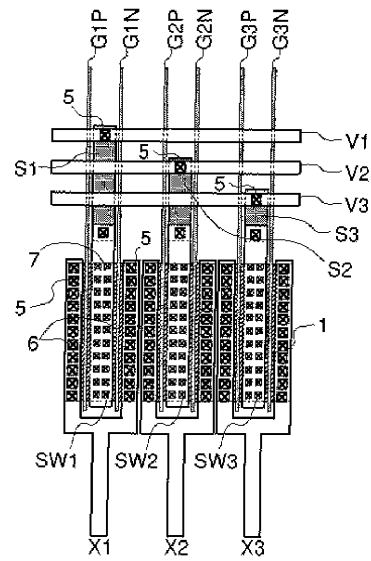
ＳＶ・・・映像信号線の配線間距離

ＬＳ・・・引き出し配線の配線長

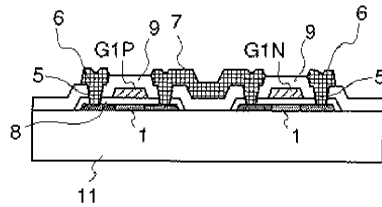
【図 1】



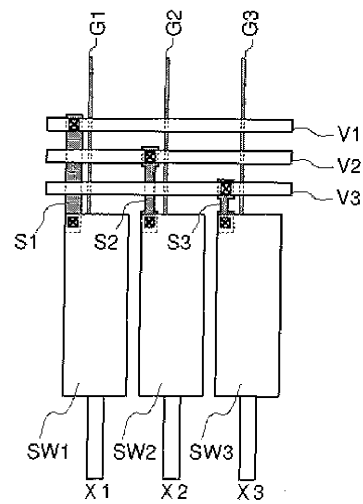
【図 2】



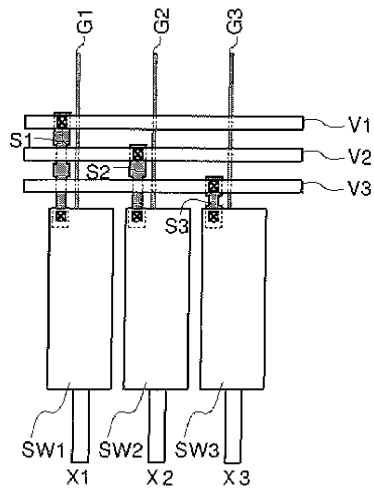
【図 3】



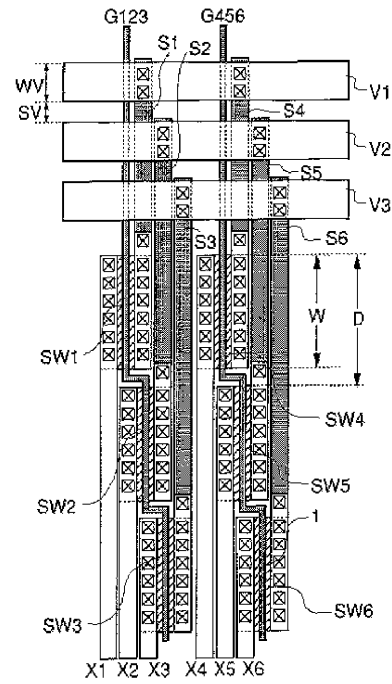
【図 4】



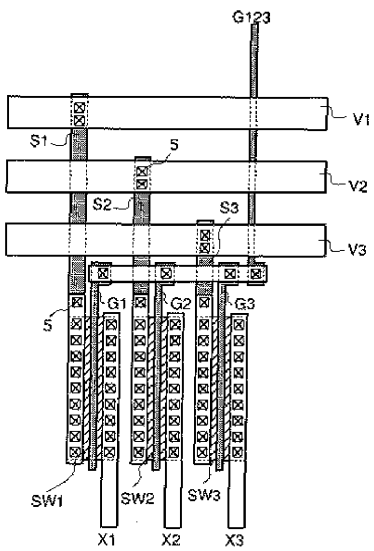
【 図 5 】



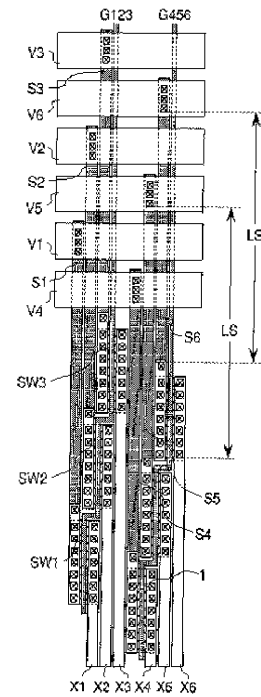
【 図 6 】



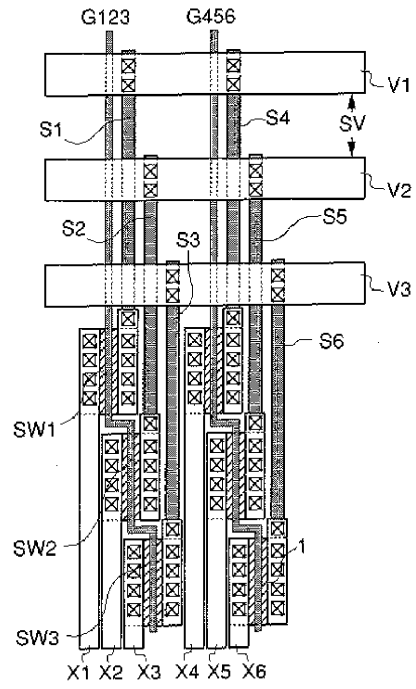
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き(51) Int.Cl.⁷

F I

G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	
H 0 1 L	29/78	6 1 2 C
H 0 1 L	29/78	6 1 2 B

(56)参考文献 特開平 0 5 - 3 0 7 1 6 5 (J P , A)
特開平 0 5 - 0 7 3 7 9 5 (J P , A)
特開平 0 5 - 3 2 6 9 6 0 (J P , A)
特開平 0 6 - 0 1 8 9 2 9 (J P , A)
特開昭 6 4 - 0 7 3 7 9 5 (J P , A)
実開平 0 5 - 0 1 1 3 4 0 (J P , U)
実開昭 6 1 - 0 8 1 6 3 5 (J P , U)

(58)調査した分野(Int.Cl.⁷, D B 名)

G02F 1/1368
G02F 1/133 550
G09G 3/20
G09G 3/36
H01L 29/786

专利名称(译)	薄膜晶体管电路和使用其的液晶显示装置		
公开(公告)号	JP3603894B2	公开(公告)日	2004-12-22
申请号	JP2003038308	申请日	2003-02-17
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	東清一郎		
发明人	東 清一郎		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36 H01L29/786		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/20.611.H G09G3/20.621.M G09G3/20.623.R G09G3/20.623.X G09G3/20.680.G G09G3/36 H01L29/78.612.C H01L29/78.612.B		
F-TERM分类号	2H092/GA29 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB56 2H092/KB25 2H092/MA06 2H092/NA25 2H092/PA01 2H092/PA06 2H092/PA08 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC34 2H093/NC41 2H093/ND52 2H093/ND60 2H093/NE01 2H093/NE02 2H093/NE06 2H093/NE07 2H093/NE10 2H192/AA24 2H192/FB05 2H193/ZA04 2H193/ZP01 2H193/ZP02 2H193/ZP20 5C006/AA16 5C006/AA22 5C006/AF43 5C006/AF50 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC08 5C006/BC13 5C006/BC23 5C006/BF24 5C006/BF34 5C006/EB05 5C006/FA12 5C006/FA13 5C006/FA16 5C006/FA20 5C006/FA22 5C006/FA25 5C006/FA37 5C006/FA42 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD07 5C080/DD08 5C080/DD23 5C080/DD24 5C080/DD25 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5F110/AA04 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/EE37		
代理人(译)	须泽 修		
其他公开文献	JP2003287774A		
外部链接	Espacenet		

摘要(译)

要解决的问题：小型化和增加液晶显示器件的清晰度并改善显示质量。
在薄膜晶体管电路和使用该薄膜晶体管电路的液晶显示装置中，通过有效地布置数据线驱动电路的开关电路SW 1，SW 2，SW 3，可以应对细间距，同时，并且通过共享用于驱动开关电路的栅极布线来匹配驱动时序。而且，通过使所有引线布线具有相同的形状，不存在图案依赖性，并且提供具有均匀电阻值的布线结构的薄膜晶体管电路。从而提供一种用于液晶显示装置的驱动电路，其能够实现液晶显示装置的小型化和高清晰度，同时获得优异的显示质量。

4

