

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-44348

(P2010-44348A)

(43) 公開日 平成22年2月25日 (2010. 2. 25)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H090
G09G 3/20 (2006.01)	G09G 3/20 622B	2H092
G02F 1/1343 (2006.01)	G09G 3/20 622C	2H093
G02F 1/1368 (2006.01)	G09G 3/20 623B	2H193
G02F 1/1337 (2006.01)	G09G 3/20 624B	5C006
審査請求 未請求 請求項の数 17 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2008-299321 (P2008-299321)
 (22) 出願日 平成20年11月25日 (2008. 11. 25)
 (31) 優先権主張番号 10-2008-0078252
 (32) 優先日 平成20年8月11日 (2008. 8. 11)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 李 濬 表
 大韓民国忠▲清▼南道天安市佛堂洞 トン
 イル3次アパートメント304棟1601
 号

最終頁に続く

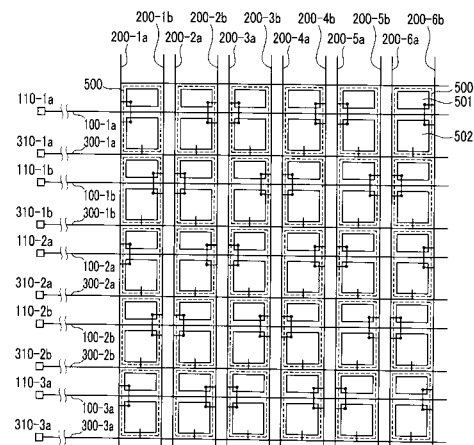
(54) 【発明の名称】 液晶表示装置、及びその駆動方法

(57) 【要約】

【課題】 液晶表示装置の残像および視認性を改善する。

【解決手段】 マトリクス形態に配置された複数の単位画素と、行方向に延びてそれぞれ単位画素に接続され一側端部にゲート電圧入力パッド部が形成された複数のゲートラインと、列方向に延びてそれぞれ単位画素に接続された複数の第1および第2データラインと、行方向に延びてそれぞれ単位画素に接続され一側端部に充電制御ゲート電圧入力パッド部が形成された複数の充電制御ラインとを含む液晶表示装置を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリクス形態に配置された複数の単位画素と、
行方向に延びて一側端部にゲート電圧入力パッド部が形成された複数のゲートラインと、

列方向に延びてそれぞれ前記単位画素に接続された複数の第 1 および第 2 データラインと、

前記行方向に延びて一側端部に充電制御ゲート電圧入力パッド部が形成された複数の充電制御ラインと

を含み、

前記複数のゲートラインは、奇数番目の単位画素列の単位画素に接続された第 1 ゲートラインと、偶数番目の単位画素列の単位画素に接続された第 2 ゲートラインとを含み、前記第 1 ゲートライン及び前記第 2 ゲートラインには同一のゲート電圧が印加されることを特徴とする液晶表示装置。

【請求項 2】

前記複数の単位画素のうち奇数番目の単位画素列の単位画素は前記第 1 又は第 2 データラインのうちいずれか 1 つのデータラインに接続され、偶数番目の単位画素列の単位画素は、前記奇数番目の単位画素列の単位画素が接続されていないデータラインに接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記単位画素は第 1 および第 2 サブ画素を備え、

前記ゲートラインは前記第 1 および第 2 サブ画素に電氣的に接続され、

前記充電制御ラインは前記第 1 および第 2 サブ画素のうちの少なくとも 1 つのサブ画素に電氣的に接続されることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 サブ画素は第 1 画素電極を含み、前記ゲートラインのゲートターンオン電圧により前記第 1 又は第 2 データラインのうちいずれか 1 つのデータラインの信号を前記第 1 画素電極に印加する第 1 薄膜トランジスタを含むことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 2 サブ画素は、

第 2 画素電極と、

前記ゲートラインのゲートターンオン電圧により、前記第 1 又は第 2 データラインのうちいずれか 1 つのデータラインの信号を前記第 2 画素電極に印加する第 2 薄膜トランジスタと、

充電制御電極と、

前記充電制御ラインの充電制御ゲートターンオン電圧により、前記第 2 画素電極と前記充電制御電極間をターンオンさせる充電制御薄膜トランジスタとを含むことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記複数の充電制御ラインは前記奇数番目の単位画素列の単位画素に接続された第 1 充電制御ラインと、前記偶数番目の単位画素列の単位画素に接続された第 2 充電制御ラインとを含み、前記第 1 充電制御ライン及び前記第 2 充電制御ラインに互いに同一の前記充電制御ゲートターンオン電圧が印加されることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記充電制御薄膜トランジスタは、前記単位画素内に形成され、前記充電制御電極を一電極として形成されたチャージダウンキャパシタに接続され、

前記チャージダウンキャパシタにより前記第 1 サブ画素および第 2 サブ画素が互いに異なる電圧を有するようになることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記単位画素は前記列方向に延長されたストレージラインを含み、

前記ストレージラインは前記充電制御電極と重なる突出部を含む請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 ゲートラインは前記単位画素領域を貫通する請求項 5 に記載の液晶表示装置。

【請求項 10】

前記第 1 ゲートラインと前記第 1 画素電極とが重なる部分の面積と、前記第 1 ゲートラインと前記第 2 画素電極とが重なる部分の面積が同一であることを特徴とする請求項 9 に記載の液晶表示装置。

10

【請求項 11】

前記第 1 および第 2 サブ画素は、配向が互いに異なる液晶を有する複数のドメイン領域を含むことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 12】

前記単位画素は、ゲート電極、前記ゲート電極上に形成されたゲート絶縁膜および半導体層、ならびに前記半導体層上に形成されたソースおよびドレイン電極を含む薄膜トランジスタを備え、前記データラインと前記半導体層は、前記ソース電極とドレイン電極の間の部分を除いた残りの部分が同一の平面形状を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 13】

第 1 サブ画素および第 2 サブ画素を含む複数の単位画素、行方向に延びて一側端部にゲート電圧入力パッド部が形成された複数のゲートライン、列方向に延びてそれぞれ前記単位画素に接続された複数の第 1 および第 2 データライン、並びに前記行方向に延びて一側端部に充電制御ゲート電圧入力パッド部が形成された複数の充電制御ラインを含む液晶表示装置の駆動方法において、

20

互いに隣接した複数のゲートラインに同時にゲートターンオン電圧を印加し、

前記第 1 データライン又は前記第 2 データラインを介して外部から印加される階調電圧を前記単位画素に充電し、

前記互いに隣接した複数のゲートラインに同時にゲートターンオフ電圧を印加し、

互いに隣接した複数の充電制御ラインに同時に充電制御ゲートターンオン電圧を印加し、前記第 2 サブ画素に充電された階調電圧を変化させることを含むことを特徴とする液晶表示装置の駆動方法。

30

【請求項 14】

前記複数のゲートラインにゲートターンオフ電圧を印加し、前記複数の充電制御ラインに充電制御ゲートターンオン電圧を印加することが同時に行われることを特徴とする請求項 13 に記載の液晶表示装置の駆動方法。

【請求項 15】

前記複数のゲートラインにゲートターンオフ電圧を印加し、一定時間後に、前記複数の充電制御ラインに充電制御ゲートターンオン電圧を印加することを特徴とする請求項 13 に記載の液晶表示装置の駆動方法。

40

【請求項 16】

前記第 1 データライン又は前記第 2 データラインを介して外部から印加される階調電圧を前記単位画素に充電するにあたり、前記第 1 サブ画素および前記第 2 サブ画素に同一の階調電圧が充電されることを特徴とする請求項 13 に記載の液晶表示装置の駆動方法。

【請求項 17】

前記互いに隣接した複数の充電制御ラインに同時に充電制御ゲートターンオン電圧を印加して、前記第 2 サブ画素に充電された階調電圧を変化させることは、

前記充電制御ラインに接続された充電制御薄膜トランジスタをターンオンさせ、前記第 2 サブ画素とチャージダウンキャパシタとを電氣的に接続させることを含むことを特徴とする請求項 16 に記載の液晶表示装置の駆動方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、残像および視認性を改善できる液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置（Liquid Crystal Display Device：LCD）は、従来の表示装置のCRT（Cathode-Ray-Tube）と比べて、小型、軽量および大画面であるという点からその開発が盛んに行われている。液晶表示装置は薄膜トランジスタと液晶キャパシタを含む複数の単位画素を用いて画像を表示する。

【0003】

液晶キャパシタは、画素電極と、共通電極と、画素電極と共通電極との間に形成される液晶とを備える。液晶表示装置は、外部電荷（即ち階調信号）を、薄膜トランジスタを介して画素電極に提供し、画素電極と共通電極との間の電界を変化させる。前記電界の変化を通して、液晶分子の配向が変化するようになり、これによって液晶分子を透過する光量に変化して画像を表示するようになる。このような液晶表示装置は、液晶の固有特性により視認性（visibility）が低く、残像が発生するという問題がある。

【0004】

また、液晶表示装置の解像度は単位面積内に形成された単位画素の個数に比例する。即ち、単位面積内に形成された単位画素の個数が増加するほど解像度が増加する。しかし、解像度が増加するほど走査線（即ち、ゲートライン）の個数が増加するようになり、一つの画素電極に外部電荷（即ち、階調信号）を充電する時間が減少する。これによって表示装置は、円滑に画像を表現することができないという問題が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明は上記従来の問題点に鑑みてなされたものであって、本発明の目的は、複数のゲートラインに同一のゲート電圧を印加して、同時に複数の画素列に電荷を充填することができ、解像度（Full HD；1920×1080以上）を向上すると同時に、電荷充填のための十分な時間を確保できる表示装置を提供することである。

【0006】

また、本発明は、単位画素を複数のサブ画素に分離し、サブ画素に充電される電荷量を異なるようにして視認性を向上させる表示装置を提供する。

【課題を解決するための手段】

【0007】

本発明の実施例に係る表示装置は、マトリクス形態に配置された複数の単位画素と、行方向に延びて一側端部にゲート電圧入力パッド部が形成された複数のゲートラインと、列方向に延びてそれぞれ単位画素に接続された複数の第1および第2データラインと、並びに、行方向に延びて一側端部に充電制御ゲート電圧入力パッド部が形成された複数の充電制御ラインとを含み、複数のゲートラインは、奇数番目の単位画素列の単位画素に接続された第1ゲートライン、及び偶数番目の単位画素列の単位画素に接続された第2ゲートラインを含み、第1ゲートラインと第2ゲートラインには同一のゲート電圧が印加されることを特徴とする。

【0008】

複数の単位画素において奇数番目の単位画素列の単位画素は、第1および第2データラインのうちいずれか1つのデータラインに接続され、偶数番目の単位画素列の単位画素は、前記奇数番目の単位画素列の単位画素が接続されていないデータラインに接続される。

【0009】

単位画素は、第1および第2サブ画素を具備し、ゲートラインは、第1および第2サブ画素に電氣的に接続され、充電制御ラインは、第1および第2サブ画素のうちの少なくとも1つのサブ画素に電氣的に接続される。

【0010】

第1サブ画素は第1画素電極を含み、ゲートラインのゲートターンオン電圧により、第1又は第2データラインのうちいずれか1つのデータラインの信号を第1画素電極に印加する第1薄膜トランジスタを含んでもよい。

【0011】

第2サブ画素は、第2画素電極と、ゲートラインのゲートターンオン電圧により、第1又は第2データラインのうちいずれか1つのデータラインの信号を第2画素電極に印加する第2薄膜トランジスタと、充電制御電極と、および充電制御ラインの充電制御ゲートターンオン電圧により、第2画素電極と充電制御電極間をターンオンさせる充電制御薄膜トランジスタとを含んでもよい。

【0012】

複数の充電制御ラインは、奇数番目の単位画素列の単位画素に接続された第1充電制御ラインと、偶数番目の単位画素列の単位画素に接続された第2充電制御ラインとを含み、第1充電制御ラインと第2充電制御ラインには同一の充電制御ゲートターンオン電圧が印加されてもよい。

【0013】

充電制御薄膜トランジスタは単位画素内に形成され、充電制御電極を一電極にして形成されたチャージダウンキャパシタに接続され、チャージダウンキャパシタによって第1サブ画素および第2サブ画素が互いに異なる電圧を有してもよい。

【0014】

単位画素は列方向に延長されたストレージラインを含み、ストレージラインは充電制御電極と重なる突出部を含んでもよい。

【0015】

第1ゲートラインは単位画素領域を貫通し、第1ゲートラインと第1画素電極とが重なる部分の面積と、第1ゲートラインと第2画素電極とが重なる部分の面積が同じであってもよい。

【0016】

第1サブ画素および第2サブ画素は、配向が互いに異なる液晶を備える複数のドメイン領域を含んでもよい。

【0017】

また、本発明による表示装置の単位画素は、ゲート電極と、ゲート電極上に形成されたゲート絶縁膜および半導体層と、半導体層上に形成されたソースおよびドレイン電極とを含む薄膜トランジスタを具備し、前記データラインと前記半導体層は、前記ソース電極とドレイン電極間の部分を除いた残りの部分で同一の平面形状を有してもよい。

【0018】

本発明の実施例による表示装置の駆動方法は、列方向に隣接した複数のゲートラインを介して同時にゲートターンオン電圧を印加し、列方向に延長された第1データライン又は第2データラインを介して、外部から印加される階調電圧を単位画素に充電し、列方向に隣接した複数のゲートラインを介して、同時にゲートターンオフ電圧を印加し、並びに、列方向に隣接した複数の充電制御ラインを介して、同時に充電制御ゲートターンオン電圧を印加し、単位画素内の一サブ画素に充電された階調電圧を変化させることを含むことを特徴とする。

【0019】

この際、表示装置の駆動方法は、ゲートターンオフ電圧の印加と同時に充電制御ゲートターンオン電圧を印加することもでき、ゲートターンオフ電圧が印加されて一定時間が経過した後に、充電制御ゲートターンオン電圧を印加することもできる。

【0020】

第1データライン又は第2データラインを介して外部から印加される階調電圧を単位画素に充電するにあたっては、単位画素内の第1サブ画素および第2サブ画素に同一の階調電圧が充電されてもよい。

【0021】

また、列方向に隣接した複数の充電制御ラインを介して、同時に充電制御ゲートターンオン電圧を印加し、第2サブ画素に充電された階調電圧を変化させることは、充電制御ラインに接続された充電制御薄膜トランジスタをターンオンさせ、第2サブ画素とチャージダウンキャパシタとを電氣的に接続することを含んでもよい。

【発明の効果】

10

【0022】

上記のように、本発明の実施例によれば、2つのゲートラインを同時に駆動してゲートラインの数が増加しても、ゲートターンオン電圧をゲートラインに印加する十分な時間を確保できる。

【0023】

また、本発明の実施例によれば、充電制御薄膜トランジスタを使用して、単位画素の第1および第2サブ画素間に充電された電荷量を調節することにより、視認性を向上させることができる。

【0024】

また、本発明の実施例によれば、複数のゲートラインが単位画素の中心領域を貫通するように形成することにより、複数のゲートラインと画素電極との間で発生する寄生キャパシタンス値を均一にすることができる。

20

【発明を実施するための最良の形態】

【0025】

以下、添付した図面を参照して本発明の好ましい実施例を詳細に説明する。

【0026】

しかし、本発明は、多様な形態で実現することができ、ここで説明する実施形態に限定されない。添付した図面を用いながら、本発明の実施形態を、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。

【0027】

30

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一の参照符号を付けている。層、膜、領域、板等の部分が、他の部分の「上に」とするとき、これは他の部分の「すぐ上に」とある場合に限らず、その中間に更に他の部分がある場合も含む。

【0028】

図1は本発明の第1実施例に係る液晶表示装置の概念図である。図2は第1実施例に係る液晶表示装置の回路図である。

【0029】

図1および図2を参照すれば、本実施例に係る液晶表示装置は、画素マトリクスと複数のゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)、複数の第1および第2データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a、200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)、複数の充電制御ライン(300-1a、300-2a、300-1b、300-2b)を含む。

40

【0030】

画素マトリクスは、マトリクス形態に配置された複数の単位画素500を備える。画素マトリクスは、複数の画素列と複数の画素行を備える。本実施例では画素行方向に赤色、緑色および青色を発光する単位画素500が順に配置される。各単位画素500は、第1サブ画素501と第2サブ画素502とを備える。第1サブ画素501は、第1薄膜トランジスタ601、第1液晶キャパシタC1c1および第1ストレージキャパシタCst1

50

を備える。第1薄膜トランジスタ601のゲート端子は、ゲートライン(100-Ga; 100-1a、100-2a、100-3a、100-Gb; 100-1b、100-2b、100-3b)に接続され、ソース端子は、第1データライン(200-Da; 200-1a、200-2a、200-3a、200-4a、200-5a、200-6a)又は第2データライン(200-Db; 200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)に接続され、ドレイン端子は、第1液晶キャパシタC1c1および第1ストレージキャパシタCst1に接続される。第2サブ画素502は、第2薄膜トランジスタ602、充電制御トランジスタ701、第2液晶キャパシタC1c2、第2ストレージキャパシタCst2およびチャージダウン(charge down)キャパシタCdownを備える。第2薄膜トランジスタ602のゲート端子は、ゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)に接続され、ソース端子は、第1又は第2データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a、200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)に接続され、ドレイン端子は、第2液晶キャパシタC1c2および第2ストレージキャパシタCst2に接続される。充電制御トランジスタ701のゲート端子は、充電制御ライン(300-Ca; 300-1a、300-2a、300-Cb; 300-1b、300-2b)に接続され、ソース端子は第2液晶キャパシタCcl2に接続され、ドレイン端子はチャージダウンキャパシタCdownに接続される。なお、図示されていないが、単位画素500は、チャージアップ(charge up)キャパシタCupをさらに備えてもよい。この際、充電制御トランジスタ701のドレイン端子は、チャージアップキャパシタCupの一電極に接続されてもよい。この場合、チャージアップキャパシタCupの他電極は、第1薄膜トランジスタ601のドレイン端子に接続されてもよい。

【0031】

複数のゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)は、画素マトリクスの行方向に延長される。複数のゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)の各々は、画素マトリクスの複数の画素行にそれぞれ接続される。即ち、1つのゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)は、1つの画素行に接続される。複数のゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)の各々は、図1に示すように単位画素領域を横切って貫通する。即ち、ゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)は、単位画素領域とその一部とが重なる。勿論これに限定されず、ゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)は単位画素領域の周辺部に形成されてもよい。

【0032】

複数の第1および第2データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a、200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)は画素マトリクスの列方向に延長される。図1に示すように、第1データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a)は画素列左側に位置し、第2データライン(200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)は画素列の右側に位置する。この際、画素列の奇数番目に位置する単位画素は、第1データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a)に接続され、画素列の偶数番目に位置する単位画素は、第2データライン(200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)に接続される。逆に、画素列の偶数番目に位置する単位画素が第1データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a)に接続され、画素列の奇数番目に位置する単位画素は第2データライン(200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)に接続される。

0-1b、200-2b、200-3b、200-4b、200-5b、200-6b)に接続されてもよい。即ち、1つの画素列に含まれている単位画素は、画素列の左右に配置されている第1データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a)または第2データライン(200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)のいずれかに交互に接続されている。

【0033】

本発明の第1実施例に係る液晶表示装置は、隣接する複数の単位画素500に接続される複数のゲートライン(100-Ga、100-Gb)に同一のゲート電圧を印加する。即ち、互いに同期されたゲートターンオン電圧を印加する。

10

【0034】

これにより、解像度向上のためにゲートライン数が増大される場合にも、1つのゲートラインにゲートターンオン電圧が印加される時間を増加することができる。例えば1920×1080の解像度から4096×2160の解像度に向上される場合、1920×1080の解像度では1080個のゲートラインが存在し、4096×2160の解像度では2160個のゲートラインが存在する。なお、二つの解像度を有する液晶表示装置が1つの画像フレームを表現するための時間は同一である。即ち、1つの画像フレームを表現するための時間が1秒であると仮定すれば下記のとおりである。1080個のゲートラインを有する場合、1秒間に1080個のゲートラインに全てゲートターンオン電圧を印加しなければならない。よって、1つのゲートラインにゲートターンオン電圧が印加される時間が1/1080秒となる。しかし、2160個のゲートラインを有する場合は、1秒間に2160個のゲートラインに全てゲートターンオン電圧を印加しなければならない。よって、1つのゲートラインにゲートターンオン電圧が印加される時間は1/2160秒となる。このように解像度向上のためにゲートラインの数が2倍になれば、1つのゲートラインにゲートターンオン電圧が印加される時間は1/2倍になる。

20

【0035】

しかし、本実施例のように隣接する2個のゲートライン(100-1aおよび100-1b、100-2aおよび100-2b)に同時にゲートターンオン電圧を印加する場合、1つのゲートラインにゲートターンオン電圧が印加される時間を2倍に増加させることができる。即ち、2個のゲートライン(100-1aおよび100-1b、100-2aおよび100-2b)に同時にゲートターンオン電圧を印加することによって1つのゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)にゲートターンオン電圧が印加される時間が減少するのを防止できる。

30

【0036】

隣接した2個のゲートライン(100-1aおよび100-1b、100-2aおよび100-2b)にゲートターンオン電圧が同時に提供されるため、2個のゲートライン(100-1aおよび100-1b、100-2aおよび100-2b)にそれぞれ接続された二つの画素行が同時に動作する。即ち、上下に位置した2個の単位画素内の第1および第2薄膜トランジスタ(601、602)が同時にターンオンする。よって、上下に位置した第1および第2薄膜トランジスタ(601、602)が同一のデータラインに接続される場合、上下に位置した2個の単位画素が同一の画像を表現することによって解像度を向上させることができない。このため本実施例では、上部に位置した第1および第2薄膜トランジスタ(601、602)を第1データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a)に接続させ、下部に位置した第1および第2薄膜トランジスタ(601、602)を第2データライン(200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)に接続させる。このような接続状態では、第1および第2データライン(200-1a、200-2a、200-3a、200-4a、200-5a、200-6a、200-1b、200-2b、200-3b、200-4b、200-5b、200-6b)にそれぞれ異なる階調信号を提供して、上下に位置した2個の単位画素500がそれぞれ独立した画像

40

50

を表現できるようにする。

【0037】

そして、本実施例では、単位画素500内の第1および第2サブ画素(501、502)の電荷充電量を制御するための充電制御ライン(300-1a、300-2a、300-1b、300-2b)を含む。複数の充電制御ライン(300-1a、300-2a、300-1b、300-2b)は画素マトリクス of 行方向に延長され、複数の画素行にそれぞれ接続される。複数の充電制御ライン(300-1a、300-2a、300-1b、300-2b)は、複数のゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)と電気的に絶縁されている。

【0038】

本実施例による液晶表示装置は、ゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)にゲートターンオン電圧を印加して、単位画素の第1および第2サブ画素(501、502)に同一の電荷をチャージさせる。次いで、前記ゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)にゲートターンオフ電圧が印加されるのと同時に、複数の充電制御ライン(300-1a、300-2a、300-1b、300-2b)に充電制御トランジスタ701をターンオンする充電制御ゲートターンオン電圧が印加されて、第1又は第2サブ画素(501、502)のうちの少なくともいずれか1つのサブ画素の電荷量を変化させる。本実施例では、第2サブ画素502の電荷充電量を減少させて視認性を向上させる。前記充電制御ライン(300-1a、300-2a、300-1b、300-2b)に印加される充電制御トランジスタ701をターンオンする充電制御ゲートターンオン電圧は、ゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)にゲートターンオフ電圧が印加されると同時に印加されるが、これに限定されず、ゲートターンオフ電圧が印加された後、一定の水平周期以降に充電制御トランジスタ701に充電制御ゲートターンオン電圧が印加されてもよい。

【0039】

行方向に延長されたゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)および充電制御ライン(300-1a、300-2a、300-1b、300-2b)の一側端部には、それぞれゲート電圧入力パッド部が形成される。これによってゲートライン(100-1a、100-2a、100-3a、100-1b、100-2b、100-3b)に入力されるゲート電圧および充電制御ライン(300-1a、300-2a、300-1b、300-2b)を介して入力されるゲート電圧は各々独立駆動する。

【0040】

次に、図面を参照して本実施例に係る液晶表示装置について詳細に説明する。

【0041】

図3は第1実施例に係る液晶表示装置の配置図である。図4は図3のIV-IV'線に沿った断面図である。

【0042】

図3および図4を参照すれば、本実施例に係る液晶表示装置は、下部基板の薄膜トランジスタ基板1000、これと対向して配置される上部基板の共通電極基板2000、およびこれら両基板(1000、2000)の間に挟まれた液晶30を含む。

【0043】

上部および下部基板の表面には、液晶30の配向のために配向膜(図示せず)を設けて液晶分子を配向させてもよい。この際、液晶30の分子配向は、各基板に対して垂直になる垂直配向モードであってもよいが、特にこれに制限されない。

【0044】

薄膜トランジスタ基板1000は、透光性絶縁基板10を備える。透光性絶縁基板10としては、ガラス又は透光性プラスチックを用いることが好ましい。

【0045】

薄膜トランジスタ基板1000は、絶縁基板10上に行方向に延長された複数のゲートライン(100-Ga、100-Gb)を備える。複数のゲートライン(100-Ga、100-Gb)の一部が上部又は下部に突出し、もしくは上下部両側に突出して、第1および第2薄膜トランジスタ(601、602)の第1および第2ゲート端子を形成する。ゲートライン(100-Ga、100-Gb)は単一層に形成されても、二重層以上の多重層に形成されてもよい。二重層以上を有する場合、1つの層は抵抗の小さい物質で形成し、他の層は他の物質との接触特性の良い物質で形成することが良い。例えば、Cr/A1(又はA1合金)の二重層、又はA1(又はA1合金)/Moの二重層があり、その他にも種々の金属又は導電体によりゲートライン(100-Ga、100-Gb)を形成してもよい。

10

【0046】

薄膜トランジスタ基板1000は、複数のゲートライン(100-Ga、100-Gb)と同一方向に延長された複数の充電制御ライン(300-Ca、300-Cb)とを備える。充電制御ライン(300-Ca、300-Cb)の一部が上部又は下部に突出して、充電制御トランジスタ701のゲート端子711を形成する。充電制御ライン(300-Ca、300-Cb)は、ゲートライン(100-Ga、100-Gb)と同一平面上に同一物質で形成される。

【0047】

前記複数のゲートライン(100-Ga、100-Gb)および複数の充電制御ライン(300-Ca、300-Cb)の一端部には、各々ゲート電圧入力パッド部(110-Ga、110-Gb)および充電制御ゲート電圧入力パッド部(310-Ca、310-Cb)が形成される。前記ゲート電圧入力パッド部(110-Ga、110-Gb)および充電制御ゲート電圧入力パッド部(310-Ca、310-Cb)は、薄膜トランジスタ基板1000の周辺領域に形成され、外部から印加されるゲート電圧を、前記複数のゲートライン(100-Ga、100-Gb)および複数の充電制御ライン(300-Ca、300-Cb)に印加する。上記のように外部から印加されるゲート電圧は、隣接する二つの単位画素に接続された2本のゲートライン(100-Ga、100-Gb)にゲートオン電圧が印加され、その後、前記単位画素に接続された2本の充電制御ライン(300-Ca、300-Cb)に充電制御薄膜トランジスタ701をターンオンさせる充電制御ゲートターンオン電圧が印加されることを特徴とする。

20

30

【0048】

薄膜トランジスタ基板1000は、複数のゲートライン(100-Ga、100-Gb)と交差する複数の第1および第2データライン(200-Da、200-Db)を備える。第1および第2データライン(200-Da、200-Db)は、一画素列の左側と右側に隣接して位置する。第1および第2データライン(200-Da、200-Db)の一部が突出して、第1および第2薄膜トランジスタ(601、602)の第1および第2ソース端子(631、641)を形成する。第1および第2データライン(200-Da、200-Db)は単一層に形成されてもよく、物理的性質が異なる二重層以上の多重層に形成されてもよい。二重層以上である場合、1つの層はデータ信号の遅延や電圧降下を減少できる抵抗の小さい物質で形成し、他の層は、他の物質との接触特性の良い物質で形成することが良い。図では直線状の第1および第2データライン(200-Da、200-Db)が示されているが、これに限定されず、折曲直線又は曲線状に形成されてもよい。

40

【0049】

薄膜トランジスタ基板1000は、第1および第2データライン(200-Da、200-Db)間の領域に延長された複数のストレージライン400を備える。即ち、複数のストレージライン400は、第1および第2データライン(200-Da、200-Db)と平行に延長される。ストレージライン400は、第1および第2データライン(200-Da、200-Db)と同一平面上に同一物質で形成されてもよい。ストレージライ

50

ン４００は、第１および第２ストレージキャパシタ（Ｃｓｔ１、Ｃｓｔ２）の一電極端子として使用される。そして、図３に示すようにストレージライン４００の一部が突出して突出部４１０を形成する。この際、突出部４１０領域はチャージダウンキャパシタ（Ｃｄｏｗｎ）の一電極端子として使用される。ストレージライン４００は、単位画素の中心領域を列方向に貫通する。列方向に配置された複数の単位画素内の第１および第２薄膜トランジスタ（６０１、６０２）は、ストレージライン４００を基準にストレージライン４００の左側と右側で交互に配置される。即ち、図３に示すように一画素列のうちの２個の単位画素において、上側単位画素の第１および第２薄膜トランジスタ（６０１、６０２）はストレージライン４００の右側に位置し、下側単位画素の第１および第２薄膜トランジスタ（６０１、６０２）はストレージライン４００の左側に位置する。

10

【００５０】

薄膜トランジスタ基板１０００は、第１および第２液晶キャパシタ（Ｃｌｃ１、Ｃｌｃ２）と、第１および第２ストレージキャパシタ（Ｃｓｔ１、Ｃｓｔ２）の一電極端子として使用される第１および第２画素電極（５１０、５２０）を備える。第１および第２画素電極（５１０、５２０）は、ＩＴＯ又はＩＺＯのように透明な導電物質で形成される。第１および第２画素電極（５１０、５２０）は単位画素領域内に形成される。第１および第２画素電極（５１０、５２０）は切開部によって離隔する。図３に示すように、切開部は逆Ｖ字状に形成される。第１画素電極５１０は、単位画素領域の上側に位置し、第２画素電極５２０は、単位画素領域の下側に位置する。第１および第２画素電極（５１０、５２０）は複数のドメインを含む。ドメイン分割手段は切開パターンや突起等が用いられる。第１および第２画素電極（５１０、５２０）は、ストレージライン４００を基準に左右が鏡対称（反転対称性）をなしてもよい。前記第１および第２画素電極（５１０、５２０）と下部構造物（例えば、第１および第２薄膜トランジスタ６０１、６０２、ゲートライン１００－Ｇａ、１００－Ｇｂ、第１および第２データライン２００－Ｄａ、２００－Ｄｂおよびストレージライン４００）の間に絶縁のための絶縁膜が設けられる。絶縁膜としては有機膜又は無機膜を用いるか、もしくは有機膜および無機膜を一緒に用いてもよい。本実施例では図３に示すように、ゲートライン（１００－Ｇａ、１００－Ｇｂ）が第１および第２画素電極（５１０、５２０）間の領域（即ち、切開部領域）を行方向に貫通する。このようにゲートライン（１００－Ｇａ、１００－Ｇｂ）を単位画素領域の内部に配置させることにより、ゲートライン（１００－Ｇａ、１００－Ｇｂ）と、第１および第２画素電極（５１０、５２０）との間の重畳面積を均一にする。これによって重畳領域で発生する寄生キャパシタンスによる問題を解決することができる。

20

30

【００５１】

薄膜トランジスタ基板１０００は、第１および第２データライン（２００－Ｄａ、２００－Ｄｂ）のうちいずれかの１つのデータラインと、１つのゲートライン（１００－Ｇａ、１００－Ｇｂ）とに接続された第１および第２薄膜トランジスタ（６０１、６０２）を備える。

【００５２】

第１および第２薄膜トランジスタ（６０１、６０２）は、第１および第２ゲート端子（６１１、６２１）、第１および第２ソース端子（６３１、６４１）そして、第１および第２ドレイン端子（６５１、６６１）を備える。また、第１および第２薄膜トランジスタ（６０１、６０２）は、第１および第２ゲート端子（６１１、６２１）の上に設けられたゲート絶縁膜（６１２、６２２）、ゲート絶縁膜（６１２、６２２）の上に設けられた半導体層（６１３、６２３）およびオーミックコンタクト層（６１４、６２４）をさらに備える。図３および図４に示すように、第１および第２ゲート端子（６１１、６２１）は単一ボディに形成される。ゲート絶縁膜（６１２、６２２）は、シリコン窒化膜又はシリコン酸化膜で形成される。半導体層（６１３、６２３）は、第１および第２ゲート端子（６１１、６２１）上部に位置する。第１および第２ソース端子（６３１、６４１）および第１および第２ドレイン端子（６５１、６６１）は前記半導体層（６１３、６２３）の上に形成される。前記第１ドレイン端子６５１は、第１画素コンタクトホール６５２を介して

40

50

第1画素電極510に接続され、第2ドレイン端子661は、第2画素コンタクトホール662を介して第2画素電極520に接続される。

【0053】

ここで、図示していないが、前記半導体層(613、623)が第1および第2ゲート端子(611、621)上部にのみ位置するのではなく、延長された第1および第2ドレイン端子(651、661)の下側領域に位置することも、第1および第2データライン(200-Da、200-Db)の下側領域に位置することも可能である。即ち、半導体層(613、623)は、第1および第2データライン(200-Da、200-Db)、第1および第2ソース端子(631、641)、ならびに第1および第2ドレイン端子(651、661)と、ゲート絶縁膜(612、622)との間の領域に位置される。

10

【0054】

充電制御トランジスタ701は、充電制御ライン(300-Ca、300-Cb)に接続されたゲート端子711、ゲート端子711の上に形成されたゲート絶縁膜712、ゲート端子712上部領域のゲート絶縁膜712の上に形成された半導体層713、ならびに半導体層713の上に形成されたソース端子721およびドレイン端子731を備える。ソース端子721は、ソースコンタクトホール722を介して第2画素電極520に接続される。ドレイン端子731は、ドレインコンタクトホール732を介して充電制御電極800に接続される。充電制御電極800は、チャージダウンキャパシタ(Cdown)の一電極端子として使用される。即ち、充電制御電極800の一部がストレージライン400の突出部410と重なる。充電制御トランジスタ701がターンオンする場合、充電制御トランジスタ701によって第2画素電極520に充電された電荷のうちの一部が充電制御電極800に移動する。ここで、充電制御電極800は第1および第2画素電極(510、520)と同時に形成される。充電制御電極800を第2画素電極520下側の切開領域に位置させ、第2画素電極520の切開領域と隣接した領域に充電制御トランジスタを位置させることにより、コンタクト接続のための配線の長さを最少化できる。これによって開口率の減少を防止する。

20

【0055】

次に、共通電極基板2000は、透光性絶縁基板20と、光漏れおよび隣接した単位画素領域間の光干渉を防止するための遮光パターン910と、赤色、緑色および青色のカラーフィルタ920と、遮光パターン910およびカラーフィルタ920の上に設けられたオーバーコート膜930と、オーバーコート膜930の上に設けられた共通電極940とを含む。遮光パターン910はブラックマトリクスを使用してもよく、オーバーコート膜930は有機物質を使用してもよい。共通電極940は、ITO又はIZO等の透明な導電物質を使用する。そして、共通電極940にはドメイン形成のための複数の切開パターン941が具備される。また、ドメイン形成のための手段としては、切開パターン941の代わりに、又は切開パターン941と共に、突起等の他の手段を使用してもよい。

30

【0056】

ここで、共通電極940は第1および第2液晶キャパシタ(C1c1、C1c2)の一電極端子として使用される。即ち、第1液晶キャパシタC1c1は第1画素電極510と共通電極940とをそれぞれ上下部電極として使用し、誘電体として液晶30を使用する。第2液晶キャパシタC1c2は、第2画素電極520と共通電極940とをそれぞれ上下部電極として使用し、誘電体として液晶30を使用する。

40

【0057】

上記の薄膜トランジスタ基板1000と共通電極基板2000とを結合し、その間に液晶30を介在させて、本発明の一実施例に係る液晶表示装置の基本パネルが製造される。液晶表示装置は、このような基本パネルの両側に、図示していないが、偏光板、バックライト、および光学シート等を配置してもよい。

【0058】

このように本実施例では、二つのゲートライン(100-Ga、100-Gb)を同時に駆動することによって、解像度を向上させる場合に発生し得る充電時間(即ち、薄膜ト

50

ランジスタのゲートターンオン時間)の減少を防止する。なお、単位画素領域内に、第1および第2サブ画素と、次回ゲートターンオン電圧信号によって駆動し、第2サブ画素の電荷量を制御する制御部とをさらに有する単位画素を製造してもよい。この場合、第1サブ画素は高階調を表すメイン画素であり、第2サブ画素は低階調を表すサブ画素である。これによって液晶表示装置の視認性を向上させることができる。

【0059】

以下、上記の構造を有する液晶表示装置の製作方法について、特に薄膜トランジスタ基板を例として詳細に説明する。

【0060】

図5乃至図7は本発明の第1実施例に係る薄膜トランジスタ基板の製造工程を説明するための図である。図8は図5のV I I I - V I I I ' 線に沿った断面図である。図9は図6のI X - I X ' 線に沿った断面図である。図10は図7のX - X ' 線に沿った断面図である。

【0061】

図5および図8を参照すると、基板10上に第1導電性膜が形成される。第1導電性膜をパターンニングして、複数のゲートライン(100-Ga、100-Gb)および充電制御ライン(300-Ca、300-Cb)を形成する。複数のゲートライン(100-Ga、100-Gb)および複数の充電制御ライン(300-Ca、300-Cb)の一侧端部には、ゲート電圧入力パッド部および充電制御ゲート電圧入力パッド部が形成される。この場合、第1および第2薄膜トランジスタ用ゲート端子(611、621)および充電制御トランジスタ用ゲート端子711も共に形成される。

【0062】

前記第1導電性膜にはCr、MoW、Cr/Al、Cu、Al(Nd)、Mo/Al、Mo/Al(Nd)、Cr/Al(Nd)およびMo/Al/Moのうちの少なくともいずれか1つを用いることが好ましい。勿論これに限定されず、上記のとおり第1導電性膜は、Al、Nd、Ag、Cr、Ti、TaおよびMoのうちの少なくともいずれか1つの金属、又はこれらを含む合金で製造し、単一層および多重層に形成してもよい。即ち、物理的もしくは化学的特性に優れたCr、Ti、Ta、Mo等の金属層と、比抵抗の小さいAl系又はAg系の金属層を含む二重層又は三重層に形成してもよい。上記の第1導電性膜を基板全体の上に形成した後、感光膜を塗布し、マスクを用いたリソグラフィ工程を行い、感光膜マスクパターンを形成する。次に、感光膜マスクパターンをエッチングマスクとするエッチング工程を行う。これによって図5および図8に示すように、第1および第2ゲートライン(100-Ga、100-Gb)と複数のゲート端子(611、621)とを形成する。さらに、第1および第2充電制御ライン(300-Ca、300-Cb)を形成し、第1および第2充電制御ライン(300-Ca、300-Cb)に充電制御薄膜トランジスタのゲート端子711を形成する。

【0063】

図6および図9を参照すると、ゲートライン(100-Ga、100-Gb)が形成された基板10上に、ゲート絶縁膜(612、622)、半導体層用薄膜およびオーミックコンタクト層用薄膜を順に形成した後、半導体層用薄膜およびオーミックコンタクト層用薄膜をパターンニングし、半導体層(613、623、713)およびオーミックコンタクト層(614、624)が形成される。

【0064】

ゲート絶縁膜(612、622)は、酸化シリコン又は窒化シリコンを含む無機絶縁物質を用いて形成してもよい。半導体層用薄膜としては、アモルファスシリコン層を使用してもよく、オーミックコンタクト層用薄膜としては、シリサイド又はN型不純物が高濃度にドーピングされたアモルファスシリコン層を使用してもよい。

【0065】

次に、第2導電性膜を形成し、これをパターンニングして、第1および第2データライン(200-Da、200-Db)、ソース端子(631、641、721)、ドレイン端

子（６５１、６６１、７３１）ならびにストレージライン４００を形成する。第２導電性膜としてMo、Al、Cr、Tiのうちの少なくとも１つの金属単一層又は多重層を用いて形成してもよい。勿論、第２導電性膜として第１導電性膜と同一物質を用いても形成してもよい。これによってゲート端子（６１１、６２１、７１１）、ソース端子（６３１、６４１、７２１）およびドレイン端子（６５１、６６１、７３１）を備える第１および第２薄膜トランジスタ（６０１、６０２）ならびに充電制御トランジスタ７０１が形成される。

【００６６】

図７および図１０を参照すると、第１および第２薄膜トランジスタ（６０１、６０２）と充電制御トランジスタ７０１とを備えた基板１０上に保護膜５３０を形成し、感光膜マスクパターンを用いたエッチング工程によって保護膜５３０の一部を除去し、第１および第２薄膜トランジスタ（６０１、６０２）のドレイン端子（６５１、６６１）の一部を露出させる第１および第２画素コンタクトホール（６５２、６６２）を形成し、充電制御トランジスタ７０１のソース端子７２１の一部を露出させるソースコンタクトホール７２２およびドレイン端子７３１の一部を露出させるドレインコンタクトホール７３２を形成する。また、ゲート電圧入力パッド部および充電制御ゲート電圧入力パッド部を露出させるコンタクトホールをさらに形成する。上記のコンタクトホールを備えた保護膜５３０上に第３導電性膜を形成する。感光膜マスクパターン（図示せず）を用いて第３導電性膜をパターンニングし、切開パターンを備えた第１および第２画素電極（５１０、５２０）を形成し、充電制御電極８００を形成する。そして、ゲート電圧入力パッド部（１１０－Ga、１１０－Gb）の上にゲート電圧入力電極と、充電制御ゲート電圧入力パッド部（３１０－Ca、３１０－Cb）の上に充電制御ゲート電圧入力電極とを形成する。前記ゲート電圧入力電極と充電制御ゲート電圧入力電極とは、ゲート駆動回路の出力端に接続され、ゲート電圧入力パッド部を介して複数のゲートライン（１００－Ga、１００－Gb）および充電制御ゲート電圧入力パッド部を介して複数の充電制御ライン（３００－Ca、３００－Cb）に独立したゲート駆動電圧を印加する。

【００６７】

ここで、第３導電性膜としてインジウム錫酸化物（Indium Tin Oxide:ITO）やインジウム亜鉛酸化物（Indium Zinc Oxide:IZO）を含む透明導電膜を用いることが好ましい。第１画素電極５１０は、第１画素コンタクトホール６５２を介して第１薄膜トランジスタ６０１のドレイン端子６５１に接続される。第２画素電極５２０は、第２画素コンタクトホール６６２を介して第２薄膜トランジスタ６０２のドレイン端子６６１に接続され、ソースコンタクトホール７２２を介して充電制御トランジスタ７０１のソース端子７２１に接続される。充電制御電極８００は、ドレインコンタクトホール７３２を介して充電制御トランジスタ７０１のドレイン端子７３１に接続される。

【００６８】

上記の工程により、第１および第２サブ画素を有し、第１および第２サブ画素内の充電量を調節できる単位画素を製造でき、上側と下側に位置した単位画素を各々同時に駆動させることができる。

【００６９】

上記のように第１および第２画素電極（５１０、５２０）を形成した後、全体構造上に第１配向膜（図示せず）が形成される。これによって下部基板、即ち薄膜トランジスタ基板が製造される。

【００７０】

一方、図示されていないが、共通電極基板は、透明絶縁基板上にブラックマトリクス、カラーフィルタ、オーバーコート膜、突起パターン、透明共通電極および第２配向膜（図示せず）を順に形成して製造される。その後、上記のように製造された薄膜トランジスタ基板と共通電極基板の間にスペーサ（図示せず）を介在させて両基板を貼り合わせる。次いで、真空注入法を利用して、スペーサにより形成された所定の空間に液晶物質を注入し

10

20

30

40

50

て液晶層を形成し、本実施例による液晶表示装置を製造する。

【0071】

本実施例の薄膜トランジスタ基板は5枚のマスク工程で形成しているが、これに限定されず、6枚以上のマスク工程又は4枚以下のマスク工程でも形成できる。

【0072】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0073】

10

【図1】本発明の第1実施例に係る液晶表示装置の概念図である。

【図2】本発明の第1実施例に係る液晶表示装置の回路図である。

【図3】本発明の第1実施例に係る液晶表示装置の配置図である。

【図4】図3のI V - I V ' 線に沿った断面図である。

【図5】本発明の第1実施例に係る薄膜トランジスタ基板の製造工程を説明するための図である。

【図6】本発明の第1実施例に係る薄膜トランジスタ基板の製造工程を説明するための図である。

【図7】本発明の第1実施例に係る薄膜トランジスタ基板の製造工程を説明するための図である。

20

【図8】図5のV I I I - V I I I ' 線に沿った断面図である。

【図9】図6のI X - I X ' 線に沿った断面図である。

【図10】図7のX - X ' 線に沿った断面図である。

【符号の説明】

【0074】

10、20 基板

30 液晶

100-Ga、100-Gb ゲートライン

110-Ga、110-Gb ゲート電圧入力パッド部

200-Da 第1データライン

200-Db 第2データライン

300-Ca、300-Cb 充電制御ライン

310-Ca、310-Cb 充電制御ゲート電圧入力パッド部

400 ストレージライン

410 突出部

500 単位画素

501、502 サブ画素

510、520 画素電極

530 保護膜

601、602 薄膜トランジスタ

40

611、621、711 ゲート端子

612、622 ゲート絶縁膜

613、623、713 半導体層

614、624 オーミックコンタクト層

631、641、721 ソース端子

722 ソースコンタクトホール

651、661、731 ドレイン端子

732 ドレインコンタクトホール

652、662 コンタクトホール

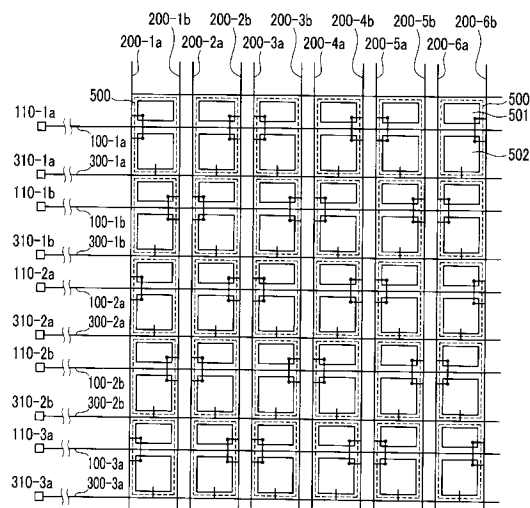
701 充電制御トランジスタ

50

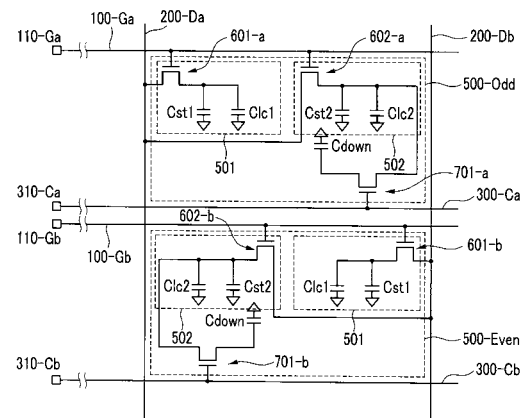
800	充電制御電極
910	遮光パターン
920	カラーフィルタ
930	オーバーコート膜
940	共通電極
941	切開パターン
1000	薄膜トランジスタ基板
2000	共通電極基板
C1c1、C1c2	液晶キャパシタ
Cst1、Cst2	ストレージキャパシタ
Cdown	チャージダウンキャパシタ

10

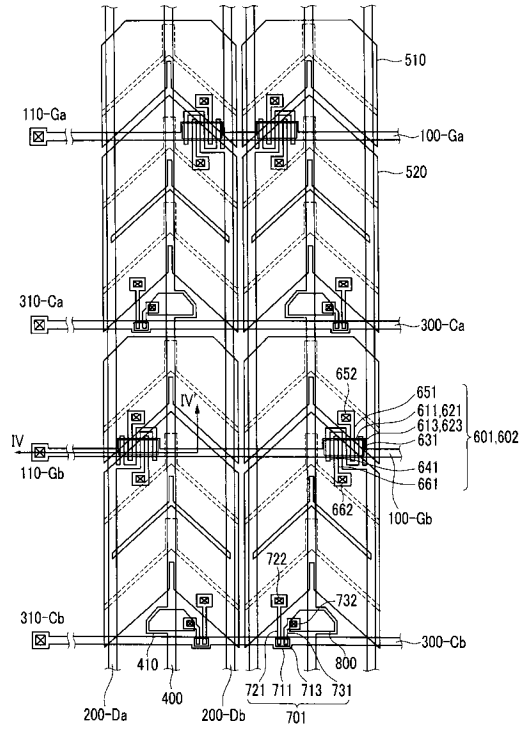
【図1】



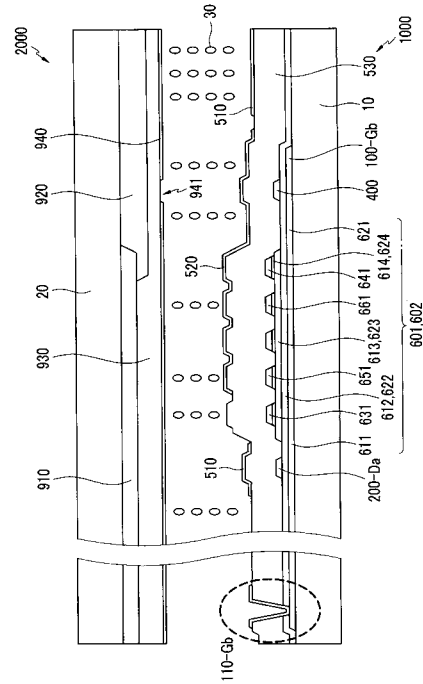
【図2】



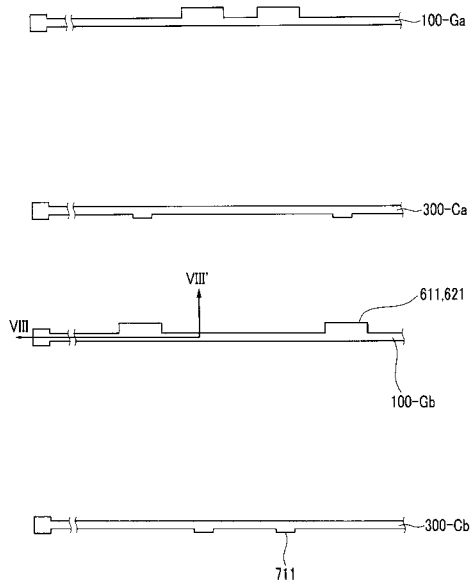
【図 3】



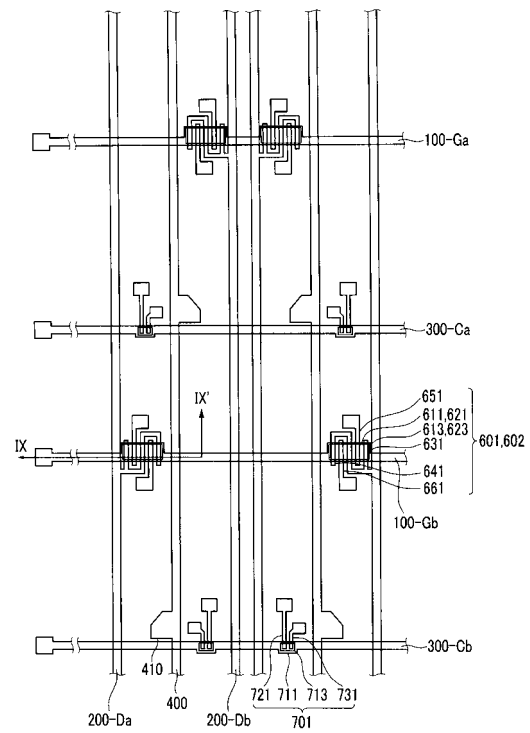
【図 4】



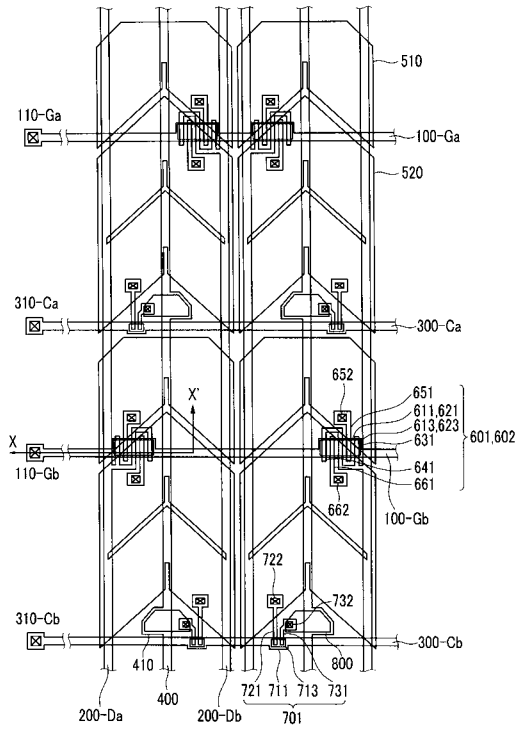
【図 5】



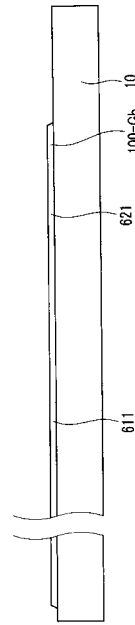
【図 6】



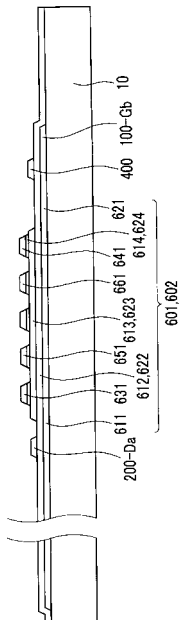
【図 7】



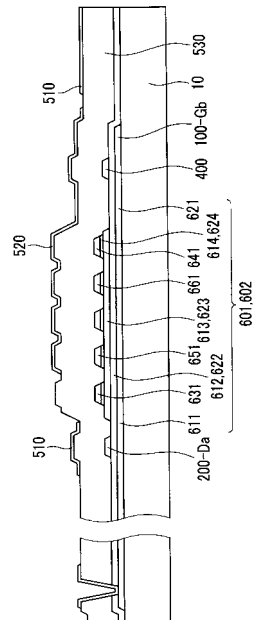
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 2 F 1/133 (2006.01) G 0 9 G 3/20 6 1 2 G 5 C 0 8 0

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 4 1 T

G 0 9 G 3/20 6 2 1 F

G 0 2 F 1/1343

G 0 2 F 1/1368

G 0 2 F 1/1337 5 0 5

G 0 2 F 1/133 5 5 0

(72)発明者 孫 宣 圭

大韓民国京畿道水原市霊通区霊通洞 ファンゴルマウル1団地アパートメント135棟204号

(72)発明者 申 玉 權

大韓民国忠▲清▼南道天安市星井洞 シテベル914号

(72)発明者 金 鉦 ▲元▼

大韓民国ソウル特別市江西区登村2洞715番地 現代アイパークアパートメント125棟701号

(72)発明者 崔 喜 軫

大韓民国ソウル特別市江東区千戸3洞155-5 斗山ウィブセンティウムアパートメント1302号

(72)発明者 金 相 洙

大韓民国ソウル特別市江南区道谷2洞 三星タワーパレスエフ棟3104号

Fターム(参考) 2H090 HA16 HC19 LA01 LA04 MA01 MA14 MB14

2H092 JA24 JB05 JB22 JB42 JB69 NA01 PA02 PA06 QA09

2H093 NA16 NA53 NC03 NC09 NC34 NC35 ND12 ND20 NE03 NE04

NF09

2H193 ZA04 ZD23 ZF03 ZP03 ZP04 ZQ08

5C006 AC11 AC21 AC22 AC24 AF42 AF43 BB16 BC02 BC03 BC06

BC16 BC20 BF41 FA12 FA34 FA56

5C080 AA10 BB05 DD02 DD08 EE29 FF11 JJ03 JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2010044348A	公开(公告)日	2010-02-25
申请号	JP2008299321	申请日	2008-11-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李濬表 孫宣圭 申玉權 金鉦元 崔喜軫 金相洙		
发明人	李 濬 表 孫 宣 圭 申 玉 權 金 鉦 ▲元▼ 崔 喜 軫 金 相 洙		
IPC分类号	G09G3/36 G09G3/20 G02F1/1343 G02F1/1368 G02F1/1337 G02F1/133		
CPC分类号	G09G3/2096 G02F1/13624 G02F1/136286 G02F2001/134345 G02F2001/134354 G09G3/3659 G09G2300/0426 G09G2300/0852 G09G2310/0205 G09G2320/0257		
FI分类号	G09G3/36 G09G3/20.622.B G09G3/20.622.C G09G3/20.623.B G09G3/20.624.B G09G3/20.612.G G09G3/20.621.M G09G3/20.621.A G09G3/20.641.T G09G3/20.621.F G02F1/1343 G02F1/1368 G02F1/1337.505 G02F1/133.550 G09G3/20.624.C G09G3/20.624.E		
F-TERM分类号	2H090/HA16 2H090/HC19 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA14 2H090/MB14 2H092/JA24 2H092/JB05 2H092/JB22 2H092/JB42 2H092/JB69 2H092/NA01 2H092/PA02 2H092/PA06 2H092/QA09 2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC09 2H093/NC34 2H093/NC35 2H093/ND12 2H093/ND20 2H093/NE03 2H093/NE04 2H093/NF09 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZP03 2H193/ZP04 2H193/ZQ08 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AF42 5C006/AF43 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BC20 5C006/BF41 5C006/FA12 5C006/FA34 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ06 2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CC02 2H192/CC04 2H192/CC22 2H192/CC42 2H192/CC64 2H192/DA15 2H192/EA22 2H192/EA43 2H192/GD14 2H192/GD61 2H192/JA13 2H193/ZA05 2H193/ZA08 2H193/ZA19 2H193/ZB14 2H193/ZC35 2H193/ZD12 2H193/ZG02 2H193/ZH44 2H193/ZH79 2H193/ZP13 2H193/ZP15 2H193/ZQ11 2H290/AA33 2H290/BB24 2H290/BB44 2H290/BC01 2H290/CA46 2H290/CA51		
优先权	1020080078252 2008-08-11 KR		
其他公开文献	JP5351498B2		
外部链接	Espacenet		
摘要(译)			

要解决的问题：改善液晶显示设备的残像和可见性。多个以矩阵形式布置的单位像素，在行方向上延伸并连接到单位像素的多条栅极线，每条栅极线的一端形成有栅极电压输入焊盘部分，而在列方向上延伸的多条栅极线。延伸并连接到单位像素的多条第一和第二数据线，以及沿行方向延伸并连接到单位像素的多条电荷，并在其一端形成有电荷控制栅电压输入焊盘部分 包括控制线的液晶显示装置。[选型图]图1

