

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-165028

(P2008-165028A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
G O 2 F 1/1368 (2006.01)	G O 2 F 1/1368	2 H O 9 2
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 6 A	5 F 1 1 O
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 2 B	

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号	特願2006-355656 (P2006-355656)	(71) 出願人	302020207
(22) 出願日	平成18年12月28日 (2006.12.28)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100059225
			弁理士 蔦田 璋子
		(74) 代理人	100076314
			弁理士 蔦田 正人
		(74) 代理人	100112612
			弁理士 中村 哲士
		(74) 代理人	100112623
			弁理士 富田 克幸
		(72) 発明者	後藤 康正
			東京都港区港南四丁目1番8号 東芝松下
			ディスプレイテクノロジー株式会社内
			最終頁に続く

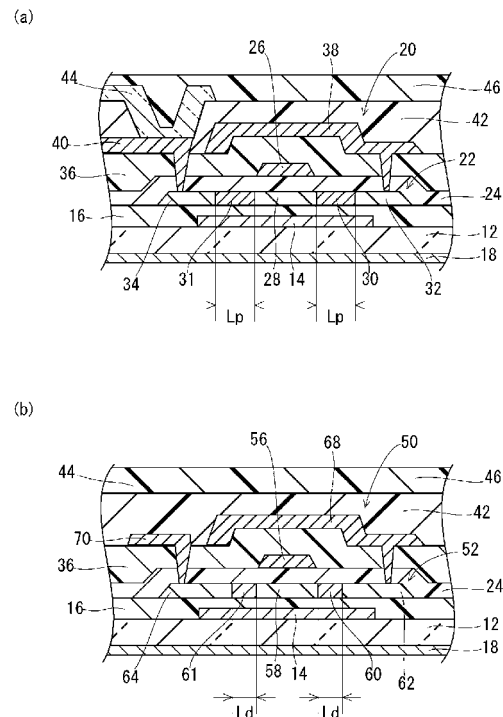
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】駆動回路素子を同一基板上に一体的に有する液晶表示装置において、表示コントラストの劣化を抑えつつ駆動回路の安定動作を図る。

【解決手段】透明基板12上に、画素電極44を駆動する第1薄膜トランジスタ20と、前記第1薄膜トランジスタ20に駆動信号を供給する第2薄膜トランジスタ50と、を備えた表示装置1において、前記第1薄膜トランジスタ20及び第2薄膜トランジスタ50は、チャネル領域28、58とドレイン領域34、64及びソース領域32、62との間に配された低濃度不純物領域30、31、60、61とを備える半導体層22、52をそれぞれ有し、前記第2薄膜トランジスタ50の前記チャネル領域58と前記ドレイン領域64の相対向する端部の間隔Ldが、前記第1薄膜トランジスタ20の前記チャネル領域28と前記ドレイン領域34の相対向する端部の間隔Lpより短いことを特徴とする液晶表示装置。

【選択図】図2



【特許請求の範囲】

【請求項 1】

アレイ基板と対向基板との間に液晶層を挟持して構成された液晶表示装置において、
前記アレイ基板は、表示領域及び駆動回路領域に区画された透明基板と前記表示領域に形成され表示領域にマトリクス状に配置された画素電極を駆動する第 1 薄膜トランジスタと、前記透明基板の前記駆動回路領域に形成され前記第 1 薄膜トランジスタに駆動信号を供給する第 2 薄膜トランジスタと、を備え、

前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタは、チャネル領域と、前記チャネル領域を挟んで対向するソース領域及びドレイン領域と、少なくとも前記チャネル領域と前記ドレイン領域との間に配された低濃度不純物領域とを備える半導体層をそれぞれ有し

10

、
前記第 2 薄膜トランジスタの前記チャネル領域と前記ドレイン領域の間隔が、前記第 1 薄膜トランジスタの前記チャネル領域と前記ドレイン領域の間隔より短いことを特徴とする液晶表示装置。

【請求項 2】

前記各薄膜トランジスタの前記チャネル領域と前記ソース領域との間に低濃度不純物領域を配し、前記チャネル領域と前記ソース領域の間隔を前記各間隔と略等しくなるように設定したことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 薄膜トランジスタ及び前記第 2 薄膜トランジスタの前記半導体層が、絶縁層を介して前記透明基板に積層された遮光層上に形成されていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

20

【請求項 4】

前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタの夫々のソース領域に接続されたソース電極にて少なくとも前記低濃度不純物領域を遮光することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタの半導体層がポリシリコンからなることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、薄膜トランジスタ (TFT) を用いたアクティブマトリクス型液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、表示部の薄型化が可能であり、事務機器やコンピュータ等の表示装置あるいは特殊な表示装置への用途として要求が高まっている。

【0003】

これらの中で、アモルファスシリコン (a-Si) またはポリシリコン (p-Si) を用いた TFT をスイッチング素子としてマトリクス上に配した液晶表示装置は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

40

【0004】

特に p-Si を用いた TFT (p-Si TFT) は、a-Si を用いた TFT (a-Si TFT) よりも移動度が 10 から 100 倍程度高く、その利点を利用して画素スイッチング素子として用いるだけでなく、周辺駆動回路に p-Si TFT を用いて、画素 TFT と駆動回路 TFT を同一基板上に一体的に形成する駆動回路一体型の液晶表示装置が知られている。

【0005】

また、p-Si には結晶成長プロセス温度の相違により、高温ポリシリコンと低温ポリ

50

シリコンに分類される。高温ポリシリコンは、高温でＳＰＣ（固相成長）により形成されるため均一な半導体層を容易に得ることができるが、石英基板など耐熱性に優れた基板上に形成する必要がある。このような耐熱性に優れた基板は通常高価で基板自体が小さいため、高温ポリシリコンからなるＴＦＴは、プロジェクタのような投射型の液晶表示装置において好適に用いられる。

【０００６】

一方、ＴＦＴでは、シリコンなどの半導体層に光が照射されるとリーク電流が流れる。そのため、液晶表示装置では、バックライトからの光によって画素ＴＦＴにリーク電流が発生し、表示のコントラスト等を劣化させる問題があり、特に強い光を照射するプロジェクタの場合では上記の問題が生じやすい。そこで、画素ＴＦＴの上層側及び下層側に金属製の遮光層を設けることで、半導体層に光が照射されるのを防ぎリーク電流を抑えることがなされている。

10

【０００７】

また、ＴＦＴでは、チャネル領域とソース領域の間やチャネル領域とドレイン領域の間に低濃度不純物（ＬＤＤ：lightly doped drain）領域を設けることでドレイン端での高電界を緩和してリーク電流の発生を抑制することがなされている。このようなＬＤＤ領域を備えたＴＦＴにおいて、リーク電流の電流経路の一部であるＬＤＤ領域を狭小化することで更なるリーク電流の抑制を図ることがなされている（例えば、下記特許文献１参照）。

【０００８】

しかしながら、画素ＴＦＴと駆動回路ＴＦＴを同一基板上に一体的に形成する駆動回路一体型の表示装置において、上記のようなＬＤＤ領域を狭小化した場合、次のような問題がある。すなわち、ＬＤＤ領域はドレイン端での高電界を緩和しＴＦＴのオフ時のリーク電流を低くする機能を有しており、その長さが長いほど電界が緩和され、リーク電流の低減が図られるため、極端な狭小化を図ることはできない。一方で、ＬＤＤ領域はＴＦＴのオン状態において直列に付加された抵抗として作用するため、このＬＤＤ領域の抵抗によりＴＦＴのオン電流が低下するおそれがある。このようなＴＦＴを駆動回路ＴＦＴに用いると、オン電流の低下により駆動回路の動作が不安定になる問題がある。

20

【０００９】

また、低温ポリシリコンからなるＴＦＴでは、高温ポリシリコンに比べＬＤＤ領域を寸法精度よく形成することができないため、ＬＤＤ領域のソース－ドレイン方向の長さ、すなわち相対向するチャネル端とドレイン端の間隔やチャネル端とソース端の間隔が小さいものが製造されるおそれがある。ＬＤＤ領域のソース－ドレイン方向の長さが小さいＴＦＴが画素ＴＦＴに用いられると、ドレイン端における電界が十分に緩和されずリーク電流が増大して液晶表示のコントラスト等を劣化させることから、低温ポリシリコンからなるＴＦＴにおいてはＬＤＤ領域の長さにマージンが設けられている。

30

【００１０】

しかしながら、画素ＴＦＴと駆動回路ＴＦＴを同一基板上に一体的に形成する駆動回路一体型の表示装置において、画素ＴＦＴと駆動回路ＴＦＴに対してＬＤＤ領域のソース－ドレイン方向の長さを一律に設定した場合、駆動回路ＴＦＴのオン電流が低下することとなり、駆動回路の動作が不安定になる問題がある。

40

【特許文献１】特開２００５－２５９７８２号公報

【発明の開示】

【発明が解決しようとする課題】

【００１１】

本発明は上記問題に鑑みてなされたものであり、画素ＴＦＴと駆動回路ＴＦＴを同一基板上に一体的に形成する駆動回路一体型の液晶表示装置において、画素ＴＦＴのリーク電流を抑制して表示コントラストの劣化を抑えるとともに、駆動回路ＴＦＴのオン電流の低下を抑えて駆動回路を安定動作させることができる液晶表示装置を提供することを目的とする。

50

【課題を解決するための手段】

【0012】

本発明の液晶表示装置は、アレイ基板と対向基板との間に液晶層を挟持して構成された液晶表示装置において、前記アレイ基板は、表示領域及び駆動回路領域に区画された透明基板と前記表示領域に形成され表示領域にマトリクス状に配置された画素電極を駆動する第1薄膜トランジスタと、前記透明基板の前記駆動回路領域に形成され前記第1薄膜トランジスタに駆動信号を供給する第2薄膜トランジスタと、を備え、前記第1薄膜トランジスタ及び第2薄膜トランジスタは、チャンネル領域と、前記チャンネル領域を挟んで対向するソース領域及びドレイン領域と、少なくとも前記チャンネル領域と前記ドレイン領域との間に配された低濃度不純物領域とを備える半導体層をそれぞれ有し、前記第2薄膜トランジスタの前記チャンネル領域と前記ドレイン領域の間隔が、前記第1薄膜トランジスタの前記チャンネル領域と前記ドレイン領域の間隔より短いことを特徴とする。

10

【発明の効果】

【0013】

本発明によれば、画素TFTと駆動回路TFTを同一基板上に一体的に形成する駆動回路一体型の液晶表示装置において、表示コントラストの劣化を抑えつつ駆動回路を安定動作させることができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の一実施形態について図面を参照して説明する。

20

【0015】

図1は、本発明の一実施形態に係る液晶表示装置1を概略的に示す断面図であり、図2は同液晶表示装置1の要部拡大断面図である。

【0016】

この液晶表示装置1は、図1に示すように、アレイ基板10と、このアレイ基板10に対向配置された対向基板100と、アレイ基板10と対向基板100との間に配置された液晶層90とを備えている。これらアレイ基板10と対向基板100とは、液晶層90を挟持するための所定のギャップを形成するシール部材（不図示）によって貼り合わせられている。

【0017】

30

液晶層90は、アレイ基板10と対向基板100との間に封入された液晶組成物によって構成されている。またこの液晶表示装置1の両面には偏光板18、110がそれぞれ貼り付けられており、その背面には図示しない光源が配置されている。

【0018】

アレイ基板10は、画像を表示する表示領域R1と、その外周部において駆動回路が形成される駆動回路領域R2に区画されており、表示領域R1は、互いに交差してなる複数の信号線（図示せず）とゲート線（図示せず）との交差部に画素電極44と接続されたスイッチング素子であるn型のp-Si TFT（以下、画素TFTという）20をマトリクス状に有し、駆動回路領域R2は、駆動回路素子であるn型のp-Si TFT（以下、駆動回路TFTという）50を有する。この画素TFT20は駆動回路TFT50からの映像信号やゲート信号等の駆動信号によって駆動される。例えば、駆動回路TFT50が信号線ドライバ用の駆動回路TFT50の場合には映像信号が、また走査線ドライバ用の駆動回路TFT50の場合にはゲート信号が、夫々の駆動回路TFT50から画素TFT20に供給される。

40

【0019】

より詳細には、アレイ基板10は、ガラス基板などの透明基板12を有しており、この透明基板12上面の表示領域R1には、モリブデン-タングステン合金などの金属材料からなる下部遮光層14及びSiO₂などの絶縁層16を介して画素TFT20の半導体層22、ゲート絶縁層24、ゲート電極26が順次積層されており、トップゲート型の画素TFT20が形成されている。また、透明基板12上面の駆動回路領域R2には、モリブ

50

デン - タングステン合金などの金属材料からなる下部遮光層 14 及び SiO_2 などの絶縁層 16 を介して駆動回路 TFT50 の半導体層 52、ゲート絶縁層 24、ゲート電極 56 が順次積層されており、トップゲート型の駆動回路 TFT50 が形成されている。

【0020】

画素 TFT20 の半導体層 22 は、図 2 (a) に示すように、チャネル領域 28 と、このチャネル領域 28 に隣接しリン (P+) イオンを低濃度でドーピングした LDD 領域 30, 31 と、LDD 領域 30, 31 に隣接しリン (P+) イオンを高濃度でドーピングしてなるソース領域 32 及びドレイン領域 34 とを有している。また、駆動回路 TFT50 の半導体層 52 は、図 2 (b) に示すように、チャネル領域 58 と、このチャネル領域 58 に隣接しリン (P+) イオンを低濃度でドーピングした LDD 領域 60, 61 と、LDD 領域 60, 61 に隣接しリン (P+) イオンを高濃度でドーピングしてなるソース領域 62 及びドレイン領域 64 とを有している。

10

【0021】

画素 TFT20 のチャネル領域 28 に隣接した LDD 領域 30, 31 のソース - ドレイン方向の長さ L_p , L_p 、すなわち、画素 TFT20 のチャネル領域 28 と、ドレイン領域 34 及びソース領域 32 との相対向する端部の間隔 L_p , L_p は、画素 TFT20 のリーク電流の発生を抑えるため、例えば、 $3\mu\text{m}$ に設けられている。

【0022】

一方、駆動回路 TFT50 のチャネル領域 58 に隣接した LDD 領域 60, 61 のソース - ドレイン方向の長さ L_d , L_d 、すなわち、駆動回路 TFT50 のチャネル領域 58 と、ドレイン領域 64 及びソース領域 62 との相対向する端部の間隔 L_d , L_d は、駆動回路 TFT50 のオン電流の低下を抑えるため、画素 TFT20 における LDD 領域 30, 31 のソース - ドレイン方向の長さ L_p , L_p より短く設けられており、例えば、 $2\mu\text{m}$ に設けられている。

20

【0023】

ゲート絶縁層 24、ゲート電極 26, 56 上には、 SiO_2 などからなる層間絶縁層 36 が設けられており、その上には、表示領域 R1 において半導体層 22 に接続されるソース電極 38 及びドレイン電極 40 が形成され、駆動回路領域 R2 において半導体層 52 に接続されるソース電極 68 及びドレイン電極 70 が形成されている。

【0024】

画素 TFT20 のソース電極 38 とドレイン電極 40 の一端は、層間絶縁層 36 に設けられたコンタクトホールを介して画素 TFT20 のソース領域 32 とドレイン領域 34 にそれぞれ接続されており、ドレイン電極 40 の他端は、パッシベーション層 42 を介してソース電極 38 とドレイン電極 40 の上に配設された ITO からなる画素電極 44 と接続されている。また、ソース電極 38 は、ドレイン電極 40 側の端部が少なくともドレイン電極 40 側の LDD 領域 31 を覆うように両 LDD 領域 30, 31 に跨って延設されており、上方から半導体層 22 に向かう光を遮光するようになっている。また、駆動回路 TFT50 のソース電極 68 とドレイン電極 70 の一端は、層間絶縁層 36 に設けられたコンタクトホールを介して画素 TFT50 のソース領域 62 とドレイン領域 64 にそれぞれ接続されており、ソース電極 68 は、ドレイン電極 70 側の端部が少なくともドレイン電極 70 側の LDD 領域 61 を覆うように両 LDD 領域 60, 61 に跨って延設されており、上方から半導体層 52 に向かう光を遮光するようになっている。なお、46 はパッシベーション層 42 の上に積層されている配向膜である。

30

40

【0025】

一方、対向基板 100 は、ガラス基板などの透明基板 102 上にカラーフィルター層 104、共通電極 106 及び配向膜 108 が順次積層されている。

【0026】

次に、上記した液晶表示装置 1 におけるアレイ基板 10 の製造方法について説明する。

【0027】

アレイ基板 10 の製造工程では、まず、ガラス基板 (透明基板) 12 上にモリブデン -

50

タングステン合金などの金属膜をスパッタリング法などにより成膜し、所定の形状にパターンニングすることにより、下部遮光層 14 を形成する。

【0028】

次いで、 SiO_2 などの絶縁層 16 を形成し、その上に、アモルファスシリコン (a-Si) 膜を形成し、レーザ光を照射するエキシマレーザアニール法により a-Si 膜を多結晶化して p-Si 膜を形成した後、所定の形状にパターンニングすることにより、画素 TFT20 の半導体層 22 と駆動回路 TFT50 の半導体層 52 を形成する。

【0029】

次いで、半導体層 22, 52 上に SiO_2 などのゲート絶縁層 24 を形成した後、所定形状のレジストパターンをマスクとして用いて半導体層 22, 52 中に比較的高い濃度でリンイオンをドーピングすることで、半導体層 22, 52 中にソース領域 32, 62 とドレイン領域 34, 64 を形成する。その際、駆動回路 TFT50 のドレイン領域 64 及びソース領域 62 のチャネル領域側端部が、画素回路 TFT20 のドレイン領域 34 及びソース領域 32 のチャネル領域側端部より、チャネル領域側に位置するように上記レジストパターンを形成する。

【0030】

次いで、レジストパターンを除去し、その後、モリブデンやタングステンなどの金属膜をスパッタリング法などにより成膜し、所定の形状にパターンニングすることにより、ゲート絶縁層 24 を介して半導体層 22, 52 の上にソース・ドレイン方向の幅寸法が略等しいゲート電極 26, 56 を形成する。

【0031】

次いで、ゲート電極 26, 56 をマスクとして用いて半導体層 22, 52 に比較的低い濃度でリンなどの不純物をドーピングすることで、半導体層 22, 52 中にチャネル領域 28, 58 と LDD 領域 30, 31, 60, 61 を形成した後、基板全体をアニールすることにより不純物を活性化する。このようにして駆動回路 TFT50 のチャネル領域 58 に隣接した LDD 領域 60, 61 のソース・ドレイン方向の長さ L_d 、 L_d が $2\mu\text{m}$ に形成され、画素 TFT20 における LDD 領域 30, 31 のソース・ドレイン方向の長さ L_p 、 L_p が $3\mu\text{m}$ に形成され長さ L_d 、 L_d より長く設けられる ($L_p > L_d$)。

【0032】

次いで、層間絶縁層 36 を形成した後、ゲート絶縁層 24 及び層間絶縁層 36 を貫通するコンタクトホールを形成する。続いて、画素 TFT20 のソース電極 38 及びドレイン電極 40 と、駆動回路 TFT50 のソース電極 68 及びドレイン電極 70 を形成する。続いて、ソース電極 38, 68 及びドレイン電極 40, 70 上に SiN_x などのバッシベーション層 42 を形成した後、ITO などの画素電極 44 を形成し、ラビング処理が施されたポリミド膜からなる配向膜 46 を形成することで、図 1 及び図 2 に示すようなアレイ基板 10 が得られる。

【0033】

以上のように、本発明によれば、駆動回路素子を同一基板上に一体的に有する駆動回路一体型であるアクティブマトリクス基板において、駆動回路 TFT50 の LDD 領域 60, 61 のソース・ドレイン方向の長さ L_d 、 L_d を画素 TFT20 の LDD 領域 30, 31 のソース・ドレイン方向の長さ L_p 、 L_p より短く設けることにより、画素 TFT20 のリーク電流の発生を抑えて表示コントラストの劣化を低減し良好な表示を得ることができると共に、駆動回路 TFT50 のオン電流値の低下を抑え駆動回路の駆動特性の安定化を図り表示品位の向上が得られる。また、液晶表示装置が 300ppi 以上の高精細画素の場合であっても、画素 TFT20 のリーク電流の発生を抑えることができる。

【図面の簡単な説明】

【0034】

【図 1】本発明の一実施形態における液晶表示装置の構成を示す断面図である。

【図 2】同液晶表示装置の一部を示す断面図である。

【符号の説明】

10

20

30

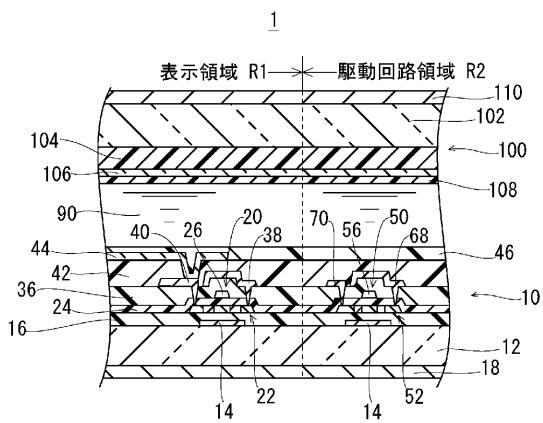
40

50

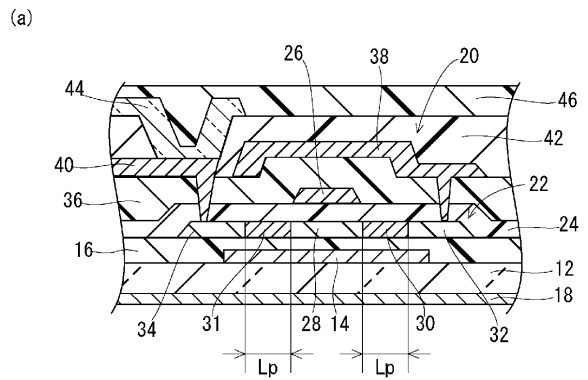
【 0 0 3 5 】

- 1 ... 液晶表示装置
- 1 0 ... アレイ基板
- 1 2 ... 透明基板
- 1 4 ... 下部遮光層
- 1 6 ... 絶縁層
- 2 0 ... 画素 T F T
- 2 2 , 5 2 ... 半導体層
- 2 6 , 5 6 ... ゲート電極
- 2 8 , 5 8 ... チャネル領域
- 3 0 , 3 1 , 6 0 , 6 1 ... L D D 領域
- 3 2 , 6 2 ... ソース領域
- 3 4 , 6 4 ... ドレイン領域
- 3 8 , 6 8 ... ソース電極
- 4 0 , 7 0 ... ドレイン電極
- 5 0 ... 駆動回路 T F T
- L p , L d ... 間隔

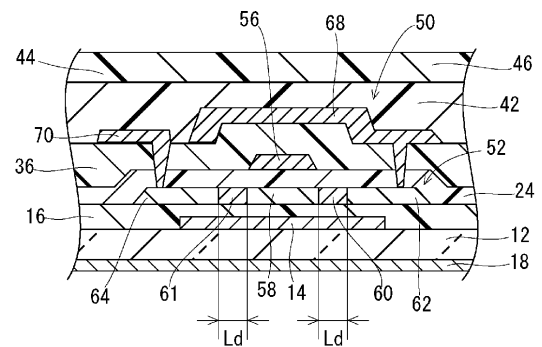
【 図 1 】



【 図 2 】



(b)



フロントページの続き

(72)発明者 山本 昌伯

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H092 GA59 JA24 JA28 JA32 JA46 KA03 KA04 KA10 MA05 MA17

MA27 NA21 NA22 PA02

5F110 AA06 BB02 CC02 DD02 DD13 EE04 EE44 FF02 GG02 GG13

HJ13 HM15 NN02 NN23 NN24 NN45 NN54 NN72 PP03

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008165028A	公开(公告)日	2008-07-17
申请号	JP2006355656	申请日	2006-12-28
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	後藤康正 山本昌伯		
发明人	後藤 康正 山本 昌伯		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 H01L29/78.616.A H01L29/78.612.B		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JA28 2H092/JA32 2H092/JA46 2H092/KA03 2H092/KA04 2H092/KA10 2H092/MA05 2H092/MA17 2H092/MA27 2H092/NA21 2H092/NA22 2H092/PA02 5F110/AA06 5F110/BB02 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE04 5F110/EE44 5F110/FF02 5F110/GG02 5F110/GG13 5F110/HJ13 5F110/HM15 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN45 5F110/NN54 5F110/NN72 5F110/PP03 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB53 2H192/EA04 2H192/EA13 2H192/EA15 2H192/FB02 2H192/FB15 2H192/HA84		
代理人(译)	中村聪 富田克幸		
外部链接	Espacenet		

摘要(译)

解决的问题：在同一基板上一体地具有驱动电路元件的液晶显示装置中，在抑制显示对比度的下降的同时，实现驱动电路的稳定动作。一种显示装置（1），包括驱动像素电极（44）的第一薄膜晶体管（20）和向透明基板（12）上的第一薄膜晶体管（20）提供驱动信号的第二薄膜晶体管（50）。薄膜晶体管20和第二薄膜晶体管50包括半导体层22，该半导体层22包括布置在沟道区28、58与漏极区34、64和源极区32、62之间的低浓度杂质区30、31、60、61。参照图52，第二薄膜晶体管50的沟道区域58和漏极区域64的相对端部之间的距离 L_d 相对于第一薄膜晶体管20的沟道区域28和漏极区域34相对。一种液晶显示装置，其特征在于，相对端之间的距离 L_p 比 L_d 短。[选择图]图2

