

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-122972

(P2008-122972A)

(43) 公開日 平成20年5月29日(2008.5.29)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 20 O L (全 42 頁)

(21) 出願番号 特願2007-297295 (P2007-297295)
 (22) 出願日 平成19年11月15日(2007.11.15)
 (31) 優先権主張番号 10-2006-0112798
 (32) 優先日 平成18年11月15日(2006.11.15)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000671
 八田国際特許業務法人
 (72) 発明者 馬 元 錫
 大韓民国京畿道城南市盆唐区二梅洞#12
 2 4/6 二梅村105棟1004号
 Fターム(参考) 2H092 GA22 GA23 JA26 JB03 JB56
 JB65 JB66 JB69 NA01

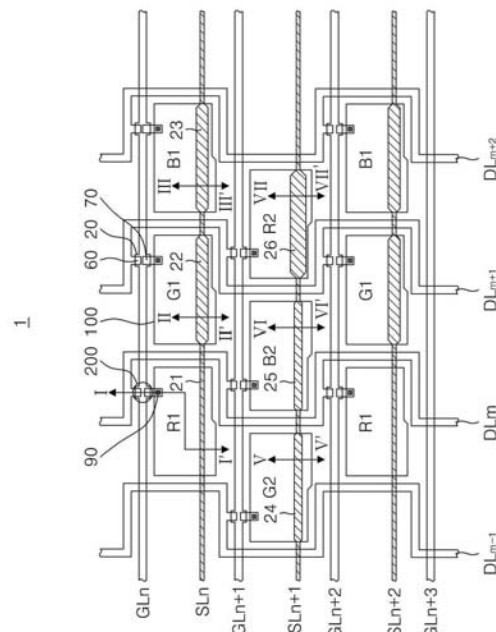
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】縦線雑音を防止した液晶表示装置を提供する。

【解決手段】N番目水平ラインに沿って赤色、緑色、青色の順で反復配列される第1サブ画素と、第1サブ画素とジグザグ状に形成され、N+1番目水平ラインに沿って緑色、青色、赤色の順で反復配列される第2サブ画素と、水平ラインに沿って形成されたゲートラインと、ジグザグ状のサブ画素に沿って屈曲するように形成され、ゲート絶縁膜を介してゲートラインと交差するデータラインと、ゲートライン及びデータラインと接続された薄膜トランジスタ200と、各サブ画素に形成され、薄膜トランジスタと接続された画素電極100と、各サブ画素に形成され、ゲート絶縁膜及び保護膜を介して画素電極と重なってストレージキャパシタをなすストレージ電極21～26と、を含み、赤色の第2サブ画素のストレージキャパシタの容量が、赤色の第1サブ画素のストレージキャパシタの容量よりも大きい。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

N (N は自然数) 番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第 1 サブ画素、ならびに前記 N 番目の水平ラインの第 1 サブ画素とジグザグ状に形成され、N + 1 番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第 2 サブ画素と、

前記水平ラインに沿って形成されたゲートラインと、

前記ジグザグ状に配列された第 1 及び第 2 サブ画素に沿って屈曲するように形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインと、

前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、

前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、

前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、

を含み、

前記 N + 1 番目の水平ラインにおける赤色の第 2 サブ画素のストレージキャパシタの容量が、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする液晶表示装置。

【請求項 2】

前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量は、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きく、

前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量は、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量はそれぞれ同じであり、かつ、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量はそれぞれ同じであり、

前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量が、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

前記 N 番目の水平ラインにおける赤色、緑色、及び青色の第 1 サブ画素のストレージキャパシタの容量の合計と、前記 N + 1 番目の水平ラインにおける緑色、青色、及び赤色の第 2 サブ画素のストレージキャパシタの容量の合計とは、同じであることを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】

前記 N + 1 番目の水平ラインの赤色の第 2 サブ画素に形成されたストレージ電極の広さが、前記 N 番目の水平ラインの赤色の第 1 サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 6】

前記 N 番目の水平ラインの緑色及び青色の第 1 サブ画素に形成されたストレージ電極の広さが、前記 N 番目の水平ラインの赤色の第 1 サブ画素に形成されたストレージ電極の広さよりも大きく、

前記 N + 1 番目の水平ラインの赤色の第 2 サブ画素に形成されたストレージ電極の広さが、前記 N + 1 番目の水平ラインの緑色及び青色の第 2 サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする請求項 5 記載の液晶表示装置。

【請求項 7】

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極の広さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする請求項6記載の液晶表示装置。

【請求項8】

前記N番目及びN+1番目の水平ラインの赤色、緑色、及び青色の第1及び第2サブ画素に形成されたストレージ電極の広さは同一であり、

前記N+1番目の水平ラインの赤色の第2サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さが、前記N番目の水平ラインの赤色の第1サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さよりも小さいことを特徴とする請求項1記載の液晶表示装置。

10

【請求項9】

前記N番目の水平ラインの青色及び緑色の第1サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記N番目の水平ラインの赤色の第1サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さよりも小さく、

前記N+1番目の水平ラインの赤色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さよりも小さいことを特徴とする請求項8記載の液晶表示装置。

【請求項10】

20

前記N番目の水平ラインの緑色及び青色の第1サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、かつ、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、

前記N番目の水平ラインの緑色及び青色の第1サブ画素における前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さは、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素における前記ストレージ電極と前記画素電極との間に形成された前記保護膜の厚さよりも小さいことを特徴とする請求項9記載の液晶表示装置。

【請求項11】

30

前記ゲートラインにスキャン信号を供給するゲート駆動回路と、

複数の前記データラインに接続された一の出力ラインを有し、前記データラインに画素データ信号を供給するデータ駆動回路と、をさらに含むことを特徴とする請求項1記載の液晶表示装置。

【請求項12】

前記データ駆動回路の一の出力ラインと前記複数のデータラインとの間にそれぞれ形成され、前記データラインを順次にターンオンさせる複数のトランジスタをさらに含むことを特徴とする請求項11記載の液晶表示装置。

【請求項13】

40

N(Nは自然数)番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素の前記水平ラインに沿って、ゲートラインを形成する段階と、

前記ジグザグ状に配列された前記第1及び第2サブ画素に沿って屈曲し、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインを形成する段階と、

前記ゲートライン及び前記データラインのそれぞれと電氣的に接続される薄膜トランジスタを形成する段階と、

前記第1及び第2サブ画素のそれぞれに、前記薄膜トランジスタと電氣的に接続される画素電極を形成する段階と、

前記第1及び第2サブ画素のそれぞれに、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極を形成する段階と

50

、

を含み、

前記N+1番目の水平ラインにおける赤色の第2サブ画素のストレージキャパシタの容量を、前記N番目の水平ラインにおける赤色の第1サブ画素のストレージキャパシタの容量よりも大きく形成することを特徴とする液晶表示装置の製造方法。

【請求項14】

前記ストレージ電極を形成する段階は、

前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極の広さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極の広さよりも大きく形成する段階を含むことを特徴とする請求項13記載の液晶表示装置の製造方法。

10

【請求項15】

前記ストレージ電極を形成する段階は、

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、

前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さを、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さよりも大きく形成し、

20

前記N番目及びN+1番の水平ラインの緑色及び青色の第1及び第2サブ画素に形成されるストレージ電極を、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極よりも大きく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極よりも小さく形成する段階を含むことを特徴とする請求項14記載の液晶表示装置の製造方法。

【請求項16】

前記ストレージ電極を形成する段階は、

前記ストレージ電極を同一の面積で形成し、

前記保護膜を形成する段階は、

前記N番目及びN+1番目の水平ラインの赤色、緑色、及び青色の第1及び第2サブ画素に形成されたストレージ電極に重ねられる保護膜の厚さをそれぞれ異なるように形成する段階を含むことを特徴とする請求項13記載の液晶表示装置の製造方法。

30

【請求項17】

前記保護膜を形成する段階は、

前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく形成する段階を含むことを特徴とする請求項16記載の液晶表示装置の製造方法。

【請求項18】

前記保護膜を形成する段階は、

前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも大きく形成する段階と、

40

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも大きく形成する段階と、を含むことを特徴とする請求項17記載

50

の液晶表示装置の製造方法。

【請求項 19】

前記保護膜を形成する段階は、

前記保護膜上にフォトレジストを形成する段階と、

前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極と重ねられる第1スリット領域、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極と重ねられる第2スリット領域、ならびに前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる第3スリット領域を有するマスクを用いて、前記フォトレジストを露光する段階と、

前記露光されたフォトレジストを介して前記保護膜をエッチングする段階と、をさらに含み、

前記第1～第3スリット領域の大きさは、互いに同じであり、

前記第1スリット領域のスリットの個数は、前記第2スリット領域のスリットの個数よりも少なく、前記第3スリット領域のスリットの個数は、前記第1スリット領域のスリットの個数よりも少なく形成され、

前記第1～第3スリット領域の前記スリット間の距離が同じであることを特徴とする請求項18記載の液晶表示装置の製造方法。

【請求項 20】

N (Nは自然数) 番目の水平ラインに沿って、赤色、緑色、及び青色の順に反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素と、

前記水平ラインに沿って形成されたゲートラインと、

前記ジグザグ状に配列された第1及び第2サブ画素に沿って屈曲するように形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインと、

前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、

前記第1及び第2サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、

前記第1及び第2サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、

を含み、

前記N番目の水平ラインにおける赤色、緑色、及び青色の第1サブ画素のストレージキャパシタと、前記N+1番目の水平ラインにおける赤色、緑色、及び青色の第2サブ画素のストレージキャパシタとが異なることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその製造方法に係り、特に、デルタ形態で配列されたサブ画素を有する液晶表示装置の縦線雑音 (vertical line defects) を防止した液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

現在、表示装置として最も使用されているのは、性能及び価格的な側面で有利なCRT (Cathode Ray Tube) である。しかし、CRTは、軽量、薄型、及び小型化が困難であるため、近年は、液晶表示装置が幅広く使用されている。

【0003】

従来の薄膜トランジスタ基板は、スキャン信号を供給するゲートラインGL1～GLnと、ゲートラインGL1～GLnと交差して形成され、データ信号を供給するデータラインDL1～DLnと、ゲートラインGL1～GLn及びデータラインDL1～DLmの間

10

20

30

40

50

に接続された薄膜トランジスタと、赤色、緑色、青色の画素領域に形成され、薄膜トランジスタと連結された画素電極と、を具備する。

【0004】

この際、薄膜トランジスタは、ゲートラインと接続されたゲート電極と、データラインと接続されたソース電極と、画素電極と接続されたドレイン電極と、ゲート電極及びゲート絶縁膜を間に置いて重畳され、ソース電極とドレイン電極との間にチャンネルを形成する半導体層と、ソース電極及びドレイン電極と半導体層との間のオーミック接触のためのオーミックコンタクト層と、を具備する。このような薄膜トランジスタは、ゲートラインのスキャン信号に応答してデータラインの画像データ信号を画素電極に供給して保持する。

10

【0005】

画素電極は、薄膜トランジスタからの画像データ信号が供給されると、カラーフィルタ基板の共通電極との電圧差で液晶を駆動して、光透過率を調節する。

【0006】

ゲートラインは、横方向に平行に形成され薄膜トランジスタにスキャン信号を供給する。このような液晶表示装置の薄膜トランジスタ基板は、文字を除いたイメージを表現するために、DSC (Digital Still Camera) などの画像情報が重要視される低解像度表示装置の場合、曲線表示に有利なデルタ画素配列を有する薄膜トランジスタ基板が使用されている。

【0007】

20

この際、データラインは、デルタ配列で形成された画素電極と重畳されないように曲がって形成され、薄膜トランジスタに画像データ信号を供給する。デルタ配列で形成された画素電極では、一番目水平方向のサブ画素領域は、赤色R1、緑色G1、青色B1で形成され、二番目水平方向へのサブ画素領域は、緑色G2、青色B2、赤色R2で形成され、一番目水平方向のサブ画素と二番目水平方向のサブ画素とが繰り返し配列され形成される。この際、一番目水平方向の赤色サブ画素と二番目水平方向の緑色及び青色サブ画素が一つの画素を構成する。このようなデルタ形態でサブ画素が配列された液晶表示装置の駆動の際、一番目データ駆動回路の一つの出力端に3個のデータラインが接続され、スキャン信号が供給される毎に、3個のデータラインに順次に画素データ信号が供給される。

【0008】

30

このようにして3個のデータラインが一つのデータ駆動回路の出力端と接続されると一番目ゲートラインと連結された一番目画素電極に充電される画素データ信号と、その次のゲートラインの三番目画素電極に充電される画素データ信号の充電時間が互いに異なって、同一の色を表示する画素電極の充電率差によって縦線の不良などの表示不良が発生される。

【発明の開示】

【発明が解決しようとする課題】

【0009】

従って、本発明が達成しようとする技術的課題は、第2水平ラインに沿って配置された赤色サブ画素のストレージキャパシタ容量を、第1水平ラインに沿って配置された赤色サブ画素のストレージキャパシタ容量よりも大きくして、赤色サブ画素の充電率の差異による縦線不良を防止した液晶表示装置及びその製造方法を提供することにある。

40

【課題を解決するための手段】

【0010】

上記の技術的課題を解決するために、本発明は、N (Nは自然数) 番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素と、前記水平ラインに沿って形成されたゲートラインと、前記ジグザグ状に配列された第1及び第2サブ画素に沿って屈曲して形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデー

50

タラインと、前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、前記第 1 及び第 2 サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、を含み、前記 N + 1 番目の水平ラインにおける赤色の第 2 サブ画素のストレージキャパシタの容量が、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする液晶表示装置を提供する。

【0011】

この際、前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量は、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きく、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量は、前記 N 番目の水平ラインにおける赤色の第 1 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする。

【0012】

また、前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量はそれぞれ同じであり、かつ、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量はそれぞれ同じであり、前記 N 番目の水平ラインにおける緑色及び青色の第 1 サブ画素のストレージキャパシタの容量が、前記 N + 1 番目の水平ラインにおける緑色及び青色の第 2 サブ画素のストレージキャパシタの容量よりも大きいことを特徴とする。

【0013】

ここで、前記 N 番目の水平ラインにおける赤色、緑色、及び青色の第 1 サブ画素のストレージキャパシタの容量の合計と、前記 N + 1 番目の水平ラインにおける緑色、青色、及び赤色の第 2 サブ画素のストレージキャパシタの容量の合計とは、同じであることを特徴とする。

【0014】

この際、前記 N + 1 番目の水平ラインの赤色の第 2 サブ画素に形成されたストレージ電極の広さが、前記 N 番目の水平ラインの赤色の第 1 サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする。

【0015】

そして、前記 N 番目の水平ラインの緑色及び青色の第 1 サブ画素に形成されたストレージ電極の広さが、前記 N 番目の水平ラインの赤色の第 1 サブ画素に形成されたストレージ電極の広さよりも大きく、前記 N + 1 番目の水平ラインの赤色の第 2 サブ画素に形成されたストレージ電極の広さが、前記 N + 1 番目の水平ラインの緑色及び青色の第 2 サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする。

【0016】

また、前記 N 番目の水平ラインの緑色及び青色の第 1 サブ画素に形成されたストレージ電極の広さが、前記 N + 1 番目の水平ラインの緑色及び青色の第 2 サブ画素に形成されたストレージ電極の広さよりも大きいことを特徴とする。

【0017】

一方、前記 N 番目及び N + 1 番目の水平ラインの赤色、緑色、及び青色の第 1 及び第 2 サブ画素に形成されたストレージ電極の広さは同一であり、前記 N + 1 番目の水平ラインの赤色の第 2 サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さが、前記 N 番目の水平ラインの赤色の第 1 サブ画素においてストレージ電極と前記画素電極との間に形成された保護膜の厚さよりも小さいことを特徴とする。

【0018】

また、前記 N 番目の水平ラインの青色及び緑色の第 1 サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記 N 番目の水平ラインの赤色の第 1 サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の

10

20

30

40

50

厚さよりも小さく、前記N+1番目の水平ラインの赤色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さが、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記画素電極と前記ストレージ電極との間に形成された保護膜の厚さよりも小さいことを特徴とする。

【0019】

また、前記N番目の水平ラインの緑色及び青色の第1サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、かつ、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素において前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さはそれぞれ同じであり、前記N番目の水平ラインの緑色及び青色の第1サブ画素における前記ストレージ電極と前記画素電極との間に形成された保護膜の厚さは、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素における前記ストレージ電極と前記画素電極との間に形成された前記保護膜の厚さよりも小さいことを特徴とする。

【0020】

そして、前記ゲートラインにスキャン信号を供給するゲート駆動回路と、複数の前記データラインに接続された一の出力ラインを有し、前記データラインに画素データ信号を供給するデータ駆動回路と、さらにを含む。

【0021】

この際、前記データ駆動回路の一の出力ラインと前記複数のデータラインとの間にそれぞれ形成され、前記データラインを順次にターンオンさせる複数のトランジスタをさらに含む。

【0022】

また、上記の技術的課題を解決するために、本発明は、N（Nは自然数）番目の水平ラインに沿って、赤色、緑色、及び青色の順で反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素の前記水平ラインに沿って、ゲートラインを形成する段階と、前記ジグザグ状に配列された前記第1及び第2サブ画素に沿って屈曲し、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインを形成する段階と、前記ゲートライン及び前記データラインのそれぞれと電氣的に接続される薄膜トランジスタを形成する段階と、前記第1及び第2サブ画素のそれぞれに、前記薄膜トランジスタと電氣的に接続される画素電極を形成する段階と、前記第1及び第2サブ画素のそれぞれに、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極を形成する段階と、を含み、前記N+1番目の水平ラインにおける赤色の第2サブ画素のストレージキャパシタの容量を、前記N番目の水平ラインにおける赤色の第1サブ画素のストレージキャパシタの容量よりも大きく形成することを特徴とする液晶表示装置の製造方法を提供する。

【0023】

そして、前記ストレージ電極を形成する段階は、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極の広さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極の広さよりも大きく形成する段階を含む。

【0024】

この際、前記ストレージ電極を形成する段階は、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さをそれぞれ同一に形成し、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されるストレージ電極の広さを、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されるストレージ電極の広さよりも大きく形成し、前記N番目及びN+1番の水平ラインの緑色及び青色の第1及び第2サブ画素に形成されるストレージ電極を、前記N番目の水平ラインの赤色の第1サブ画素に形成されるストレージ電極よりも大きく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されるストレージ電極よりも

小さく形成する段階を含む。

【0025】

一方、前記ストレージ電極を形成する段階は、前記ストレージ電極を同一の面積で形成し、前記保護膜を形成する段階は、前記N番目及びN+1番目の水平ラインの赤色、緑色、及び青色の第1及び第2サブ画素に形成されたストレージ電極に重ねられる保護膜の厚さをそれぞれ異なるように形成する段階を含む。

【0026】

そして、前記保護膜を形成する段階は、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さを、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく形成する段階を含む。

10

【0027】

また、前記保護膜を形成する段階は、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも大きく形成する段階と、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極のそれぞれと重ねられる保護膜の厚さは互いに同じで、前記N番目の水平ラインの赤色の第1サブ画素に形成されたストレージ電極と重ねられる保護膜の厚さよりも小さく、かつ、

20

【0028】

前記保護膜を形成する段階は、前記保護膜上にフォトレジストを形成する段階と、前記N番目の水平ラインの緑色及び青色の第1サブ画素に形成されたストレージ電極と重ねられる第1スリット領域、前記N+1番目の水平ラインの緑色及び青色の第2サブ画素に形成されたストレージ電極と重ねられる第2スリット領域、ならびに前記N+1番目の水平ラインの赤色の第2サブ画素に形成されたストレージ電極と重ねられる第3スリット領域を有するマスクを用いて、前記フォトレジストを露光する段階と、前記露光されたフォトレジストを介して前記保護膜をエッチングする段階と、をさらに含み、前記第1～第3スリット領域の大きさは、互いに同じであり、前記第1スリット領域のスリットの個数は、前記第2スリット領域のスリットの個数よりも少なく、前記第3スリット領域のスリットの個数は、前記第1スリット領域のスリットの個数よりも少なく形成され、前記第1～第3スリット領域の前記スリット間の距離が同じである。

30

【0029】

本発明のさらに他の実施形態は、N（Nは自然数）番目の水平ラインに沿って、赤色、緑色、及び青色の順に反復的に配列される第1サブ画素、ならびに前記N番目の水平ラインの第1サブ画素とジグザグ状に形成され、N+1番目の水平ラインに沿って、緑色、青色、及び赤色の順で反復的に配列される第2サブ画素と、前記水平ラインに沿って形成されたゲートラインと、前記ジグザグ状に配列された第1及び第2サブ画素に沿って屈曲するように形成され、ゲート絶縁膜を間に置いて前記ゲートラインと交差するデータラインと、前記ゲートライン及び前記データラインのそれぞれと電氣的に接続された薄膜トランジスタと、前記第1及び第2サブ画素のそれぞれに形成され、前記薄膜トランジスタと電氣的に接続された画素電極と、前記第1及び第2サブ画素のそれぞれに形成され、前記ゲート絶縁膜及び保護膜を間に置いて前記画素電極と重なってストレージキャパシタを形成するストレージ電極と、を含み、前記N番目の水平ラインにおける赤色、緑色、及び青色の第1サブ画素のストレージキャパシタと、前記N+1番目の水平ラインにおける赤色、緑色、及び青色の第2サブ画素のストレージキャパシタとが異なることを特徴とする液晶表示装置を提供する。

40

【発明の効果】

50

【0030】

本発明の液晶表示装置及びその製造方法によれば、赤色サブ画素の充電率の差異による縦線不良が防止される。

【発明を実施するための最良の形態】

【0031】

以下、添付の図面を参照して、本発明の望ましい実施形態を詳細に説明する。

【0032】

図1は、本発明の第1及び第2実施形態による薄膜トランジスタを含む液晶表示装置を示したブロック図である。

【0033】

図1を参照すると、本発明による液晶表示装置は、液晶パネル、液晶パネルにスキャン信号を供給するゲート駆動回路130、液晶パネルに画素データ信号を供給するデータ駆動回路120、及び液晶パネルに光を供給するバックライトユニットを具備する。

【0034】

ここで、バックライトユニット（図示せず）は、ランプまたは発光ダイオードなどの光を発生する光源と、光源から供給される光を液晶パネルに案内する導光板と、導光板から供給される光の効率を向上させる反射シート、拡散シート、プリズムシートなどの各種光学シートとを含む。ここで、反射シートは、導光板の下部に位置して導光板の下部に供給される光を導光板に反射させて光利用効率を向上させる。

【0035】

ゲート駆動回路130は、ゲートラインGL1～GLnに順次にスキャン信号を供給してゲートラインGL1～GLnを駆動する。ゲート駆動回路130は、薄膜トランジスタ基板にASG（Amorphous Silicon Gate：ASG）形態で集積されるか、COG（チップオンガラス）形態で実装されることができる。

【0036】

データ駆動回路120は、ゲートラインGL1～GLnにスキャン信号が供給される毎に、画素データ信号をデータラインDL1～DLmに供給する。ここで、データ駆動回路120の一つの出力端は、3つに分岐され、第1～第3トランジスタTr1～Tr3を間に置いて3個のデータラインDLと接続される。ここで、第1～第3トランジスタTr1～Tr3は、制御部（図示せず）から供給される制御信号SCSに沿って順次にターンオンされ、図3に示されるように、ゲートラインGLにスキャン信号が供給されるとき、スキャン信号の1/3周期毎に順次にターンオンされる。従って、図2に示すように、m番目データラインDLm、m+1番目データラインDLm+1、及びm+2番目データラインDLm+2には、順次に画素データ信号が供給される。ここで、第1～第3トランジスタTr1～Tr3は、薄膜トランジスタ基板上に集積されて形成されることができる。

【0037】

このようなデータ駆動回路120は、薄膜トランジスタ基板上に集積されて形成されるか、COG形態で実装されることができる。また、データ駆動回路120は、データキャリアパッケージ形態で形成され回路基板及び液晶パネルそれぞれに付着されることができる。

【0038】

液晶パネルは、薄膜トランジスタアレイが形成された薄膜トランジスタ基板、カラーフィルタアレイが形成されたカラーフィルタ基板、及びそれらの2つの基板の間に内在される液晶を含む。

【0039】

液晶は、誘電率異方性を有する物質から形成され、薄膜トランジスタ基板に形成された画素電極100とカラーフィルタ基板に形成された共通電極との間の電圧差による垂直電界によって回転して、バックライトユニット（図示せず）から入射された光の透過率を可変させる。

【0040】

カラーフィルタ基板は、薄膜トランジスタ200、ゲートラインGL1～GLn及びデータラインDL1～DLnと対応して光漏れを防止するブラックマトリックス、ブラックマトリックスで区画された領域に薄膜トランジスタ基板に形成された画素電極と対応して色を表示するカラーフィルタ、ならびにブラックマトリックス及びカラーフィルタ上に形成される共通電極を含む。

【0041】

薄膜トランジスタ基板1は、基板10上に薄膜トランジスタアレイが形成される。以下、図3～図22を参照して、本発明の実施形態による薄膜トランジスタ基板を詳細に説明する。

【0042】

図3は、本発明の第1実施形態による薄膜トランジスタ基板を示す平面図であり、図4は、図3のI-I'線、II-II'線、及びIII-III'線に沿った断面図であり、図5は、V-V'線、VI-VI'線、及びVII-VII'線に沿った断面図である。

【0043】

図3～図5を参照すると、本実施形態による薄膜トランジスタ基板1は、スキャン信号を供給するN（Nは自然数）番目水平ラインに沿って、赤色R1、緑色G1、青色B1の順で反復配列される第1サブ画素と、N番目水平ラインの第1サブ画素と交互的に形成され、N+1番目水平ラインに沿って、緑色、青色、赤色の順で反復配列された第2サブ画素と、水平ラインに沿って形成されたゲートラインGL1～GLnと、交互的に配列された第1及び第2サブ画素に沿って屈曲するように形成され、ゲート絶縁膜30を間に置いてゲートラインGL1～GLnと交差するデータラインDL1～DLmと、ゲートラインGL1～GLn及びデータラインDL1～DLmのそれぞれと接続された薄膜トランジスタ200と、第1及び第2サブ画素のそれぞれに形成され、薄膜トランジスタ200と接続された画素電極100と、第1及び第2サブ画素のそれぞれにおいてゲート絶縁膜30及び保護膜80を間に置いて画素電極100と重畳され、ストレージキャパシタを形成するストレージ電極21～26と、を含む。この際、N+1番目水平ラインの赤色の第2サブ画素に設けられるストレージキャパシタst6のストレージキャパシタ容量Cst6が、N番目水平ラインの赤色の第1サブ画素に設けられるストレージキャパシタst1のストレージキャパシタ容量Cst1よりも大きく形成される。

【0044】

具体的には、第1サブ画素が赤色R1、緑色G1、青色B1の順で順次に反復配列される第1水平ラインと、第1水平ラインの第1サブ画素とジグザグ状に配列される第2サブ画素が緑色G2、青色B2、赤色R2の順で順次に反復配列される第2水平ラインとが、繰り返して形成される。これを通じて一つの画素を構成するサブ画素領域がデルタ形態で配列される。なお、以下、第1及び第2サブ画素を総称してサブ画素と称する。

【0045】

薄膜トランジスタ200は、ゲートラインGL1～GLnと接続されたゲート電極20、データラインDL1～DLmと接続されたソース電極60、画素電極100と接続されたドレイン電極70、ゲート電極20及びゲート絶縁膜30を間に置いて重畳されソース電極60とドレイン電極70との間にチャンネルを形成する半導体層40を含む。また、薄膜トランジスタ200は、ソース電極60及びドレイン電極70と半導体層との間のオーミック接触のためのオーミックコンタクト層50を含む。このような薄膜トランジスタ200は、ゲートラインGL1～GLnのスキャン信号に応答して、データラインDL1～DLmの画像データ信号を画素電極100に供給する。

【0046】

画素電極100は、薄膜トランジスタ200を覆う保護膜80上に形成され、保護膜80を貫通する画素コンタクトホール90を経由してドレイン電極70と電氣的に接続される。画素電極100は、薄膜トランジスタ200からの画像データ信号が供給されるとカラーフィルタ基板の共通電極との電圧差で液晶を駆動して光透過率を調節する。

【0047】

ゲートラインG L 1～G L nは、水平方向に形成され、薄膜トランジスタ2 0 0のゲート電極2 0にスキャン信号を供給する。

【0 0 4 8】

データラインは、ゲートラインと交差して垂直方向に屈曲するように形成され、薄膜トランジスタ2 0 0のソース電極6 0に画素データ信号を供給する。この際、データラインD L 1～D L mは、画素電極1 0 0の周辺に沿って屈曲するように形成される。

【0 0 4 9】

このようなゲートラインG L 1～G L nとデータラインD L n～D L mは、ゲート絶縁膜3 0を間に置いて交差して形成されることでデルタ形態のサブ画素領域を画定する。

【0 0 5 0】

10

第1～第6ストレージキャパシタs t 1～s t 6は、ゲートラインG L 1～G L nと並んで形成されたストレージラインS L 1～S L nに連結された第1～第6ストレージ電極2 1～2 6と画素電極1 0 0とが、ゲート絶縁膜3 0及び保護膜8 0を間に置いて重畳されて形成される。この際、第1水平ラインの緑色G 1及び青色B 1のサブ画素領域に形成された第2及び第3ストレージ電極2 2，2 3の広さは、互いに同じであり、第1ストレージ電極2 1の広さは、第2及び第3ストレージ電極2 2，2 3よりも小さく形成される。そして、第2水平ラインの緑色G 2及び青色B 2のサブ画素領域に形成された第4及び第5ストレージ電極2 4，2 5の広さは、互いに同じであり、第6ストレージ電極2 6の広さは、第4及び第5ストレージ電極2 4，2 5よりも大きく形成される。

【0 0 5 1】

20

下記(1)式を通じて、本発明の第1実施形態による薄膜トランジスタ基板のストレージ電極の広さ比率を説明する。

【0 0 5 2】

【数1】

$$Cst = \varepsilon \frac{A}{d} \quad \dots (1)$$

【0 0 5 3】

上記(1)式は、ストレージキャパシタ容量を示す式で、“A”は、ストレージ電極の広さを示し、“d”は、ストレージキャパシタの2つの電極の間の距離を示し、 ε は、2つの電極の間に形成された誘電体の誘電率を示す。ここで、 ε は、物質の固有特性を示すので、誘電体として作用するゲート絶縁膜3 0及び保護膜8 0の固有の誘電率に従って固定された常数である。従って、ストレージキャパシタ容量C s tは、電極の広さまたは電極の間の距離によって決定される。即ち、第6ストレージ電極2 6の広さが第1ストレージ電極2 1の広さに対して3倍大きいと、第6ストレージキャパシタ容量C s t 6は、第1ストレージキャパシタ容量C s t 1に対して3倍大きい。即ち、第1水平ラインの赤色R 1サブ画素領域に形成された第1ストレージ電極2 1と第2水平ラインの赤色R 2サブ画素領域に形成された第6ストレージ電極2 6とは、互いに異なる広さで形成され、望ましくは、第6ストレージ電極2 6の広さは、第1ストレージ電極2 1の広さに対して3倍に形成される。また、第1水平ラインの緑色G 1画素領域に形成された第2ストレージ電極2 2と第2水平ラインの緑色G 2画素領域に形成された形成された第4ストレージ電極2 4の広さは、それぞれ異なるように形成され、第1水平ラインの青色B 1画素領域に形成された第3ストレージ電極2 3と第2水平ラインの緑色B 2画素領域に形成された第5ストレージ電極2 5の広さは、それぞれ異なるように形成される。

30

40

【0 0 5 4】

それにより、第6ストレージキャパシタ容量C s t 6が、第1ストレージキャパシタ容量C s t 1に比べて3倍大きくなって、第2水平ラインの赤色R 2サブ画素領域における画素データ信号の充電時間が、第1水平ラインの赤色R 1サブ画素領域における画素データ信号の充電時間よりも短くても、充電率が補償され、縦線不良が防止される。

【0 0 5 5】

50

また、図 6 に示されるように、第 1 水平ラインの赤色 R 1、緑色 G 1、青色 B 1 のサブ画素領域の第 1 ～第 3 ストレージキャパシタ容量 C s t 1 ～C s t 3 の合計と、第 2 水平ラインの緑色 G 2、青色 B 2、赤色 R 2 のサブ画素領域の第 4 ～第 6 ストレージキャパシタ容量 C s t 4 ～C s t 6 の合計とが、同一に形成しなければならない。それにより、第 2 及び第 3 ストレージキャパシタ容量 C s t 2、C s t 3 は、第 1 ストレージキャパシタ容量 C s t 1 に対して 2. 5 倍で形成され、第 4 及び第 5 ストレージキャパシタ容量 C s t 4、C s t 5 は、第 1 ストレージキャパシタ容量 C s t 1 に対して 1. 5 倍に形成される。

【0056】

図 7 ～図 11 は、本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法をマスク工程別に示した断面図である。ここで、図 7 ～図 11 は、5 つのマスク工程を示す図である。しかし、本実施形態による薄膜トランジスタ基板は、3 つまたは 4 つのマスク工程を通じて製造されることができる。

【0057】

図 7 は、本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法のうち第 1 マスク工程を示す断面図である。

【0058】

図 7 を参照すると、第 1 マスク工程を通じて、基板 10 上にゲートライン G L 1 ～G L n、ゲート電極 20、ストレージライン S L 1 ～S L n、及び第 1 ～第 6 ストレージ電極 21 ～26 を含む第 1 導電パターン群が形成される。

【0059】

具体的に、有機またはプラスチックなどの透明な基板 10 上に、第 1 導電層をスパッタリングなどのような蒸着方法を通じて形成する。第 1 導電層は、アルミニウム、クロム、銅、及びモリブデンなどのような金属またはそれらの合金が単一層で形成されるか、それらの組み合わせからなる 2 重層以上の多層で形成される。続いて、第 1 マスクを用いたフォトリソグラフィ工程及びエッチング工程で第 1 導電層をパターニングすることで、ゲートライン G L 1 ～G L n、ゲート電極 20、ストレージライン S L 1 ～S L n、及び第 1 ～第 6 ストレージ電極 21 ～26 を含む第 1 導電パターン群が形成される。この際、第 1 ～第 3 ストレージ電極 21 ～23 は、第 1 水平ラインの赤色 R、緑色 G 1、青色 B 1 の画素領域にそれぞれ形成され、第 4 ～第 6 ストレージ電極 24 ～26 は、第 2 水平ラインの緑色 G 2、青色 B 2、赤色 R 2 の画素領域にそれぞれ形成される。ここで、第 2 水平ラインの赤色画素領域に形成された第 6 ストレージ電極 26 の広さは、第 1 水平ラインの赤色 R 1 画素領域に形成された第 1 ストレージ電極 21 の広さよりも大きく形成され、望ましくは、第 6 ストレージ電極 26 の広さが、第 1 ストレージ電極 21 の広さと対比して 3 倍の大きさに形成される。そして、第 2 及び第 3 ストレージ電極 22、23 の広さは、第 1 ストレージ電極 21 の広さよりも大きく形成され、望ましくは、2. 5 倍になるように形成される。また、第 4 及び第 5 ストレージ電極 24、25 の広さは、第 1 ストレージ電極 21 の広さと対比して 1. 5 倍になるように形成されることが望ましい。第 1 水平ラインの赤色 R 1、緑色 G 1、青色 B 1 領域の第 1 ～第 3 ストレージ電極 21 ～23 の広さの合計と、第 2 水平ラインの緑色 G 2、青色 B 2、赤色 R 2 領域の第 4 ～第 6 ストレージ電極 24 ～26 の広さの合計とが同一に形成される。

【0060】

図 8 は、本発明の第 1 実施形態による薄膜トランジスタ基板の第 2 マスク工程を示した断面図である。

【0061】

図 8 を参照すると、第 2 マスク工程を通じて、第 1 導電パターン群が形成された基板 10 上に、ゲート絶縁膜 30、半導体層 40、及びオーミックコンタクト層 50 を順次に形成する。

【0062】

具体的に、ゲートライン G L 1 ～G L n、ゲート電極 20、ストレージライン S L 1 ～

10

20

30

40

50

S L n、及び第 1～第 6 ストレージ電極 2 1～2 6 が形成された基板 1 0 上に、ゲート絶縁膜、非晶質シリコン層、及び不純物ドーピングされた非晶質シリコン層がプラズマ化学気相蒸着方法（P E C V D）、化学気相蒸着方法（C V D）などの蒸着方法を通じて順次に積層される。続いて、第 2 マスクを用いたフォトリソグラフィ工程及びエッチング工程で、非晶質シリコン及び不純物ドーピングされた非晶質シリコン層がパターンニングされ、半導体層 4 0 及びオーミックコンタクト層 5 0 が形成される。ゲート絶縁膜 3 0 は、窒化シリコン S i N x、酸化シリコン S i O x などの無機絶縁物質が用いられる。ここで、非晶質シリコン層をレーザ結晶化または固相結晶化方法などを用いて変換することによって、チャンネル領域にポリシリコンを形成することができる。ゲート絶縁膜 3 0 としては、窒化シリコン、酸化シリコンなどの無機絶縁物質が用いられる。

10

【0063】

図 9 は、本発明の第 1 実施形態による薄膜トランジスタ基板の第 3 マスク工程を示す断面図である。

【0064】

図 9 を参照すると、第 3 マスク工程を通じて、半導体層 4 0、オーミックコンタクト層 5 0、及びゲート絶縁膜 3 0 が形成された基板 1 0 上に、ソース電極 6 0、ドレイン電極 7 0、及びデータライン D L 1～D L m を含む第 2 導電パターン群が形成される。

【0065】

具体的に、半導体層 4 0、オーミックコンタクト層 5 0、及びゲート絶縁膜 3 0 が形成された基板 1 0 上に、第 2 導電層をスパッタリングなどの蒸着方法を通じて蒸着する。次に、第 3 マスク工程を用いたフォトリソグラフィ工程及びエッチング工程で第 2 導電層をパターンニングすることにより、第 2 導電パターン群を形成する。この際、オーミックコンタクト層 5 0 上に、ソース電極 6 0 及びドレイン電極 7 0 が向き合うように形成され、ソース電極 6 0 と接続されたデータライン D L 1～D L m が形成される。第 2 導電層としては、アルミニウム、クロム、銅、及びモリブデンなどの金属またはこれらの合金が単一層で形成されるか、それらの組み合わせからなる多層構造で形成される。ここで、第 3 マスクは、チャンネルが形成される領域にスリットが形成されたスリットマスクまたは半透過マスクを通じて、微細チャンネルを形成することができる。これにより、チャンネル幅を大きくし、チャンネル長さを減少させて、薄膜トランジスタ 2 0 0 の特性を向上させることができる。

20

30

【0066】

図 1 0 は、本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法のうち第 4 マスク工程を示す断面図である。

【0067】

図 1 0 を参照すると、第 4 マスク工程を通じて、第 2 導電パターン群が形成されたゲート絶縁膜 3 0 上に、画素コンタクトホール 9 0 を有する保護膜 8 0 が形成される。

【0068】

具体的に、保護膜 8 0 は、第 2 導電パターン群が形成された基板 1 0 上に、P E C V D、C V D などの蒸着方法を通じて形成され、第 4 マスクを用いたフォトリソグラフィ工程及びエッチング工程で、保護膜 8 0 を貫通してドレイン電極 7 0 を露出させる画素コンタクトホール 9 0 が形成される。保護膜 8 0 は、ゲート絶縁膜 3 0 のような無機絶縁物質が用いられるか、有機絶縁物質が用いられる。

40

【0069】

図 1 1 は、本発明の第 1 実施形態による薄膜トランジスタ基板の製造方法のうち第 5 マスク工程を示す断面図である。

【0070】

図 1 1 を参照すると、第 5 マスク工程を通じて、保護膜 8 0 上に画素電極 1 0 0 が形成される。

【0071】

具体的に、画素電極 1 0 0 は、保護膜 8 0 上にスパッタリング方法を通じて透明導電層

50

を形成した後、第5マスクを用いたフォトリソグラフィ工程及びエッチング工程で透明導電層をパターンニングして形成する。透明導電層としては、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、TO (Tin Oxide)、ITZO (Indium Tin Zinc Oxide) などのような透明導電物質が用いられる。画素電極100は、画素コンタクトホール90を通じてドレイン電極70と接続される。画素電極100は、サブ画素領域に独立的に形成され、第1～第6ストレージ電極21～26と重畳されて形成される。それにより、第1～第6ストレージ電極21～26と画素電極100との重畳によって、第1～第6ストレージキャパシタst1～st6が形成される。

【0072】

図12は、本発明の第2実施形態による薄膜トランジスタ基板を示す平面図であり、図13及び図14は、図12に示された切断線に沿った断面図である。

【0073】

図12～図14は、図3～図5と対比して、第1水平ラインに形成された第1～第3ストレージ電極521～523と第2水平ラインに形成された第4～第6ストレージ電極524～526の電極の広さが同一に形成され、第1及び第6ストレージ電極521、526、第2及び第4ストレージ電極522、524、そして第3及び第5ストレージ電極523、525それぞれと画素電極100との間の保護膜580の厚さが異なるように形成され、第2及び第3ストレージ電極522、523と画素電極100との間の保護膜580の厚さを同一に形成し、第4及び第5ストレージ電極524、525と画素電極100との間の保護膜580の厚さを同一に形成することを除いては、第1実施形態と同一の構成要素を具備するので、同一の構成要素に対する重複された説明は省略する。また、図3～図5と同一の構成に対しては、同一の参照符号で表示する。

【0074】

図12～図14を参照すると、本発明の第2実施形態による薄膜トランジスタ基板501では、第6ストレージキャパシタ容量Cst6が、第1ストレージキャパシタ容量Cst1に比べて3倍になるように形成するために、第6ストレージ電極526と画素電極100と間の距離を(1)式に説明したように1/3倍にする。即ち、第6ストレージ電極526と画素電極100との間に形成されたゲート絶縁膜30と保護膜580の厚さの合計が、第1ストレージ電極521と画素電極100との間に形成されたゲート絶縁膜30と保護膜580の厚さの合計と対比して1/3倍になるように形成する。これのために、第6ストレージ電極526と重畳された領域の保護膜580を除去するか、保護膜80下部のゲート絶縁膜30の一部を除去して、第1ストレージ電極21と重畳された領域の保護膜580及びゲート絶縁膜530の厚さに対比して1/3になるようにする。ここで、ゲート絶縁膜30は、第6ストレージ電極526と画素電極100の絶縁のために全部残され、保護膜580のみが除去されることが望ましい。

【0075】

また、第2及び第3ストレージキャパシタ容量Cst2、Cst3は、第1ストレージキャパシタ容量Cst1と対比して2.5倍になるように形成しなければならないので、第2及び第3ストレージ電極522、523と画素電極100との間に形成された保護膜580及びゲート絶縁膜30の厚さの合計が、第1ストレージ電極521と画素電極100との間に形成された保護膜580及びゲート絶縁膜30の厚さの合計と対比して1/2.5倍になるように形成される。また、第4及び第5ストレージキャパシタ容量Cst4、Cst5は、第1ストレージキャパシタ容量Cst1と対比して1.5倍になるように形成しなければならないので、第4及び第5ストレージ電極524、525と画素電極100との間に形成された保護膜580及びゲート絶縁膜30の厚さの合計が、第1ストレージ電極521と画素電極100との間に形成された保護膜580及びゲート絶縁膜30の厚さの合計と対比して1/1.5倍になるように形成される。この際、第1～第6ストレージ電極521～526と画素電極100との間に形成されたゲート絶縁膜30は、第1～第6ストレージ電極521～526と画素電極100との絶縁を保障する厚さ以上で

形成しなければならないので、保護膜 580 の厚さのみを調節して、第 1 ～第 6 ストレージキャパシタ s t 1 ～s t 6 を形成することが望ましい。

【0076】

図 15 ～図 22 は、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法をマスク工程別に示した断面図である。図 15 は、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法のうち、第 1 マスク工程を示した断面図である。

【0077】

図 15 を参照すると、第 1 マスク工程を通じて、基板 10 上に、ゲートライン G L 1 ～G L n、ゲート電極 20、ストレージライン S L 1 ～S L n、及び第 1 ～第 6 ストレージ電極 521 ～526 を含む第 1 導電パターン群が形成される。

10

【0078】

具体的に、有機またはプラスチックなどの透明な基板 10 上に、スパッタリング方法を通じて第 1 導電層を形成する。第 1 導電層は、アルミニウム、クロム、銅、及びモリブデンなどのような金属またはそれらの合金が単一層から形成されるか、それらの組み合わせからなる 2 重層以上の多層で形成される。続いて、第 1 マスクを用いたフォトリソグラフィ工程及びエッチング工程で第 1 導電層をパターンニングすることで、ゲートライン、ゲート電極 20、ストレージライン S l 1 ～S L n、及び第 1 ～第 6 ストレージ電極 521 ～526 を含む第 1 導電パターン群が形成される。この際、第 1 ～第 6 ストレージ電極 521 ～526 は、全部同一の広さに形成される。

【0079】

20

図 16 は、本発明の第 2 実施形態による薄膜トランジスタ基板の第 2 マスク工程を示した断面図である。

【0080】

図 16 を参照すると、第 2 マスク工程を通じて、第 1 導電パターン群が形成された基板 10 上に、ゲート絶縁膜 30、半導体層 40、及びオーミックコンタクト層 50 を順次に形成する。

【0081】

具体的に、ゲートライン G L 1 ～G L n、ゲート電極 20、ストレージライン S L 1 ～S L n、及び第 1 ～第 6 ストレージ電極 521 ～526 が形成された基板 10 上に、ゲート絶縁膜、非晶質シリコン層、及び不純物ドーピングされた非晶質シリコン層が、プラズマ化学気相蒸着方法、化学気相蒸着方法などの蒸着方法を通じて順次に積層される。続いて、第 2 マスクを用いたフォトリソグラフィ工程及びエッチング工程で非晶質シリコン層及び不純物ドーピングされた非晶質シリコン層がパターンニングされ、半導体層 40 及びオーミックコンタクト層 50 が形成される。ゲート絶縁膜 30 は、窒化シリコン、酸化シリコンなどの無機絶縁物質が用いられる。ここで、非晶質シリコン層をレーザ結晶化または固相結晶化方法などを用いて変換することにより、チャンネル領域にポリシリコンを形成することができる。ゲート絶縁膜 30 としては、窒化シリコン、酸化シリコンなどの無機絶縁物質が用いられる。

30

【0082】

図 17 は、本発明の第 2 実施形態による薄膜トランジスタ基板の第 3 マスク工程を示した断面図である。

40

【0083】

図 17 を参照すると、第 3 マスク工程を通じて、半導体層 40、オーミックコンタクト層 50、及びゲート絶縁膜 30 が形成された基板 10 上に、ソース電極 60、ドレイン電極 70、及びデータライン D L 1 ～D L m を含む第 2 導電パターン群が形成される。

【0084】

具体的に、半導体層 40、オーミックコンタクト層 50、及びゲート絶縁膜 30 が形成された基板 10 上に、スパッタリング方法などの蒸着方法を通じて第 2 導電層を蒸着する。次に、第 3 マスク工程を用いたフォトリソグラフィ工程及びエッチング工程で第 2 導電層をパターンニングすることで、第 2 導電パターン群を形成する。この際、オーミックコン

50

タクト層 50 上にソース電極 60 及びドレイン電極 70 が向き合うように形成され、ソース電極 60 と接続されたデータライン DL1 ~ DLm が形成される。第 2 導電層としては、アルミニウム、クロム、銅、及びモリブデンなどの金属またはこれらの合金が単一層で形成されるか、それらの組み合わせからなる多層構造から形成される。ここで、第 3 マスクは、チャンネルが形成される領域にスリットが形成されたスリットマスクまたは半透過マスクを通じて、微細チャンネルを形成することができる。それにより、チャンネル幅を大きくし、チャンネル長さを減少して、薄膜トランジスタ 200 の特性を向上させることができる。

【0085】

図 18 ~ 図 21 は、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法のうち第 4 マスク工程を示した断面図である。

【0086】

図 18 ~ 図 21 を参照すると、第 4 マスク工程を通じて、第 2 導電パターン群が形成されたゲート絶縁膜 30 上に、画素コンタクトホール 90、及び第 1 ~ 第 6 ストレージキャパシタ st1 ~ st6 を形成するための保護膜 580 が形成される。

【0087】

具体的に、保護膜 580 は、第 2 導電パターン群が形成された基板 10 上に、PECVD、CVD などの蒸着方法を通じて形成され、第 4 マスク 300 を用いたフォトリソグラフィ工程及びエッチング工程で、保護膜 580 を貫通してドレイン電極 70 を露出させる画素コンタクトホール 90 が形成される。この際、第 1 ~ 第 6 ストレージ電極 521 ~ 526 と重畳された保護膜 580 は、それぞれ異なる高さで形成される。即ち、第 1 ~ 第 6 ストレージ電極 521 ~ 526 と重畳された保護膜 580 は、第 2 ~ 第 6 ストレージ電極 522 ~ 526 に対応してスリット 303, 304, 305 が形成されたマスク 300 を通じて、厚さがそれぞれ異なるように形成される。

【0088】

図 18 を参照すると、第 2 導電パターンが形成された基板上に、無機絶縁物質を全面に形成する。次に、図 19 に示すように、無機絶縁物質上にフォトレジスト 250 を形成する。次に、図 20 に示されたマスク 300 を用いて、フォトレジスタ 250 を感光して透過領域 S12 のフォトレジスタ 250 を除去し、遮断領域 S11 及びスリット領域 S13, S14, S15 それぞれのフォトレジスタ 250 を残す。透過領域 S12 によってフォトレジスタ 250 が除去され、エッチング工程を通じて画素コンタクトホール 90 が形成される。また、図 20 に示されるように、マスクのスリット領域 S13, S14, S15 の大きさを同一にし、第 1 ~ 第 3 スリット領域 S13, S14, S15 に形成されたスリットの個数をそれぞれ異なるように設定し、第 1 ~ 第 3 スリット領域 S13, S14, S15 のスリット 303, 304, 305 間の距離を同じくして、第 2 ~ 第 6 ストレージ電極 522 ~ 526 と重畳された領域の保護膜 580 をそれぞれ異なる厚さで形成する。例えば、図 21 に示されるように、保護膜 580 の厚さがゲート絶縁膜 30 の厚さの 2 倍高さに形成される場合、第 1 ストレージ電極 521 と重畳されるゲート絶縁膜 30 の厚さ及び保護膜 580 の厚さの合計は“d1”となり、この際、保護膜 580 は除去されない。また、第 2 及び第 3 ストレージ電極 522, 523 と重畳されるゲート絶縁膜 30 と保護膜 580 の厚さの合計はそれぞれ“d2”及び“d3”となり、“d2”と“d3”は同一の高さに形成される。即ち、ゲート絶縁膜 30 上の保護膜 580 の一部が除去されることで“d2”と“d3”は、“d1”の $1/2.5$ 倍に形成される。また、第 4 及び第 5 ストレージ電極 524, 525 と重畳されたゲート絶縁膜 30 の厚さ及び保護膜 580 の厚さの合計は、それぞれ“d4”及び“d5”となり、“d4”及び“d5”は同じ高さに形成される。この際、“d4”及び“d5”は、“d1”に対比して $1/1.5$ 倍の高さに形成される。第 6 ストレージ電極 526 と重畳された保護膜 580 の厚さは、第 1 ストレージ電極 21 と重畳されたゲート絶縁膜 30 及び保護膜 580 の厚さの合計と対比して $1/3$ の厚さで形成しなければならないので保護膜 580 を全部除去する。例えば、遮断領域 S11 は、第 1 ストレージ電極 521 と対応する領域に形成され、第 2 及び第 3 ス

10

20

30

40

50

トレージ電極 5 2 2, 5 2 3 と対応する領域には、第 1 スリット領域 S 1 3 が形成され、第 4 及び第 5 ストレージ電極 5 2 4, 5 2 5 と対応する領域には、第 2 スリット領域 S 1 4 が形成され、第 6 ストレージ電極 5 2 6 と対応する領域には、第 3 スリット領域 S 1 5 が形成される。この際、第 2 スリット領域 S 1 4 でのスリット 3 0 4 の個数に対比して、第 1 スリット領域 S 1 3 でのスリット 3 0 3 個数を少なく形成して、第 2 及び第 3 ストレージ電極 5 2 2, 5 2 3 と重畳される保護膜 5 8 0 を第 4 及び第 5 ストレージ電極 5 2 4, 5 2 5 と重畳される保護膜 5 8 0 よりも深くエッチングされるようにする。また、第 1 スリット領域 S 1 3 のスリットの個数を、第 3 スリット領域 S 1 5 のスリット 3 0 5 の個数よりも多く形成して、第 6 ストレージ電極 5 2 6 と重畳された保護膜 5 8 0 を完全に除去する。

10

【0089】

このような保護膜 5 8 0 には、ゲート絶縁膜 3 0 のような無機絶縁物質が用いられるか、有機絶縁物質が用いられる。

【0090】

図 2 2 は、本発明の第 2 実施形態による薄膜トランジスタ基板の製造方法のうち第 5 マスク工程を示した断面図である。

【0091】

図 2 2 を参照すると、第 5 マスク工程を通じて、保護膜 5 8 0 上に画素電極 1 0 0 が形成される。

【0092】

具体的に、画素電極 1 0 0 は、保護膜 5 8 0 上にスパッタリングなどの方法を通じて導電層を形成した後、第 5 マスクを用いたフォトリソグラフィ工程及びエッチング工程で透明導電層をパターンニングして形成する。透明導電層としては、ITO、IZO、TO、ITZO などのような透明導電物質が用いられる。画素電極 1 0 0 は、画素コンタクトホール 9 0 を通じてドレイン電極 7 0 と接続される。画素電極 1 0 0 は、サブ画素領域に独立的に形成され、第 1 ～第 6 ストレージ電極 5 2 1 ～5 2 6 と重畳されて形成される。それにより、第 1 ～第 6 ストレージ電極 5 2 1 ～5 2 6 と画素電極 1 0 0 との重畳により、第 1 ～第 6 ストレージキャパシタ s t 1 ～s t 6 が形成される。

20

【0093】

一方、本発明の実施形態による薄膜トランジスタ基板は、第 6 ストレージキャパシタ容量 C s t 6 を第 1 ストレージキャパシタ容量 C s t 1 に対比して 3 倍で形成するために、第 6 ストレージ電極 5 2 6 の広さを第 1 ストレージ電極 5 2 1 の広さよりも大きくし、第 6 ストレージ電極 5 2 6 と重畳されたゲート絶縁膜 3 0 及び保護膜 8 0 の厚さは薄く形成する。そして、第 2 ～第 5 ストレージキャパシタ容量 C s t 2 ～C s t 5 も、第 6 ストレージキャパシタ容量 C s t 6 を形成するのと同じの方法で形成することができる。

30

【産業上の利用可能性】

【0094】

上述したように、本発明による液晶表示装置及びその製造方法は、第 1 水平ラインの赤色、緑色、青色のサブ画素領域が反復され、第 1 水平ラインのサブ画素領域に交互的に配列され、緑色、青色、赤色のサブ画素領域が反復された第 2 水平ラインが反復的に形成されたデルタ構造の薄膜トランジスタ基板において、第 2 水平ラインの赤色サブ画素領域に形成された第 6 ストレージキャパシタ容量を、第 1 水平ラインの赤色サブ画素領域に形成された第 1 ストレージキャパシタ容量に比べて 3 倍大きく形成して、充電率を補償して縦線不良を防止する。

40

【0095】

また、データ駆動回路の一つの出力端で 3 個のデータラインを駆動させることでデータ駆動回路を簡単に具現すると同時にデータ駆動回路の費用が節減されるので、液晶表示装置の生産費用が節減される。

【0096】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず、本発

50

明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0097】

【図1】本発明の実施形態による液晶表示装置を示す平面図である。

【図2】図1に示された液晶表示装置の駆動の際のスキュン信号に対してサブ画素に充電されるデータを示した波形図である。

【図3】本発明の第1実施形態による薄膜トランジスタ基板を示した平面図である。

【図4】図3に示された薄膜トランジスタ基板のI-I'線、II-II'線、及びIII-III'線に沿った断面を示した断面図である。

10

【図5】図3に示された薄膜トランジスタ基板のV-V'線、VI-VI'線及びVII-VII'線に沿った断面を示した断面図である。

【図6】図4に示された薄膜トランジスタ基板で色配列に対するストレージキャパシタの形成比率を概略的に示した図である。

【図7】本発明の第1実施形態による薄膜トランジスタ基板の製造方法を示す断面図である。

【図8】図7に後続する図である。

【図9】図8に後続する図である。

【図10】図9に後続する図である。

【図11】図10に後続する図である。

20

【図12】本発明の第2実施形態による薄膜トランジスタ基板を示す平面図である。

【図13】図12に示された薄膜トランジスタ基板のI-I'線、II-II'線、及びIII-III'線に沿った断面図である。

【図14】図12に示された薄膜トランジスタ基板のV-V'線、VI-VI'線、及びVII-VII'線に沿った断面図である。

【図15】本発明の第2実施形態による薄膜トランジスタ基板の製造方法を示す断面図である。

【図16】図15に後続する図である。

【図17】図16に後続する図である。

【図18】図17に後続する図である。

30

【図19】図18に後続する図である。

【図20】図19に後続する図である。

【図21】図20に後続する図である。

【図22】図21に後続する図である。

【符号の説明】

【0098】

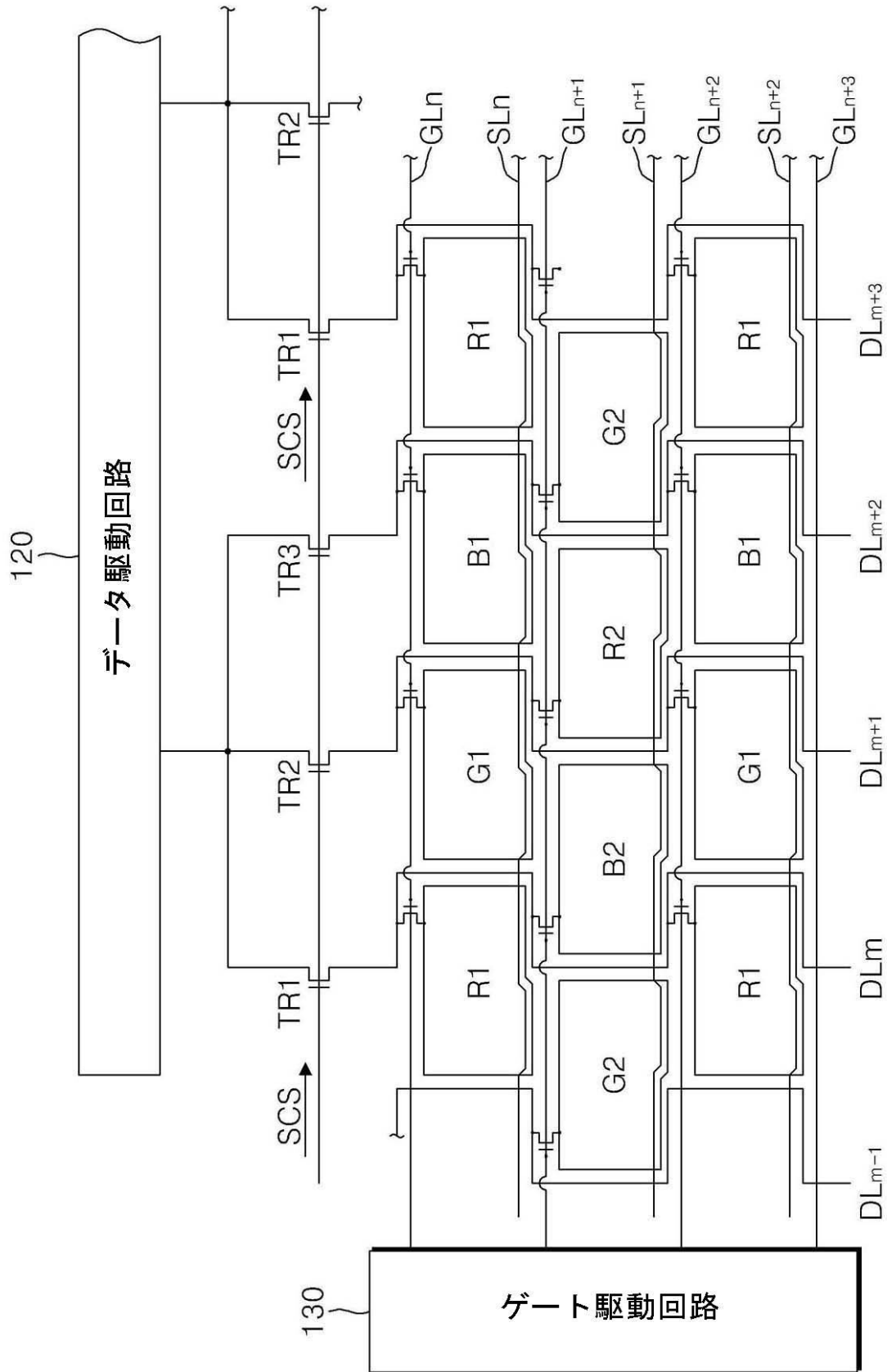
- 10 基板、
- 20 ゲート電極、
- 21 第1ストレージ電極、
- 22 第2ストレージ電極、
- 23 第3ストレージ電極、
- 24 第4ストレージ電極、
- 25 第5ストレージ電極、
- 26 第6ストレージ電極、
- 30 ゲート絶縁膜、
- 40 半導体層、
- 50 オーミックコンタクト層、
- 60 ソース電極、
- 70 ドレイン電極、
- 80 保護膜、

40

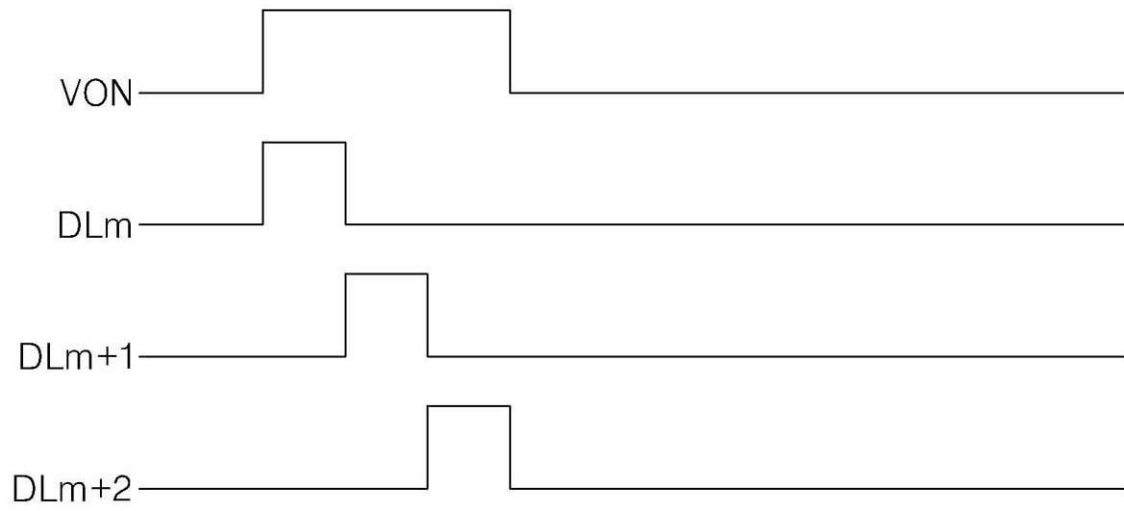
50

9 0 画素コンタクトホール、
1 0 0 画素電極、
1 2 0 データ駆動回路、
1 3 0 ゲート駆動回路。

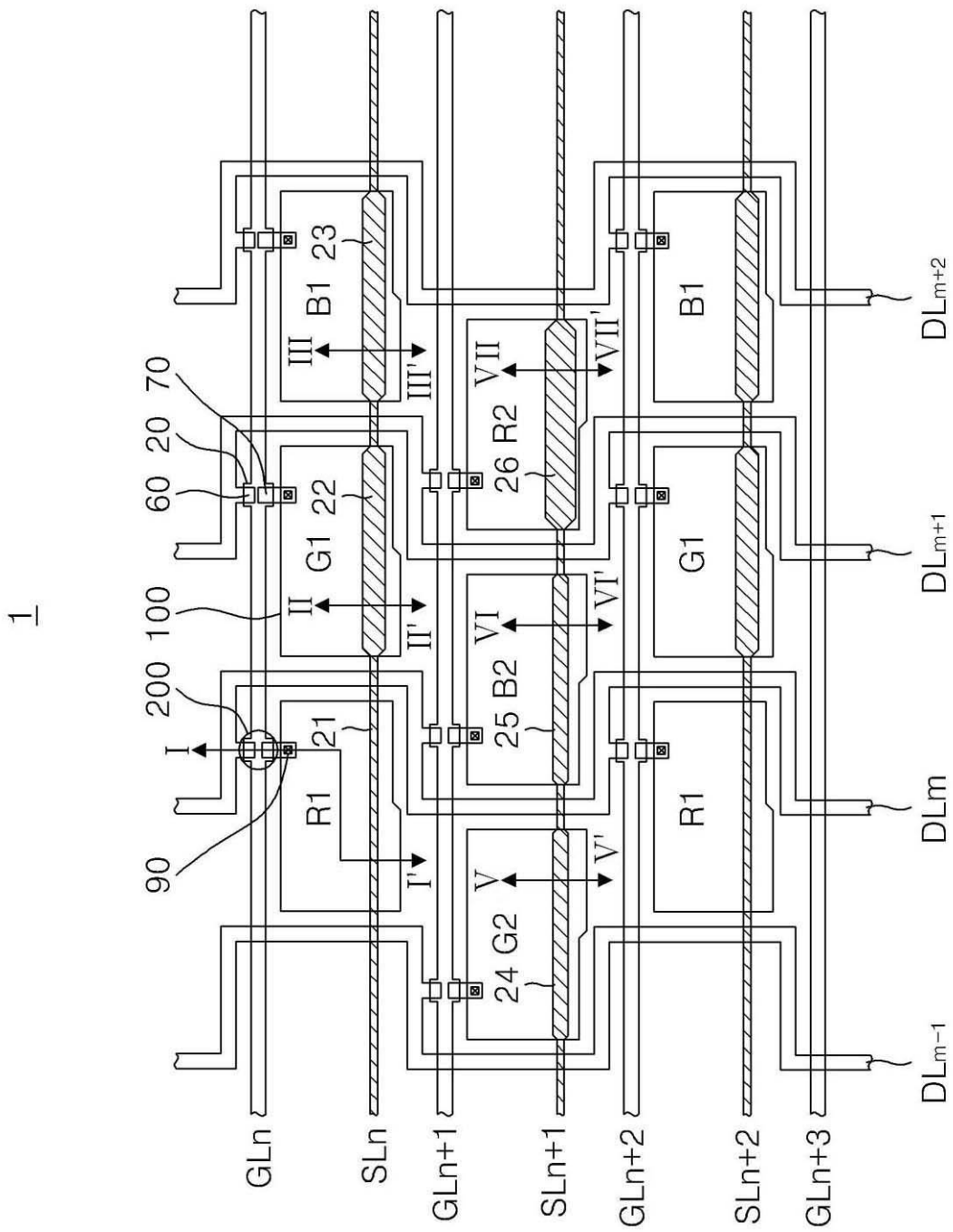
【図 1】



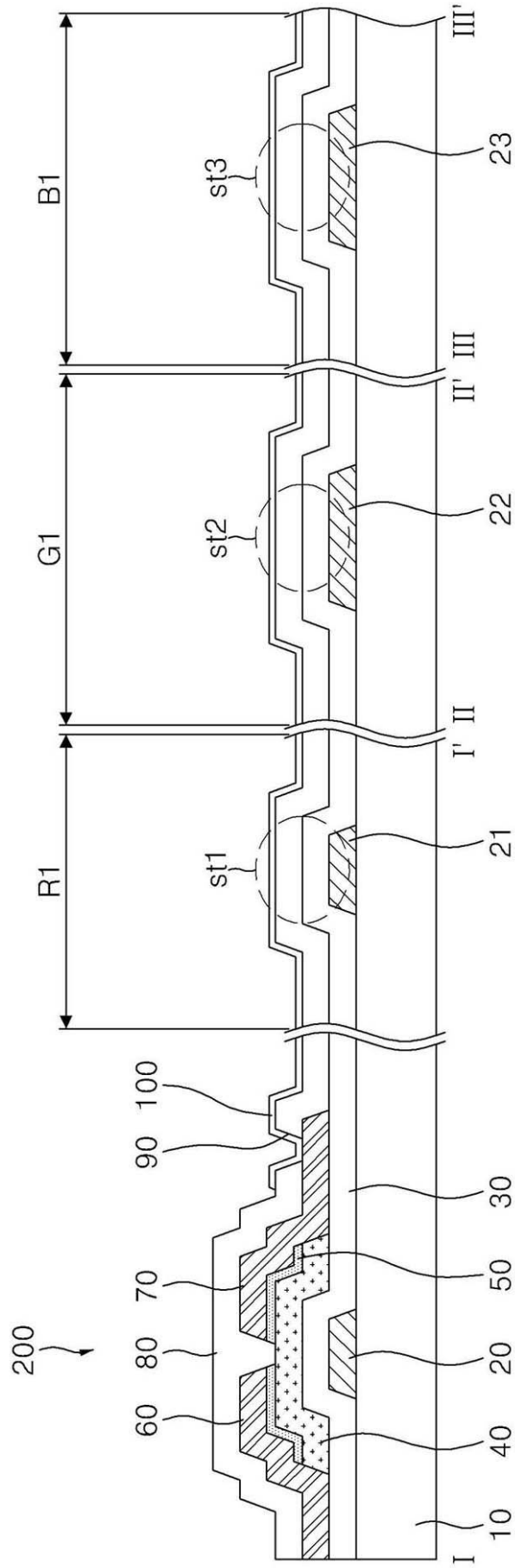
【図 2】



【 図 3 】

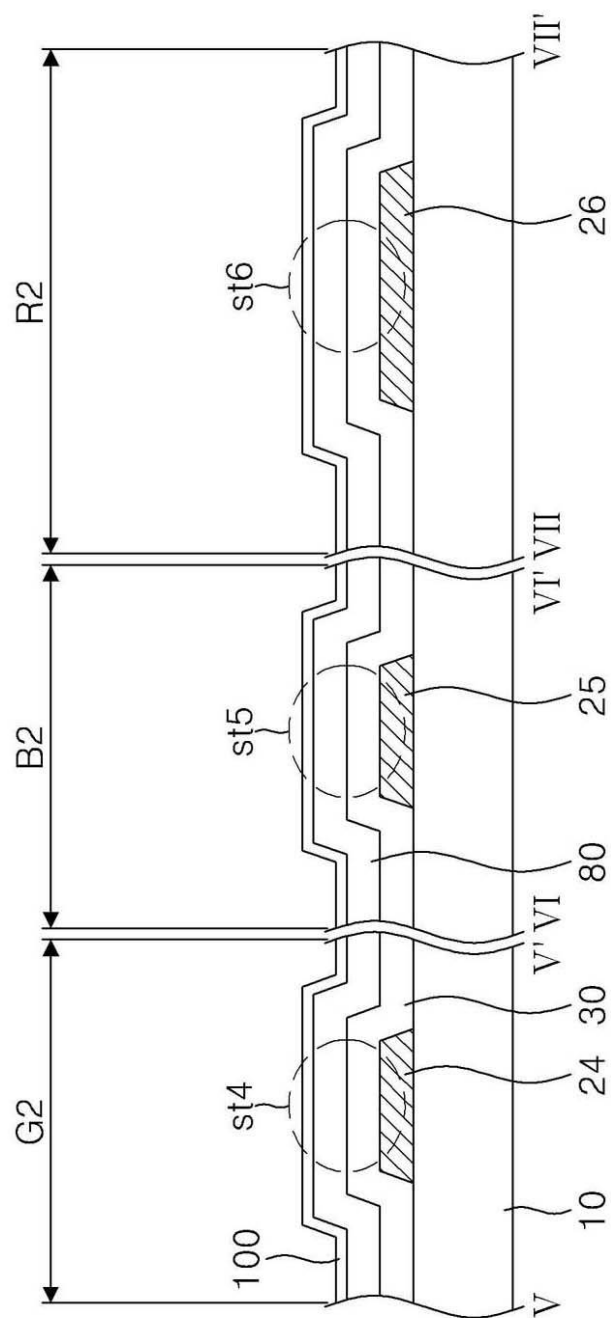


【図 4】



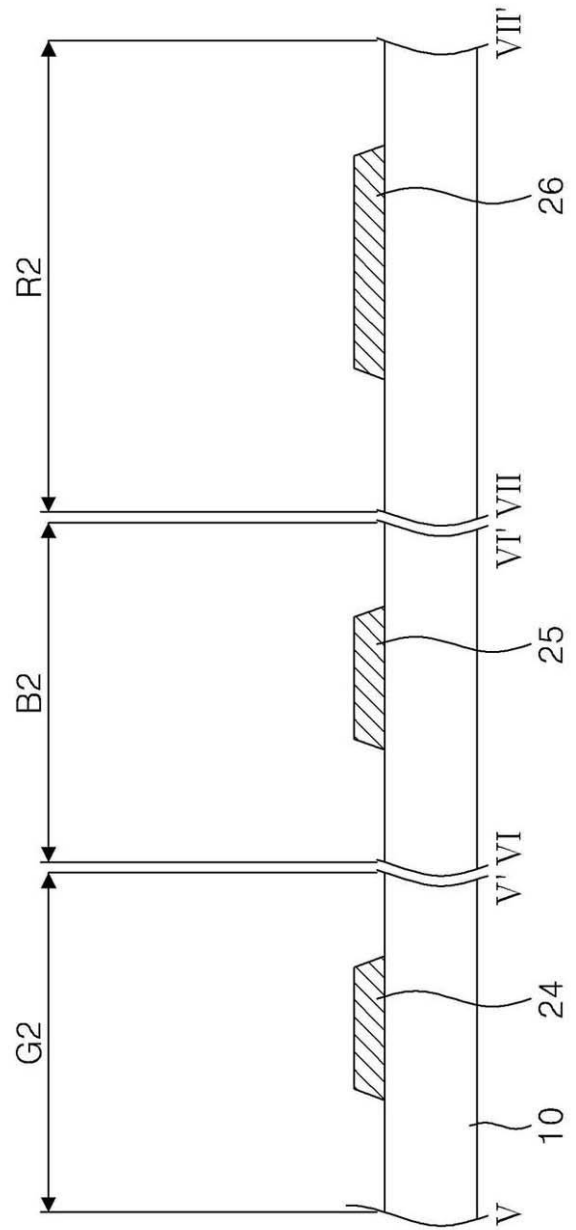
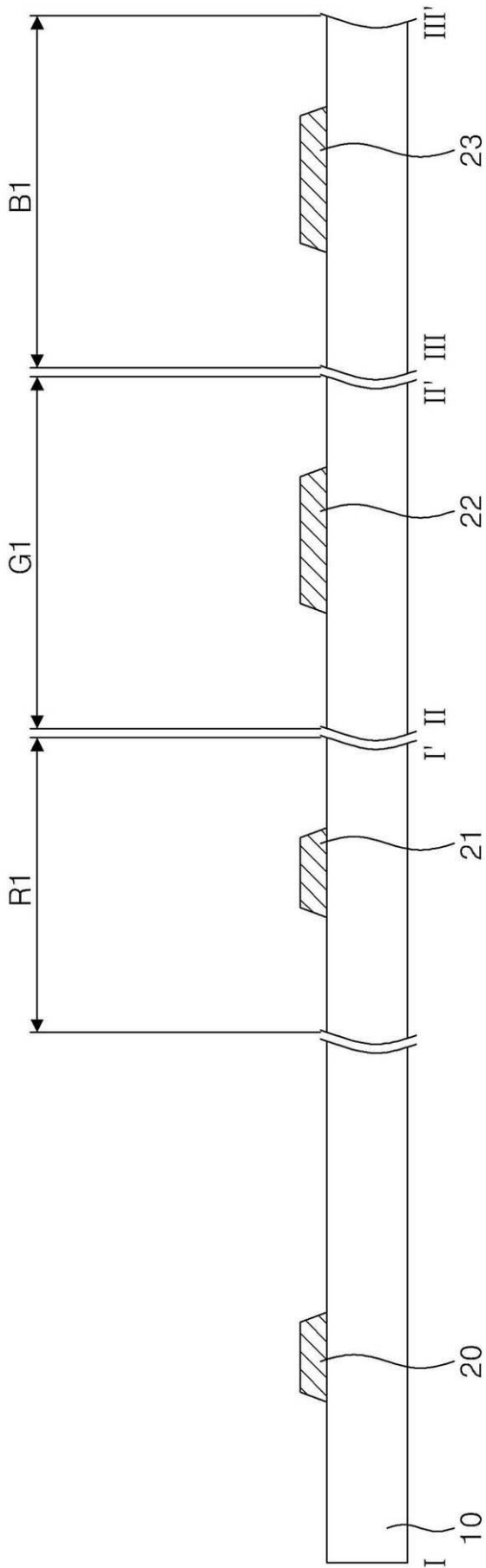
【図 5】

1

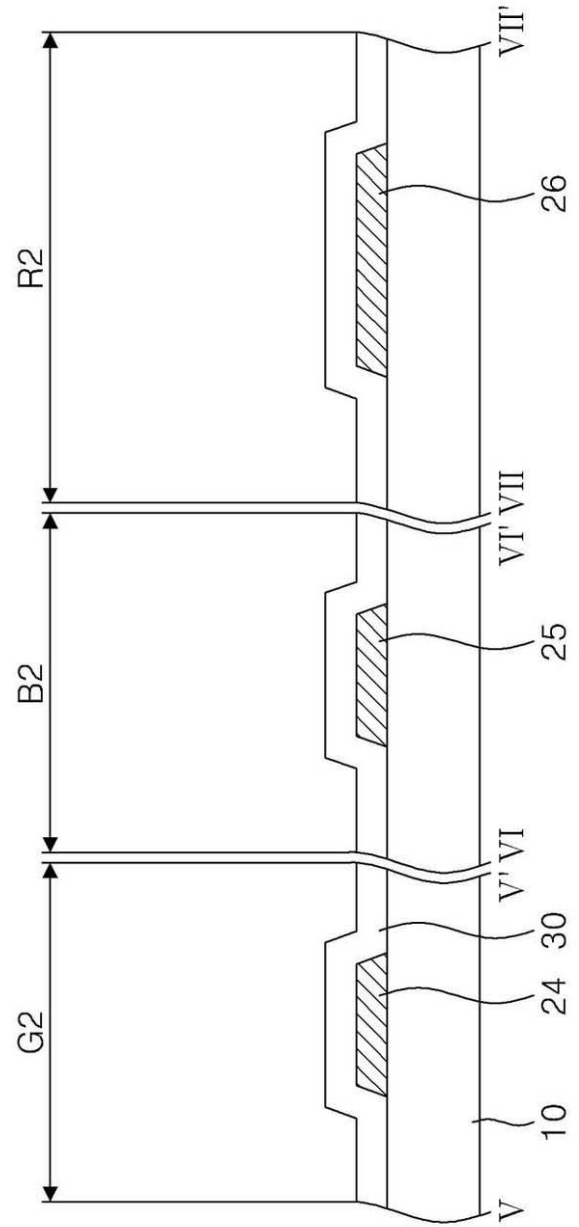
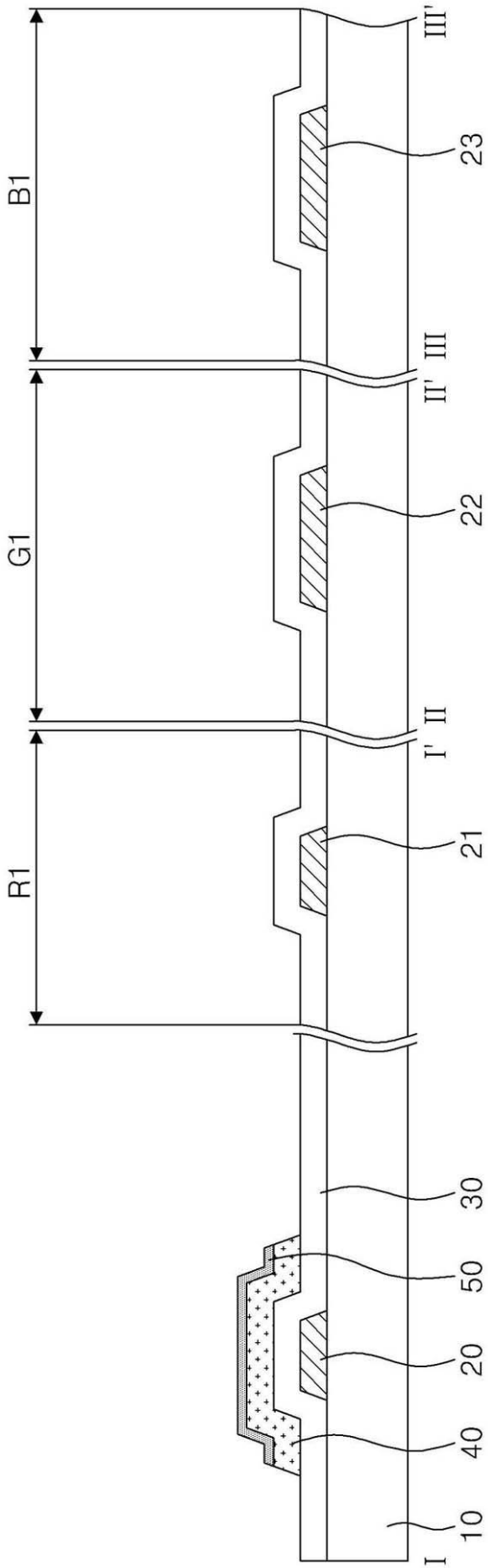


	(R1) Cst1=1	(G1) Cst2=Cst1×2.5	(B1) Cst3=Cst1×2.5
(G2) Cst4=Cst1×1.5	(B2) Cst5=Cst1×1.5	(R2) Cst6=Cst1×3	(G2) Cst4=Cst1×1.5
	(R1) Cst1=1	(G1) Cst2=Cst1×2.5	(B1) Cst3=Cst1×2.5

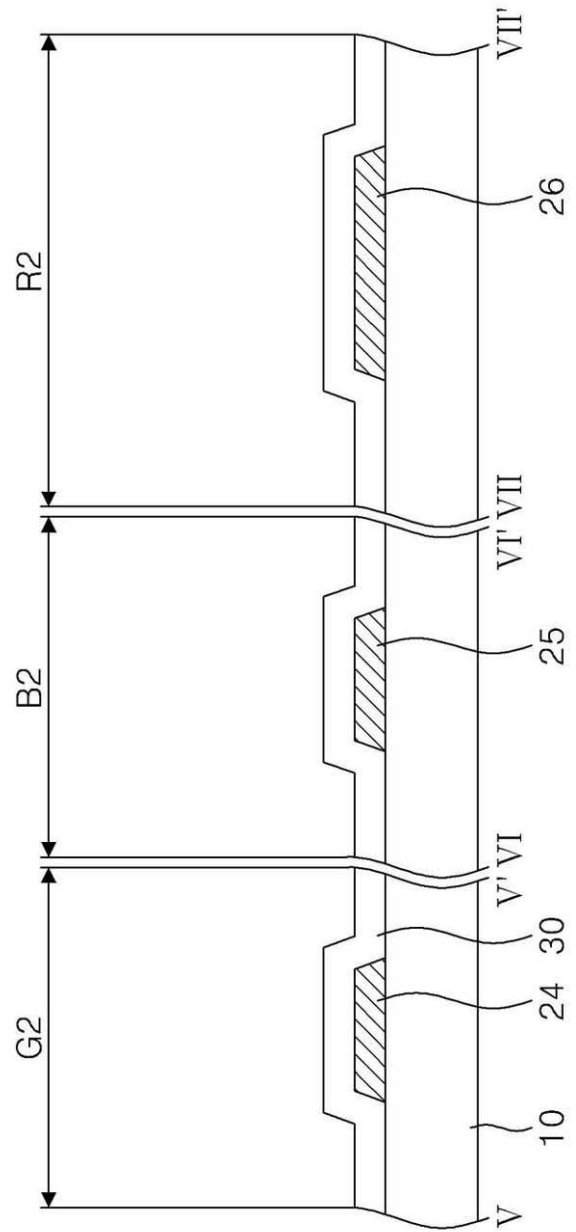
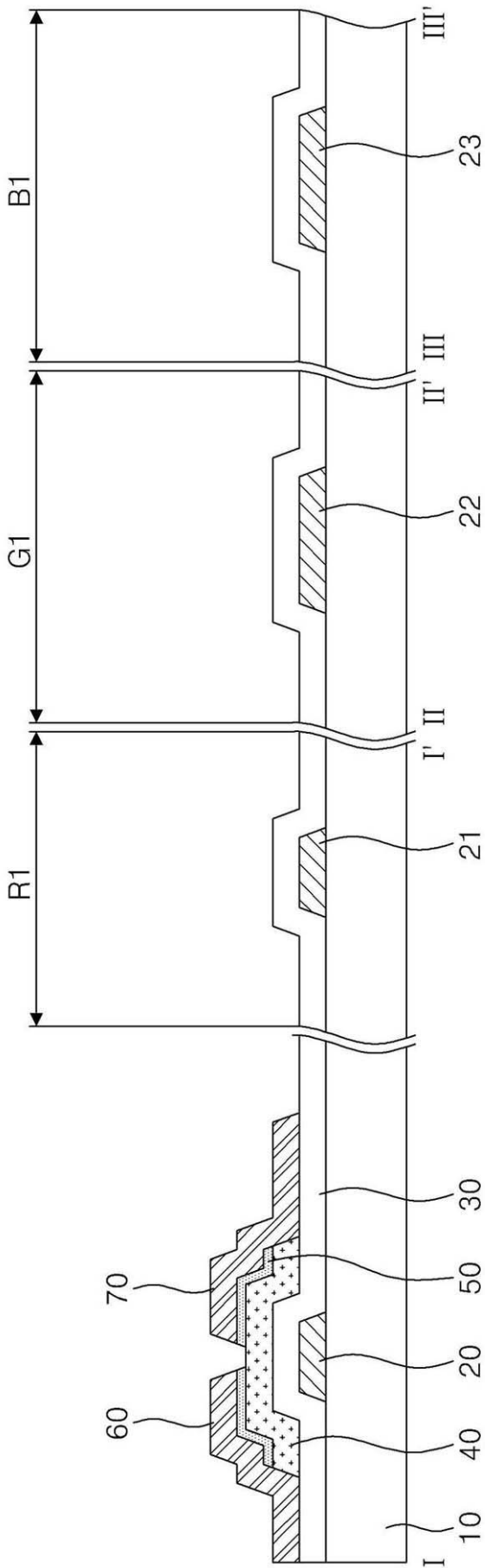
【図 7】



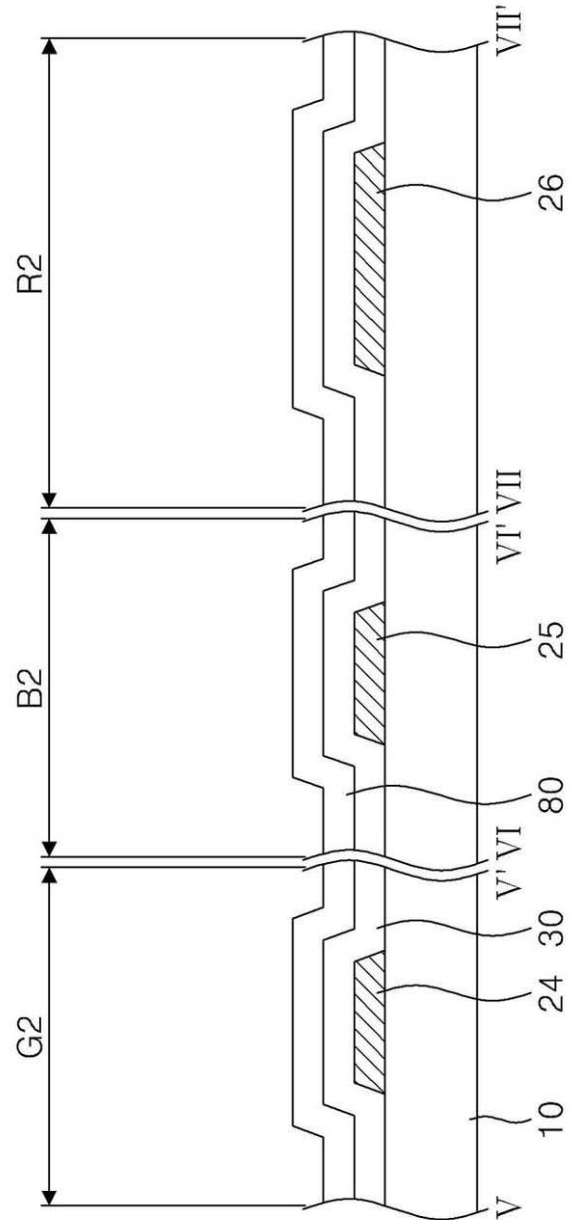
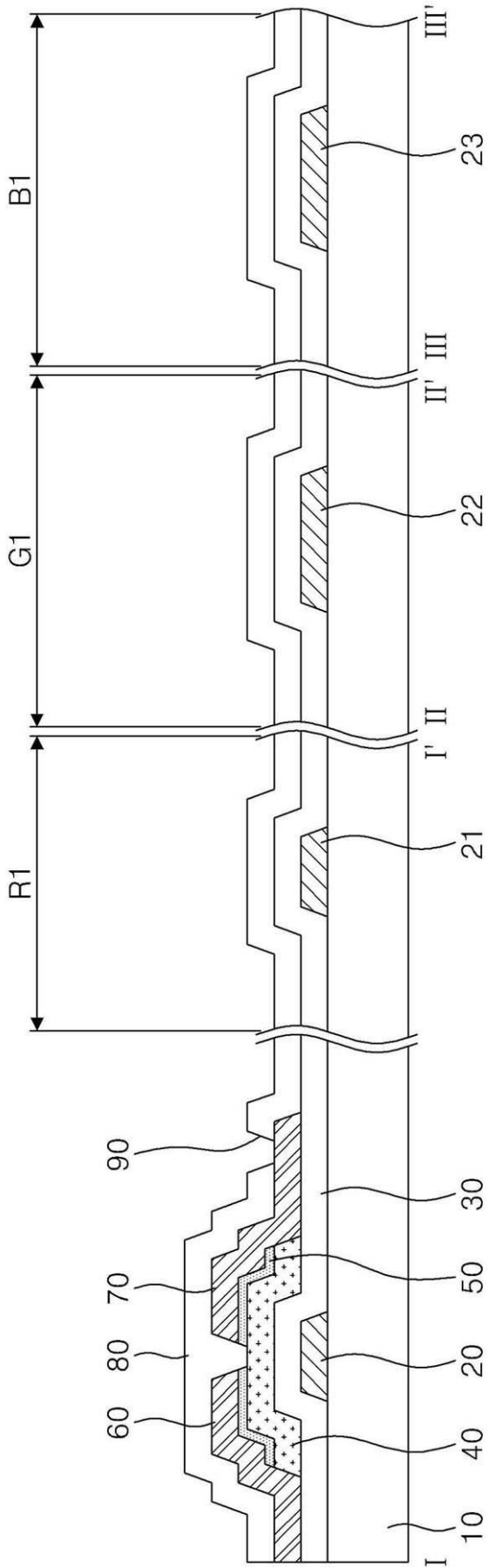
【図 8】



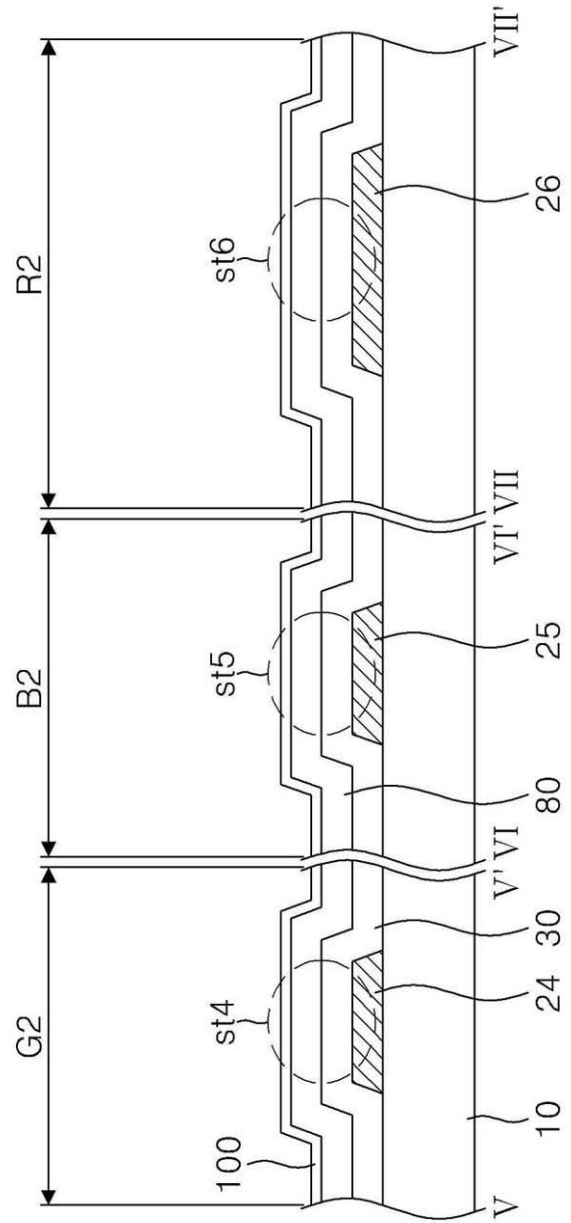
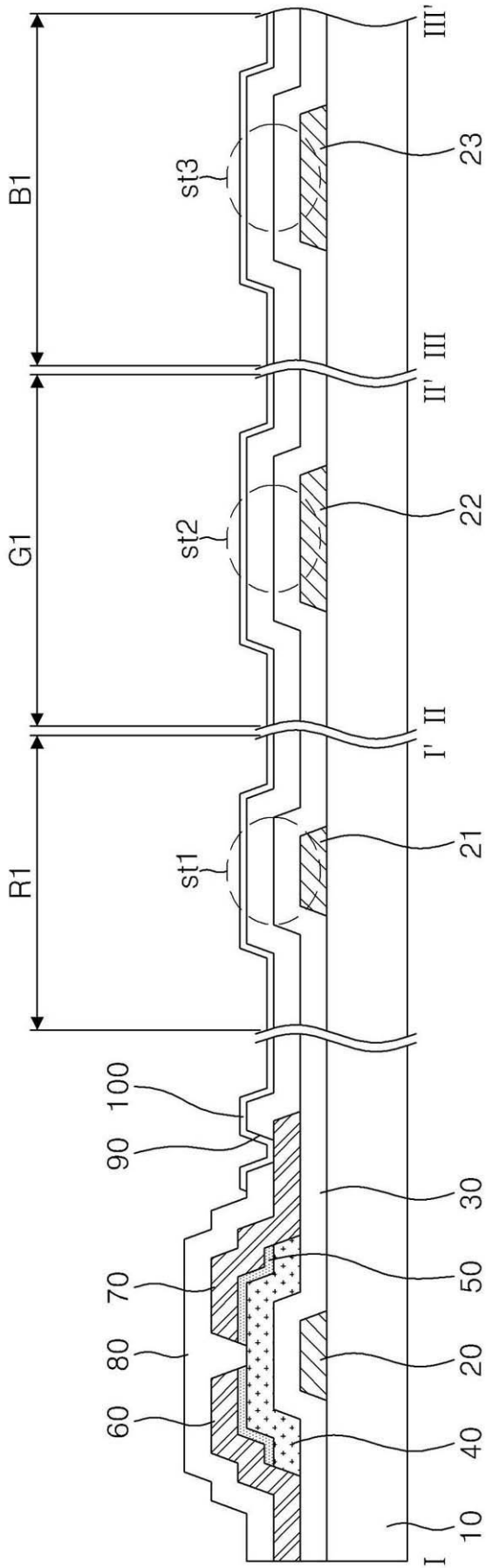
【図 9】



【図 10】

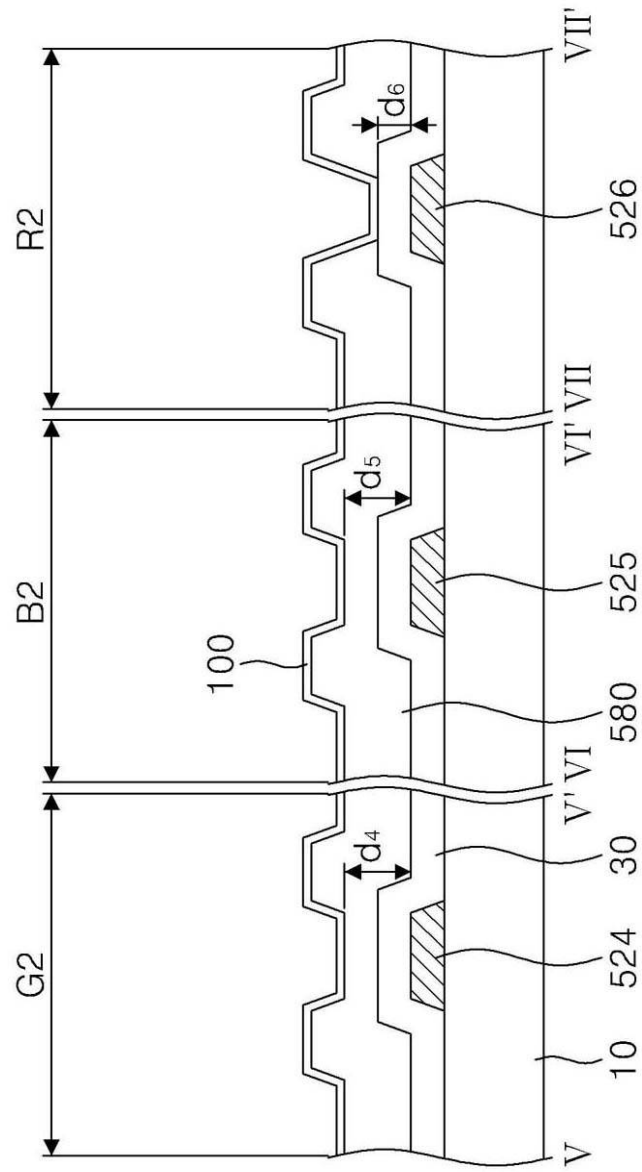


【図 1 1】

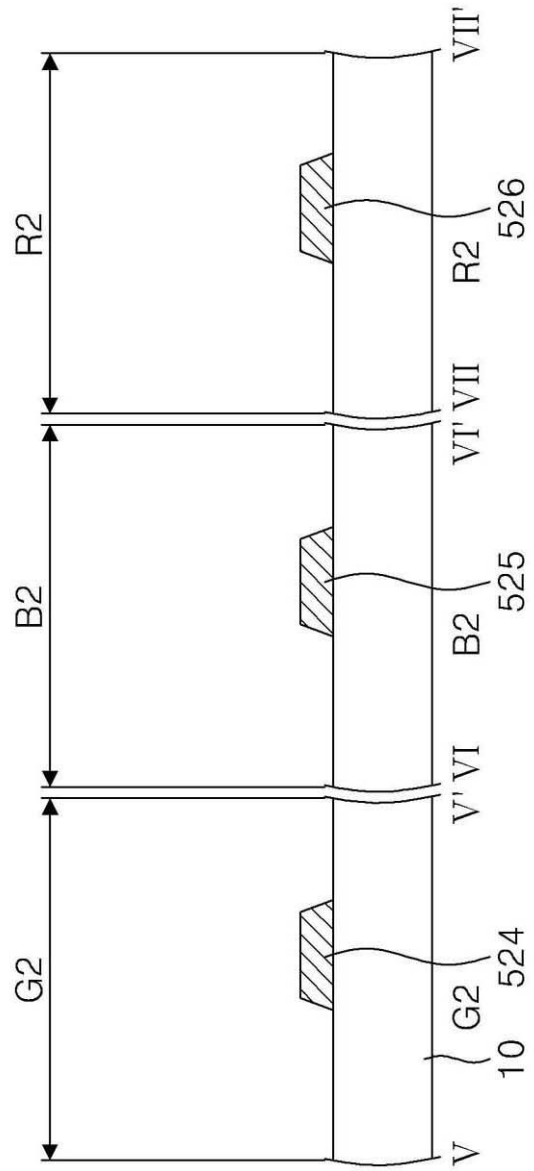
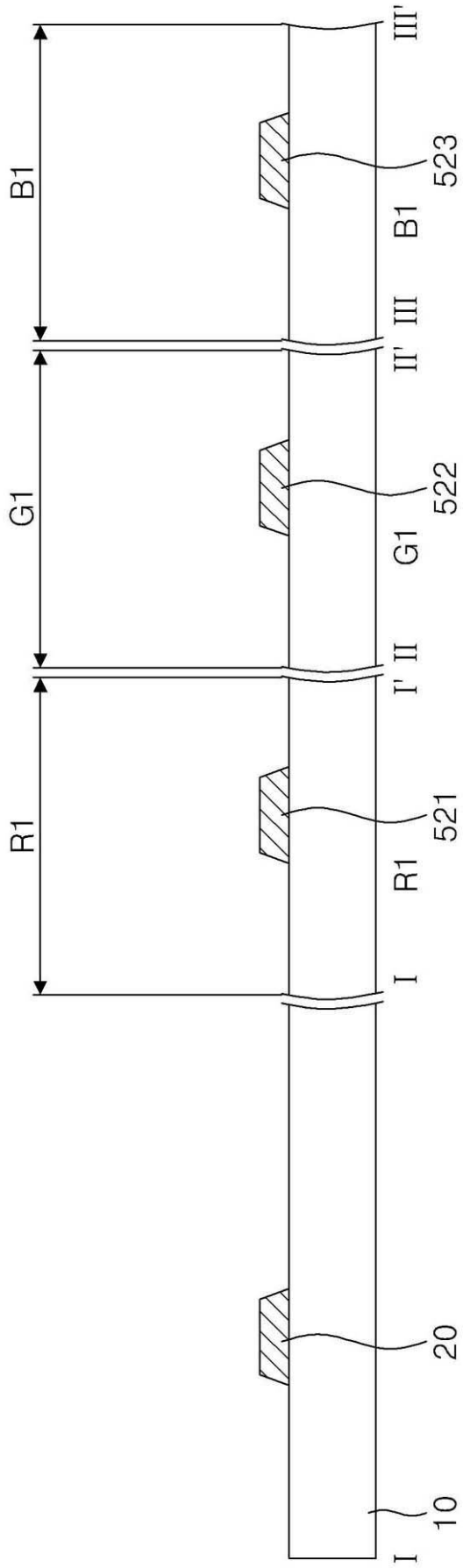


【図 14】

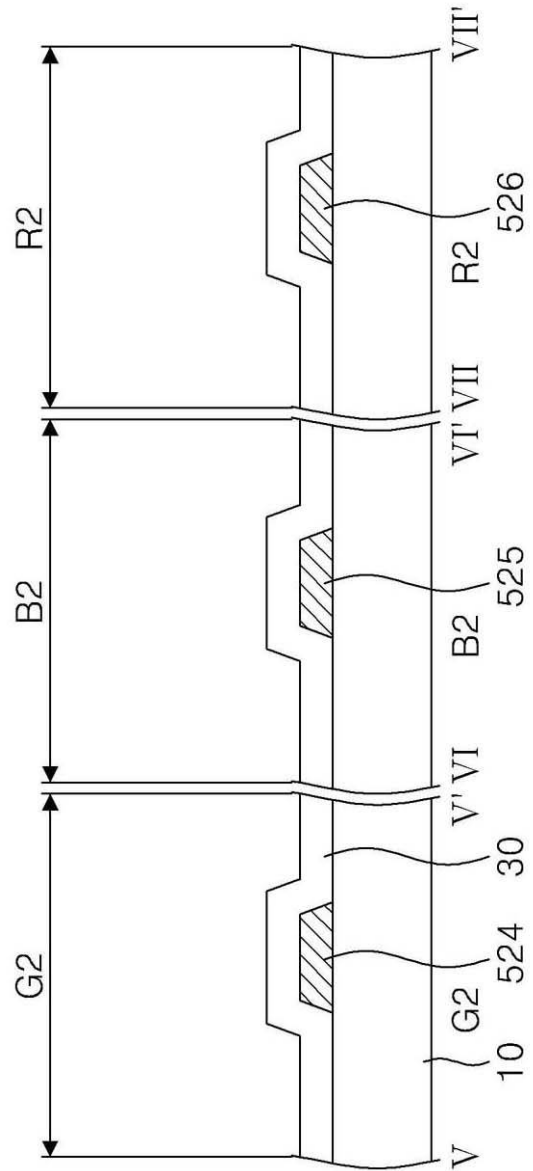
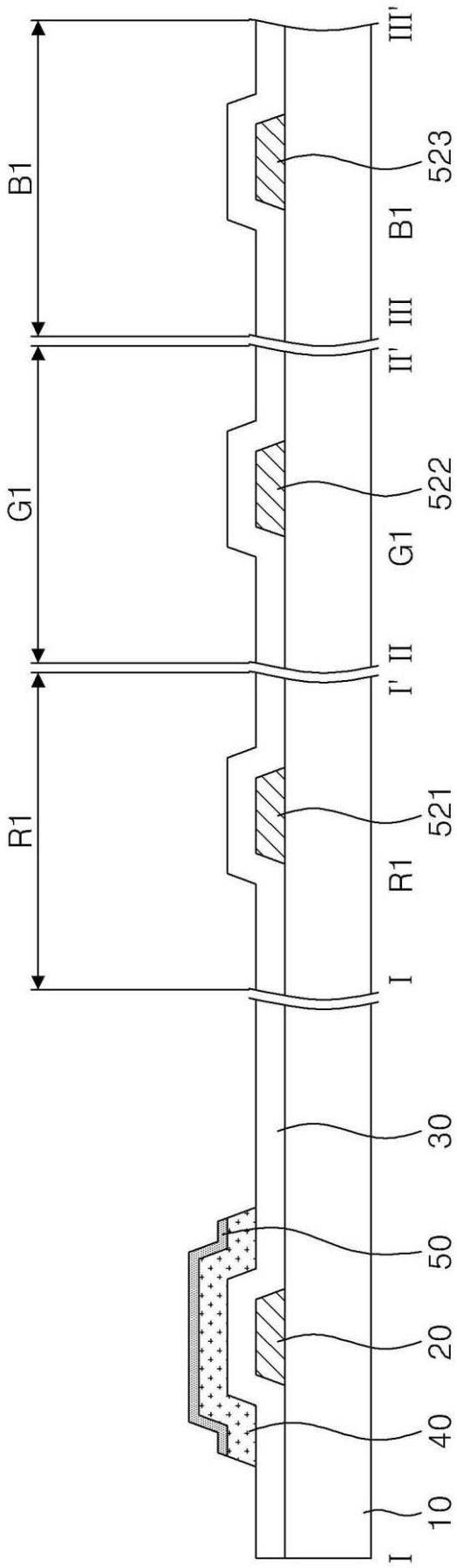
501



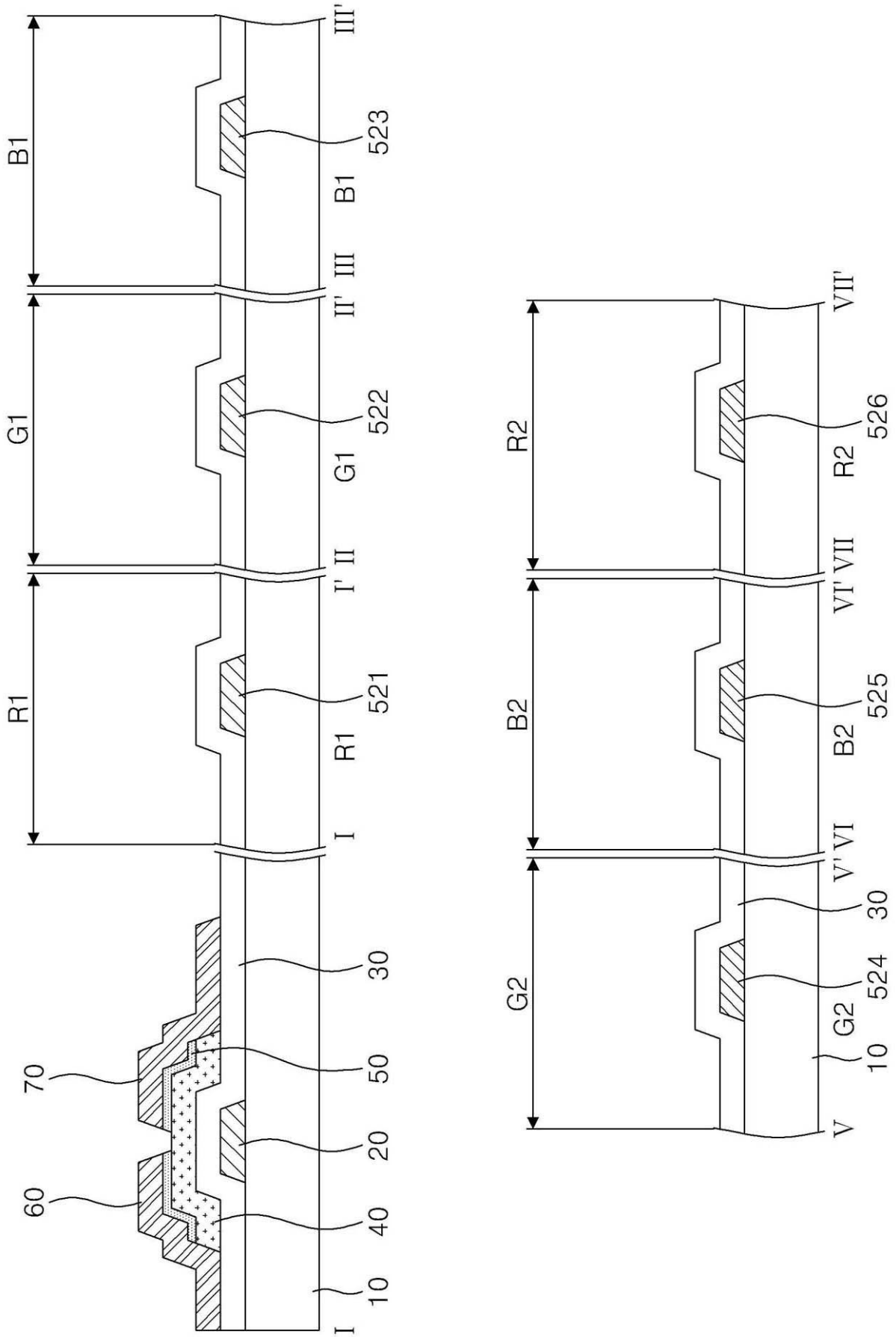
【図 15】



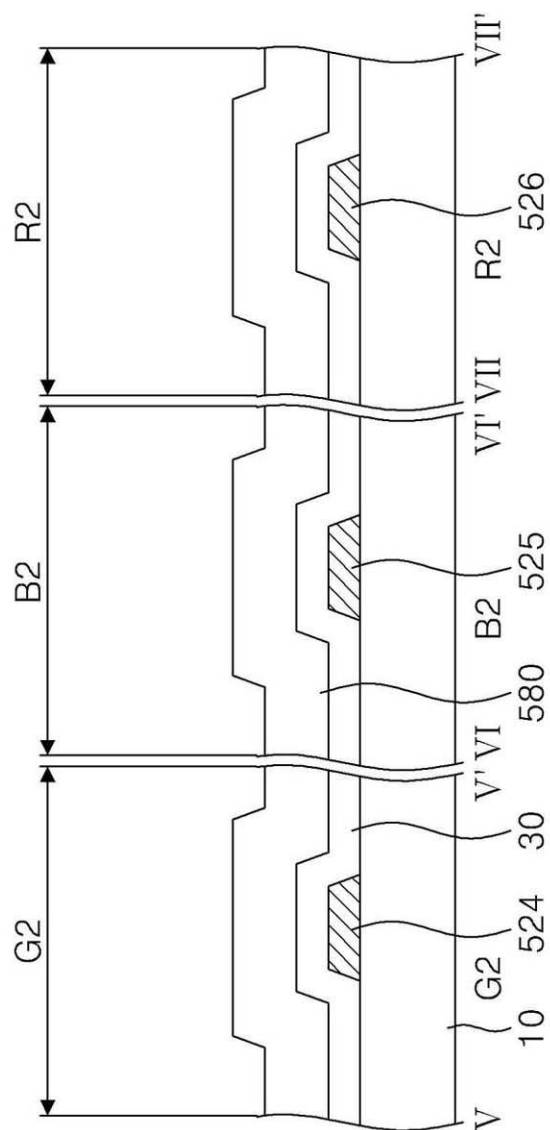
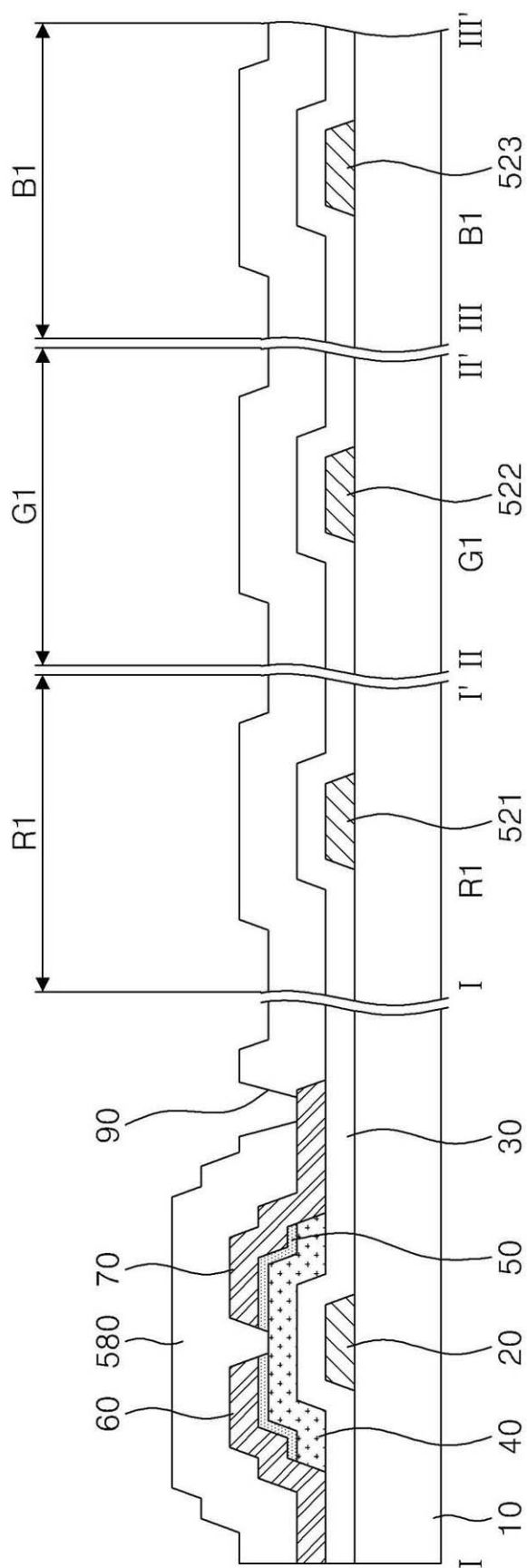
【図 16】



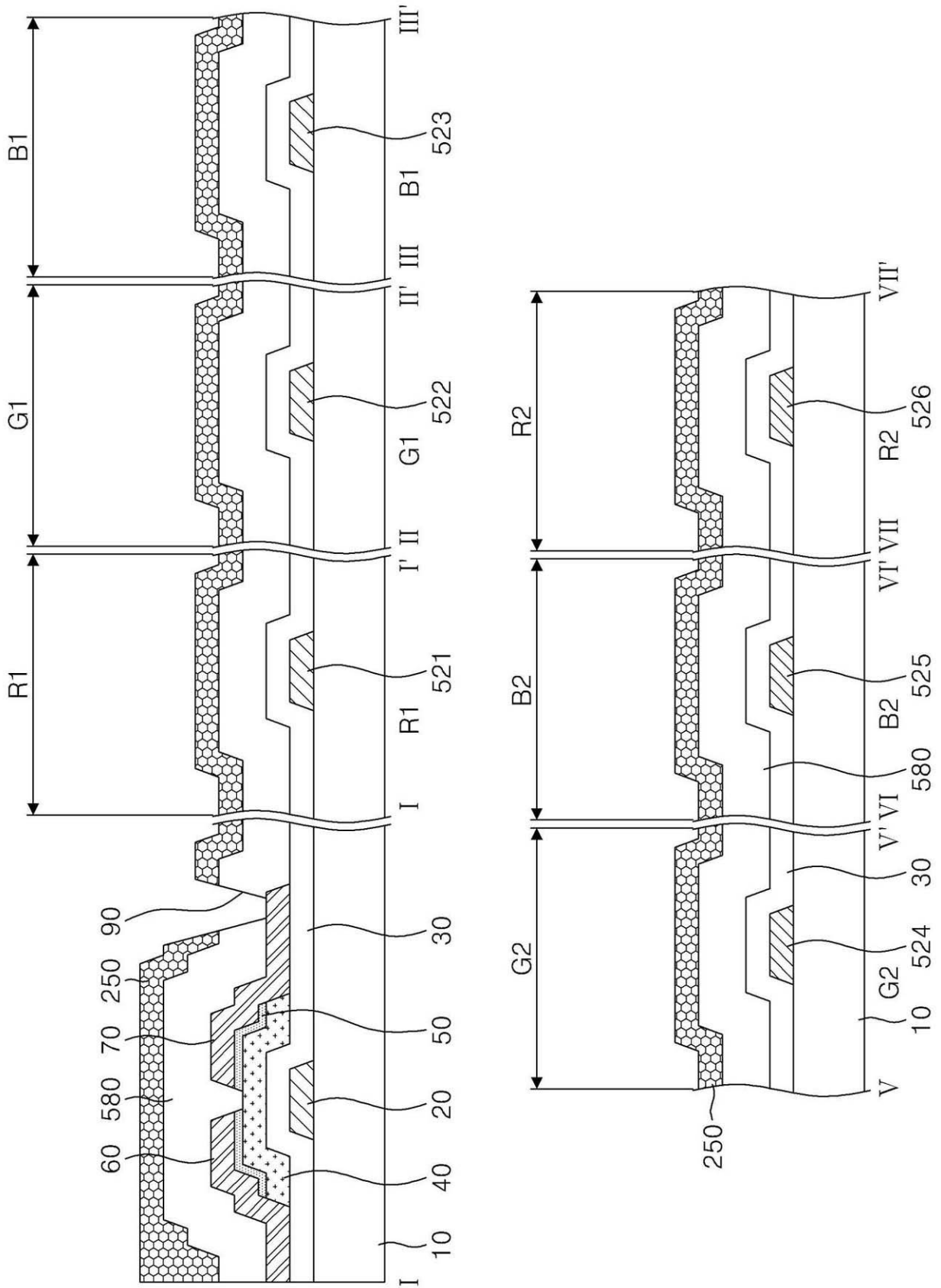
【図 17】



【图 18】



【図 19】



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2008122972A	公开(公告)日	2008-05-29
申请号	JP2007297295	申请日	2007-11-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	馬元錫		
发明人	馬 元 錫		
IPC分类号	G02F1/1368		
CPC分类号	G09G3/3688 G02F1/136213 G02F1/136286 G02F2001/134345 G09G3/3607 G09G2300/0426 G09G2300/0452 G09G2300/0876 G09G2310/0297 G09G2320/0233 G09G2320/0242		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA22 2H092/GA23 2H092/JA26 2H092/JB03 2H092/JB56 2H092/JB65 2H092/JB66 2H092/JB69 2H092/NA01 2H192/AA24 2H192/AA45 2H192/BC02 2H192/BC31 2H192/CB05 2H192/CC04 2H192/DA12 2H192/DA62 2H192/EA22 2H192/EA43 2H192/EA68 2H192/FB06 2H192/GA43 2H192/GD06 2H192/HA44		
优先权	1020060112798 2006-11-15 KR		
其他公开文献	JP4972526B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种防止垂直线缺陷的液晶显示装置。

ŽSOLUTION：液晶显示装置包括沿第N水平线以红色，绿色和蓝色的顺序重复排列的第一子像素，与第一子像素形成锯齿形的第二子像素，并按绿色，蓝色和红色的顺序重复排列沿着第（N + 1）条水平线，沿着水平线形成的栅极线，形成为沿着Z字形子像素弯曲并且经由绝缘膜与栅极线交叉的数据线，连接到栅极的薄膜晶体管200线和数据线，像素电极100形成在各个子像素中并连接到形成在各个子像素中的薄膜晶体管和存储电极21至26，并通过栅极绝缘膜和保护膜叠置在像素电极上形成存储电容器。红色的第二子像素的存储电容器的电容大于红色的第一子像素的存储电容器的电容。Ž

