

【特許請求の範囲】**【請求項 1】**

ベース基板上に形成される複数の画素からなるアレイ基板において、
前記複数の画素の各画素は、
第 1 水平走査期間中にゲートパルス印加するゲートラインと、
前記ゲートラインと電氣的に絶縁し交差するように形成され、フレーム単位で極性が反転しているピクセル電圧を印加するデータラインと、
前記ゲートラインと前記データラインに電氣的に接続し、前記第 1 水平走査期間中に前記ゲートパルスに応答して前記ピクセル電圧を印加する薄膜トランジスタと、
前記薄膜トランジスタに接続し、前記第 1 水平走査期間中に前記ピクセル電圧が印加される画素電極と、
前記第 1 水平走査期間の前期間である第 0 水平走査期間中にゲートパルスに応答して前記ピクセル電圧の基準となる共通電圧を前記画素電極にプリチャージングするプリチャージング部と、
を含むことを特徴とするアレイ基板。

10

【請求項 2】

前記ピクセル電圧は、
前記共通電圧を基準に正極性または負極性を有することを特徴とする請求項 1 に記載のアレイ基板。

【請求項 3】

前記共通電圧を印加するストレージラインをさらに含むことを特徴とする請求項 1 に記載のアレイ基板。

20

【請求項 4】

前記プリチャージング部は、
前記ゲートラインと前記ストレージラインに電氣的に接続し、前記第 0 水平走査期間中に前記ゲートパルスに応答して前記共通電圧を前記画素電極に印加するプリチャージングトランジスタを含むことを特徴とする請求項 3 に記載のアレイ基板。

【請求項 5】

前記ストレージラインは、
前記データラインと同一層に形成されることを特徴とする請求項 4 に記載のアレイ基板

30

【請求項 6】

前記プリチャージングトランジスタは、
前記ゲートラインの一端に形成されるゲート電極と、
前記ストレージラインの一端に形成されるソース電極と、
前記画素電極に電氣的に接続するように形成されるドレイン電極と、
を含むことを特徴とする請求項 5 に記載のアレイ基板。

【請求項 7】

前記ストレージラインは、
前記ゲートラインと同一層に形成されることを特徴とする請求項 3 に記載のアレイ基板

40

【請求項 8】

前記各画素は、
前記データラインが伸びる方向の前記画素の長さより前記ゲートラインが伸びる方向の前記画素の長さの方が長くなるように形成される横型ピクセル構造を有することを特徴とする請求項 3 に記載のアレイ基板。

【請求項 9】

前記ストレージラインは、
前記ゲートラインが伸びる方向と平行であり、前記ゲートラインに隣接し、互いに所定の間隔で離隔し、前記画素電極とオーバーラップするように形成される第 1 及び第 2 スト

50

レージラインと、

前記データラインと平行であり、前記第 1 及び第 2 ストレージラインに電氣的に接続し、前記画素電極とオーバーラップするように形成される第 3 ストレージラインと、を含むことを特徴とする請求項 8 に記載のアレイ基板。

【請求項 10】

前記各画素は、

前記ゲートラインが伸びる方向の画素の長さより前記データラインが伸びる方向の画素の長さの方が長くなるように形成される縦型ピクセル構造を有することを特徴とする請求項 1 に記載のアレイ基板。

【請求項 11】

前記ストレージラインは、

前記データラインが伸びる方向と平行であり、互いに所定の間隔で離隔し、前記画素電極とオーバーラップするように形成される第 1 及び第 2 ストレージラインと、前記ゲートラインと平行であり、前記第 1 及び第 2 ストレージラインに電氣的に接続し、前記画素電極とオーバーラップするように形成される第 3 ストレージラインと、を含むことを特徴とする請求項 10 に記載のアレイ基板。

【請求項 12】

ベース基板上に形成される複数の画素からなるアレイ基板と、前記アレイ基板と対向して結合する対向基板と、前記複数の画素にゲートパルスを印加するゲート駆動回路と、前記複数の画素にフレーム単位で極性が反転しているピクセル電圧を印加するデータ駆動回路と、

を含む表示装置において、

前記複数の画素の各画素は、

第 1 水平走査期間中に前記ゲートパルスを印加するゲートラインと、

前記ゲートラインと電氣的に絶縁し交差するように形成され、前記ピクセル電圧を印加するデータラインと、

前記ゲートラインと前記データラインに電氣的に接続し、前記第 1 水平走査期間中に前記ゲートパルスに応答して前記ピクセル電圧を印加する薄膜トランジスタと、

前記薄膜トランジスタに接続し、前記第 1 水平走査期間中に前記ピクセル電圧が印加される画素電極と、

前記第 1 水平走査期間の前期間である第 0 水平走査期間中にゲートパルスに応答して前記ピクセル電圧の基準となる共通電圧を前記画素電極にプリチャージングするプリチャージング部と、

を含むことを特徴とする表示装置。

【請求項 13】

前記共通電圧が印加されるストレージラインをさらに含むことを特徴とする請求項 12 に記載の表示装置。

【請求項 14】

前記プリチャージング部は、

前記ゲートラインと前記ストレージラインに電氣的に接続し、前記第 0 水平走査期間中に前記ゲートパルスに応答して前記共通電圧を前記画素電極に印加するプリチャージングトランジスタを含むことを特徴とする請求項 13 に記載の表示装置。

【請求項 15】

前記ゲート駆動回路は、

前記アレイ基板に前記複数の画素を形成する薄膜工程中に前記アレイ基板上に形成されることを特徴とする請求項 12 に記載の表示装置。

【請求項 16】

前記ゲート駆動回路は、

前記ゲートラインの第 1 端部に電氣的に接続するように形成される第 1 ゲート駆動回路

10

20

30

40

50

と、

前記ゲートラインの第2端部に電氣的に接続するように形成される第2ゲート駆動回路

と、

を含むことを特徴とする請求項15に記載の表示装置。

【請求項17】

前記アレイ基板は、

前記複数の画素が形成され、映像が表示される表示領域と、

前記ゲートラインの第1端部に位置する第1周辺領域と、

前記ゲートラインの第2端部に位置する第2周辺領域と、

に区画され、

前記第1ゲート駆動回路は、

前記第1周辺領域に形成され、

前記第2ゲート駆動回路は、

前記第2周辺領域に形成されることを特徴とする請求項16に記載の表示装置。

【請求項18】

前記各画素は、

前記データラインが伸びる方向の前記画素の長さより前記ゲートラインが伸びる方向の前記画素の長さの方が長くなるように形成される横型ピクセル構造を有することを特徴とする請求項16に記載の表示装置。

【請求項19】

前記対向基板は、

前記データラインが伸びる方向に連続する3種類の画素にそれぞれ対応するレッド、グリーン及びブルー色画素を含み、

前記3種類の画素は、

1つの色情報を表示する単位画素として定義されることを特徴とする請求項18に記載の表示装置。

【請求項20】

前記各画素は、

前記ゲートラインが伸びる方向の前記画素の長さより前記データラインが伸びる方向の前記画素の長さの方が長くなるように形成される縦型ピクセル構造を有することを特徴とする請求項16に記載の表示装置。

【請求項21】

前記対向基板は、

前記ゲートラインが伸びる方向に連続する3種類の画素にそれぞれ対応するレッド、グリーン及びブルー色画素を含み、

前記3種類の画素は、

1つの色情報を表示する単位画素として定義されることを特徴とする請求項20に記載の表示装置。

【請求項22】

1つの画素行に形成される奇数番目の画素は、

前記第1水平走査期間中のうち前半の半分の時間ターンオンされ、

前記1つの画素行に形成される偶数番目の画素は、

前記第1水平走査期間中のうち後半の半分の時間ターンオンされることを特徴とする請求項12に記載の表示装置。

【請求項23】

前記データラインは、

前記第1水平走査期間中のうち前半の半分の時間前記ピクセル電圧を前記奇数番目の画素に印加し、

前記第1水平走査期間中のうち後半の半分の時間前記ピクセル電圧を前記偶数番目の画素に印加することを特徴とする請求項22に記載の表示装置。

10

20

30

40

50

【請求項 2 4】

前記ゲートラインは、
前記第 1 水平走査期間中のうち前半の半分の時間前記奇数番目の画素をターンオンする
第 1 ゲートラインと、
前記第 1 水平走査期間中のうち後半の半分の時間前記偶数番目の画素をターンオンする
第 2 ゲートラインと、
を含むことを特徴とする請求項 2 2 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明はアレイ基板及びこれを有する表示装置に係り、さらに詳細には、応答速度を向上させることができるアレイ基板及びこれを有する表示装置に関する。

【背景技術】**【0002】**

一般的に、液晶表示装置は下部基板、下部基板と対向して形成される上部基板及び下部基板と上部基板との間に形成される液晶層からなり、映像を表示する液晶表示パネルを形成する。

【0003】

液晶表示パネルには複数のゲートライン、複数のデータライン、複数のゲートラインと複数のデータラインに接続する複数の画素が形成される。液晶表示パネルには複数のゲートラインにゲート信号を順次印加するためのゲート駆動回路が薄膜工程中に形成される。

【0004】

一般的に、ゲート駆動回路は複数のステージが従属的に接続されるように形成される 1 つのシフトレジスタからなる。すなわち、各ステージは対応するゲートラインにゲート信号を供給し、上流側に接続されているステージと下流側に接続されているステージの駆動を制御する。

【0005】

しかし、液晶表示パネルが大型化されるにあたり、解像度を高くするために、ゲートラインの本数は増加される。このように、ゲートラインの本数が増加すると、1 つの画素行を走査するためのアクティブ期間（水平走査期間）が減少する。その結果、液晶の充電率が減少し、これによって、表示装置の応答速度が低下する。

【特許文献 1】特開 2 0 0 0 - 2 2 7 7 8 4 号公報

【発明の開示】**【発明が解決しようとする課題】****【0006】**

したがって、本発明の目的は、応答速度を向上させ、表示品質を改善するためのアレイ基板を提供することにある。

【0007】

また、本発明の他の目的は、上述したアレイ基板を含む表示装置を提供することにある。

【課題を解決するための手段】**【0008】**

本発明に係るアレイ基板はベース基板上に形成される複数の画素からなる。前記複数の画素の各画素はゲートライン、データライン、薄膜トランジスタ、画素電極及びプリチャージング部を含む。

【0009】

前記ゲートラインは第 1 水平走査期間中にゲートパルス印加する。前記データラインは前記ゲートラインと電氣的に絶縁し交差するように形成され、フレーム単位で極性が反転しているピクセル電圧を印加する。前記薄膜トランジスタは前記ゲートラインと前記データラインに電氣的に接続し、前記第 1 水平走査期間中に前記ゲートパルスに
40
50

記ピクセル電圧を印加する。前記画素電極は前記薄膜トランジスタに接続し、前記第1水平走査期間中に前記ピクセル電圧が印加される。前記プリチャージング部は前記第1水平走査期間の前期間である第0水平走査期間中にゲートパルスにตอบสนองして前記ピクセル電圧の基準となる共通電圧を前記画素電極にプリチャージングする。

【0010】

本発明に係る表示装置は、アレイ基板、対向基板、ゲート駆動回路及びデータ駆動回路を含む。前記アレイ基板はベース基板上に形成される複数の画素からなる。前記対向基板は前記アレイ基板と対向して結合する。前記ゲート駆動回路は前記複数の画素にゲートパルスを印加する。前記データ駆動回路は前記複数の画素にフレーム単位で極性が反転しているピクセル電圧を印加する。

10

【0011】

前記複数の画素の各画素は、ゲートライン、データライン、薄膜トランジスタ、画素電極及びプリチャージング部を含む。

【0012】

前記ゲートラインは第1水平走査期間中に前記ゲートパルスを印加する。前記データラインは前記ゲートラインと電氣的に絶縁し交差するように形成され、前記ピクセル電圧を印加する。前記薄膜トランジスタは前記ゲートラインと前記データラインに電氣的に接続し、前記第1水平走査期間中に前記ゲートパルスにตอบสนองして前記ピクセル電圧を印加する。前記画素電極は前記薄膜トランジスタに接続し、前記第1水平走査期間中に前記ピクセル電圧が印加される。前記プリチャージング部は前記第1水平走査期間の前期間である第0水平走査期間中にゲートパルスにตอบสนองして前記ピクセル電圧の基準となる共通電圧を前記画素電極にプリチャージングする。

20

【0013】

このようなアレイ基板及びこれを有する表示装置によると、第0水平走査期間中にゲートパルスにตอบสนองしてピクセル電圧の基準となる共通電圧を画素電極にプリチャージングしておき、第1水平走査期間中にゲートパルスにตอบสนองして画素電極に前記ピクセル電圧を印加することで、液晶の応答速度を向上させることができ、オーバーチャージによるゴースト現象を防止することができる。

【発明の効果】

【0014】

このようなアレイ基板及びこれを有する表示装置によると、第0水平走査期間中にゲートパルスにตอบสนองしてピクセル電圧の基準となる共通電圧を画素電極にプリチャージングしておき、第1水平走査期間中にゲートパルスにตอบสนองして画素電極に前記ピクセル電圧を印加する。

30

【0015】

したがって、第1水平走査期間中に画素行を走査するアクティブ期間内に各画素のピクセル電圧が目標値に到達する時間を短縮させることができ、それによって、液晶の応答速度を向上させることができる。

【0016】

しかし、第0水平走査期間中にピクセル電圧で画素電極をプリチャージングする従来の方式では第1水平走査期間中に画素電極がオーバーチャージしてしまい、映像が表示しようとする階調より高い階調に表示されるゴースト現象が発生した。そこで、本発明ではピクセル電圧の基準となる共通電圧をプリチャージングすることによって、前記ゴースト現象の防止が可能になる。その結果、表示装置の表示品質を改善することができる。

40

【発明を実施するための最良の形態】

【0017】

以下、添付した図を参照して、本発明の望ましい実施形態をより詳細に説明する。

【0018】

図1は本発明の第1実施形態による液晶表示装置の平面図である。

【0019】

50

図1を参照すると、本発明の第1実施形態による液晶表示装置500は映像を表示する液晶表示パネル100、前記液晶表示パネル100に隣接している印刷回路基板400及び前記液晶表示パネル100と前記印刷回路基板400とを電氣的に接続するテープキャリアパッケージ300を含む。

【0020】

前記液晶表示パネル100はアレイ基板110、前記アレイ基板110と対向して形成されるカラーフィルタ基板120及び前記アレイ基板110と前記カラーフィルタ基板120との間に形成される液晶層(図示せず)からなる。前記アレイ基板110は映像を表示する表示領域DA、前記表示領域DAに隣接する第1乃至第3周辺領域PA1、PA2、PA3に区画される。

10

【0021】

前記アレイ基板110の表示領域DAにはマトリクス形態で複数の画素が形成される。具体的に、前記表示領域DAは第1方向D1に形成される複数のゲートラインGL1~GLn(ここで、nは2以上の偶数)及び前記第1方向D1と直交する第2方向D2に形成される複数のデータラインDL1~DLmによって複数の画素領域が画定される。前記カラーフィルタ基板120には前記複数の画素領域に対応して複数の色画素(例えば、レッド、グリーン及びブルーの色画素)が形成される。

【0022】

前記第1周辺領域PA1は前記複数のゲートラインGL1~GLnの第1端部に位置する領域であり、前記第1周辺領域PA1には前記複数のゲートラインGL1~GLnにゲートパルスを順次印加する第1ゲート駆動回路210が形成される。前記第1ゲート駆動回路210は従属的に接続される複数のステージからなる1つのシフトレジスタを含む。前記各ステージの出力端子は対応するゲートラインの第1端部に接続される。したがって、前記複数のステージは順次ターンオンされると、対応するゲートラインに順次ゲートパルスを印加する。

20

【0023】

前記第2周辺領域PA2は前記複数のゲートラインGL1~GLnの第2端部に位置する領域であり、前記第2周辺領域PA2には前記複数のゲートラインGL1~GLnに前記ゲートパルスを順次印加する第2ゲート駆動回路220が形成される。前記第2ゲート駆動回路220は従属的に接続される複数のステージからなる1つのシフトレジスタを含む。前記各ステージの出力端子は対応するゲートラインの第2端部に接続される。したがって、前記複数のステージは順次ターンオンされると、対応するゲートラインに順次ゲートパルスを印加する。

30

【0024】

このように、各ゲートラインは両端部で前記第1及び第2ゲート駆動回路210、220にそれぞれ接続されることによって、両端部を通じてゲートパルスが印加される。したがって、前記ゲートパルスの遅延を防止することができる。

【0025】

本発明の一例において、前記第1及び第2ゲート駆動回路210、220は前記アレイ基板110に画素を形成する薄膜工程中に前記画素と同時に形成される。このように、前記第1及び第2ゲート駆動回路210、220が前記アレイ基板110に集積されることによって、液晶表示装置500において、前記第1及び第2ゲート駆動回路が内蔵していた駆動チップが除去され、その結果、液晶表示装置500の生産性が向上し、全体的なサイズが減少する。

40

【0026】

一方、前記第3周辺領域PA3は前記複数のデータラインDL1~DLmの一端部に位置する領域であり、前記テープキャリアパッケージ300の第1端部が接続している。前記テープキャリアパッケージ300の第2端部は前記印刷回路基板400に接続している。前記テープキャリアパッケージ300上には前記複数のデータラインDL1~DLmにピクセル電圧を供給するデータ駆動チップ310が実装される。したがって、前記データ

50

駆動チップ 310 は前記印刷回路基板 400 からの各種制御信号に应答して前記複数のデータライン DL1 ~ DLm に前記ピクセル電圧を供給することができる。

【0027】

また、前記印刷回路基板 400 から印加された第 1 及び第 2 ゲート制御信号は前記テブキャリアパッケージ 300 を通じて前記第 1 及び第 2 ゲート駆動回路 210、220 にそれぞれ供給される。したがって、前記第 1 及び第 2 ゲート駆動回路 210、220 は前記第 1 及び第 2 ゲート制御信号に应答して前記複数のゲートライン GL1 ~ GLn に前記ゲートパルスを印加する。

【0028】

図 1 に示したように、前記アレイ基板 110 に形成される複数の画素は前記第 2 方向 D2 の画素の長さより前記第 1 方向 D1 の画素の長さの方が長い横型ピクセル構造からなる。このような横型ピクセル構造では前記第 2 方向 D2 に順次形成される前記レッド、グリーン及びブルーの色画素 R、G、B にそれぞれ対応する 3 種類の画素で 1 つの色を表現する単位画素で定義される。

10

【0029】

横型ピクセル構造は、前記第 1 方向 D1 の画素の長さより前記第 2 方向 D2 の画素の長さの方が長い縦型ピクセル構造よりもデータラインの本数が少なく、ゲートラインの本数は多い。

【0030】

前記横型ピクセル構造を採用する液晶表示装置 500 は、データラインの本数の減少によってデータ信号を印加するデータ駆動チップ 310 の個数が減少し、その結果、液晶表示装置 500 の生産性が向上する。一方、前記ゲートラインの本数が増加するが、上述したように、前記第 1 及び第 2 ゲート駆動回路 210、220 が前記アレイ基板 110 上に薄膜工程中に集積されるため、ゲートラインの本数が増加しても、前記液晶表示装置 500 のチップの個数は増加しない。

20

【0031】

前記横型ピクセル構造については図 2 乃至図 5 を参照して具体的に説明する。

【0032】

図 2 は図 1 に示した横型ピクセル構造を有する単位画素の回路図であり、図 3 は図 2 に示した単位画素において各走査期間中に印加されるゲートパルスによるピクセル電圧の変化を示した波形図である。

30

【0033】

図 2 を参照すると、単位画素はレッド色画素 R に対応する第 1 画素 $P_{i \times j}$ 、グリーン色画素 G に対応する第 2 画素 $P_{(i+1) \times j}$ 及びブルー色画素 B に対応する第 3 画素 $P_{(i+2) \times j}$ からなる。前記第 1 乃至第 3 画素 $P_{i \times j}$ 、 $P_{(i+1) \times j}$ 、 $P_{(i+2) \times j}$ は横型ピクセル構造を有する。

【0034】

前記第 1 画素 $P_{i \times j}$ は、第 i ゲートライン GL_i 、第 j データライン DL_j 、ストレージライン SL 、第 i 薄膜トランジスタ T_{1i} 、第 i プリチャージングトランジスタ T_{2i} 及び第 i 画素電極 PE_i を含む。

40

【0035】

前記第 i 薄膜トランジスタ T_{1i} は、前記第 i ゲートライン GL_i と前記第 j データライン DL_j に電氣的に接続する。具体的に、前記第 i 薄膜トランジスタ T_{1i} のゲート電極は前記第 i ゲートライン GL_i に接続し、ソース電極は前記第 j データライン DL_j に接続し、ドレイン電極は前記第 i 画素電極 PE_i に接続する。

【0036】

前記第 i プリチャージングトランジスタ T_{2i} は、前記第 $i-1$ ゲートライン GL_{i-1} と前記ストレージライン SL に電氣的に接続される。具体的に、前記第 i プリチャージングトランジスタ T_{2i} のゲート電極は前記第 $i-1$ ゲートライン GL_{i-1} に接続され、ソース電極は前記ストレージライン SL に接続され、ドレイン電極は前記第 i 画素電極

50

PE_iに接続される。

【0037】

前記第2画素P(i+1)×jは、第i+1ゲートラインGL_{i+1}、第jデータラインDL_j、ストレージラインSL、第i+1薄膜トランジスタT₁(i+1)、第i+1プリチャージングトランジスタT₂(i+1)及び第i+1画素電極PE_{i+1}を含む。

【0038】

前記第i+1薄膜トランジスタT₁(i+1)は、前記第i+1ゲートラインGL_{i+1}、前記第jデータラインDL_j及び第i+1画素電極PE_{i+1}に電氣的に接続する。前記第i+1プリチャージングトランジスタT₂(i+1)は、前記第iゲートラインGL_i、前記ストレージラインSL及び前記第i+1画素電極PE_{i+1}に接続する。

10

【0039】

前記第3画素P(i+2)×jは、第i+2ゲートラインGL_{i+2}、第jデータラインDL_j、ストレージラインSL、第i+2薄膜トランジスタT₁(i+2)、第i+2プリチャージングトランジスタT₂(i+2)及び第i+2画素電極PE_{i+2}を含む。

【0040】

前記第i+2薄膜トランジスタT₁(i+2)は、前記第i+2ゲートラインGL_{i+2}、前記第jデータラインDL_j及び第i+2画素電極PE_{i+2}に電氣的に接続する。前記第i+2プリチャージングトランジスタT₂(i+2)は、前記第i+1ゲートラインGL_{i+1}、前記ストレージラインSL及び前記第i+2画素電極PE_{i+2}に接続する。

20

【0041】

図2及び図3に示したように、第1画素P_i×jでは前記第i-1ゲートラインGL_{i-1}に印加された第i-1ゲートパルスG_{i-1}に応答して前記第i画素電極PE_iに共通電圧V_{com}をプリチャージングする。具体的に、前記第i-1ゲートパルスG_{i-1}によって前記第iプリチャージングトランジスタT_{2i}がターンオンされると、前記ストレージラインSLに印加された共通電圧V_{com}が前記第iプリチャージングトランジスタT_{2i}を經由して前記第i画素電極PE_iに印加される。したがって、前記第i-1ゲートパルスG_{i-1}が印加される第0水平走査期間(第i-1アクティブ期間A_{i-1})の間前記第i画素電極PE_iに前記共通電圧V_{com}をプリチャージングする。

【0042】

その後、第1水平走査期間(第iアクティブ期間A_i)の間前記第iゲートパルスG_iに応答して前記第i薄膜トランジスタT_{1i}がターンオンされると、前記第i画素電極PE_iには前記第jデータラインDL_jに印加された第iピクセル電圧V_{Pi}が印加される。

30

【0043】

上述したように、前記第i画素電極PE_iに印加される第iピクセル電圧V_{Pi}の極性が1フレーム単位で転換されるとき、基準となる共通電圧V_{com}を前記第i-1アクティブ期間A_{i-1}の間前記第i画素電極PE_iに印加する。したがって、与えられた第iアクティブ期間A_i内で前記第iピクセル電圧V_{Pi}が目標値に到達する時間を短縮させることができ、それによって、液晶の応答速度を向上させることができる。

40

【0044】

一方、前記第2画素P_{i+1}×jの第i+1画素電極PE_(i+1)では第iアクティブ期間A_iの間前記第iゲートパルスG_iに応答して前記共通電圧V_{com}をプリチャージングする。その後、第2水平走査期間(第i+1アクティブ期間A_{i+1})の間前記第i+1ゲートパルスG_{i+1}に応答して第i+1ピクセル電圧V_{Pi+1}が印加される。

【0045】

また、前記第3画素P(i+2)×jの第i+2画素電極PE_{i+2}では第i+1アクティブ期間A_{i+1}の間前記第i+1ゲートパルスG_{i+1}に応答して前記共通電圧V_{com}をプリチャージングする。その後、第3水平走査期間(第i+2アクティブ期間A_{i+2})の間前記第i+2ゲートパルスG_{i+2}に応答して第i+2ピクセル電圧V_{Pi+2}が

50

印加される。

【0046】

このように、各画素に印加されるピクセル電圧の極性がフレーム単位で反転しているとき、第1走査期間中の画素電極には、第0水平走査期間中にゲートパルスに応答して極性の基準となる共通電圧 V_{com} をプリチャージングされた状態で、目標ピクセル電圧が印加される。したがって、与えられたアクティブ期間内で前記各画素のピクセル電圧が目標値に到達する時間を短縮させることができ、それによって、液晶の応答速度を向上させることができる。

【0047】

図4は図1に示したアレイ基板の一画素に対するレイアウトであり、図5は図4に示した切断線I-I'及び切断線II-II'に沿って切断した断面図である。

10

【0048】

アレイ基板110はベース基板111上に形成される複数の画素からなる。前記画素は全て同一の構造からなるため、図4及び図5では前記複数の画素のうちの1つの画素(例えば、 $i \times j$ 番目の画素)について具体的に説明する。

【0049】

図4及び図5を参照すると、ベース基板111上には第1方向 D_1 に伸びる第 $i-1$ ゲートライン GL_{i-1} 及び第 i ゲートライン GL_i が形成される。ここで、 $i \times j$ 番目の画素を基準に前記第 i ゲートライン GL_i は第1水平走査期間中に印加するゲートラインとして定義され、前記第 $i-1$ ゲートライン GL_{i-1} は第0水平走査期間中に印加するゲートラインとして定義される。

20

【0050】

前記ベース基板111上には第 i 薄膜トランジスタ T_{1i} のゲート電極 GE_1 及び第 i プリチャージングトランジスタ T_{2i} のゲート電極 GE_2 が形成される。具体的に、前記第 i 薄膜トランジスタ T_{1i} のゲート電極 GE_1 は前記第 i ゲートライン GL_i の一端に形成され、前記第 i プリチャージングトランジスタ T_{2i} のゲート電極 GE_2 は前記第 $i-1$ ゲートライン GL_{i-1} の一端に形成される。

【0051】

前記ベース基板111上に形成される前記第 $i-1$ ゲートライン GL_{i-1} 、第 i ゲートライン GL_i 、前記第 i 薄膜トランジスタ T_{1i} のゲート電極 GE_1 及び前記第 i プリチャージングトランジスタ T_{2i} のゲート電極 GE_2 はゲート絶縁膜112によってカバーされる。

30

【0052】

前記ゲート絶縁膜112上には第2方向 D_2 に伸びる第 j データライン DL_j 、第1乃至第3ストレージライン SL_1 、 SL_2 、 SL_3 が形成される。前記第1及び第2ストレージライン SL_1 、 SL_2 は前記第1方向 D_1 に伸びるように形成される。具体的に、前記第1ストレージライン SL_1 は前記第 $i-1$ ゲートライン GL_{i-1} と隣接して形成され、前記第2ストレージライン SL_2 は前記第 i ゲートライン GL_i と隣接して形成される。前記第3ストレージライン SL_3 は前記第2方向 D_2 に伸び、前記第1及び第2ストレージライン SL_1 、 SL_2 に電氣的に接続するように形成される。

40

【0053】

また、前記ゲート絶縁膜112上には前記第 i 薄膜トランジスタ T_{1i} のソース及びドレイン電極 SE_1 、 DE_1 、前記第 i プリチャージングトランジスタ T_{2i} のソース及びドレイン電極 SE_2 、 DE_2 が形成される。前記第 i 薄膜トランジスタ T_{1i} のソース電極 SE_1 は前記第 j データライン DL_j の一端に形成され、前記第 i 薄膜トランジスタ T_{1i} のドレイン電極 DE_1 は前記ゲート電極 GE_1 の上部で前記ソース電極 SE_1 と所定の間隔で離隔して形成される。前記第 i プリチャージングトランジスタ T_{2i} のソース電極 SE_2 は前記第1ストレージライン SL_1 の一端に形成され、前記第 i プリチャージングトランジスタ T_{2i} のドレイン電極 DE_2 は前記ゲート電極 GE_2 の上部で前記ソース電極 SE_2 と所定の間隔で離隔して形成される。これによって、前記ベース基板111上

50

には前記第 i 薄膜トランジスタ T_{1i} 及び前記第 i プリチャージングトランジスタ T_{2i} が完成される。

【0054】

前記ゲート絶縁膜 112 上に形成される第 j データライン DL_j 、第 1 乃至第 3 ストレージライン SL_1 、 SL_2 、 SL_3 、第 i 薄膜トランジスタ T_{1i} 及び第 i プリチャージングトランジスタ T_{2i} は保護膜 113 によってカバーされる。前記保護膜 113 には前記第 i 薄膜トランジスタ T_{1i} のドレイン電極 DE_1 を露出させる第 1 コンタクトホール C_1 及び前記第 i プリチャージングトランジスタ T_{2i} のドレイン電極 DE_2 を露出させる第 2 コンタクトホール C_2 が形成される。

【0055】

前記保護膜 113 上には第 i 画素電極 PE_i が形成される。前記第 i 画素電極 PE_i は透明性導電物質からなる。また、前記第 i 画素電極 PE_i は前記第 1 コンタクトホール C_1 を通じて前記第 i 薄膜トランジスタ T_{1i} のドレイン電極 DE_1 と電氣的に接続し、前記第 2 コンタクトホール C_2 を通じて前記第 i プリチャージングトランジスタ T_{2i} のドレイン電極 DE_2 と電氣的に接続するように形成される。

【0056】

上述したように、前記第 i プリチャージングトランジスタ T_{2i} は前記第 $i-1$ ゲートライン GL_{i-1} と第 1 ストレージライン SL_1 に接続し、第 0 水平走査期間中に印加するゲートパルスに応答して前記第 i 画素電極 PE_i に共通電圧をプリチャージングする。

【0057】

本発明の一例において、横型ピクセル構造を有する画素において前記第 1 乃至第 3 ストレージライン SL_1 、 SL_2 、 SL_3 は前記第 j データライン DL_j と同一層に形成される。したがって、前記第 i プリチャージングトランジスタ T_{2i} のソース電極 SE_2 は前記第 1 乃至第 3 ストレージライン SL_1 、 SL_2 、 SL_3 のうちのいずれか 1 つの一端に形成されることになる。これによって、前記アレイ基板 110 に前記第 i プリチャージングトランジスタ T_{2i} を形成する工程が容易になる。

【0058】

図 6 は本発明の第 2 実施形態による液晶表示装置の平面図であり、図 7 は図 6 に示した縦型ピクセル構造を有する単位画素の回路図である。ただ、図 6 に示した構成要素のうち図 1 に示した構成要素と同一の構成要素については同一の参照番号を併記して、具体的な説明は略する。

【0059】

図 6 を参照すると、本発明の第 2 実施形態による液晶表示装置 503 は映像を表示する液晶表示パネル 103、前記液晶表示パネル 103 に隣接している印刷回路基板 400 及び前記液晶表示パネル 103 と前記印刷回路基板 400 とを電氣的に接続するテープキャリアパッケージ 300 を含む。

【0060】

前記液晶表示パネル 103 はアレイ基板 110、前記アレイ基板 110 と対向して形成されるカラーフィルタ基板 120 及び前記アレイ基板 110 と前記カラーフィルタ基板 120 との間に形成される液晶層(図示せず)からなる。前記アレイ基板 110 は映像を表示する表示領域 DA 、前記表示領域 DA に隣接する第 1 及び第 3 周辺領域 PA_1 、 PA_3 に区画される。

【0061】

前記アレイ基板 110 の表示領域 DA にはマトリクス形態で複数の画素が形成される。前記第 1 周辺領域 PA_1 は前記複数のゲートライン $GL_1 \sim GL_n$ の第 1 端部に位置する領域であり、前記第 1 周辺領域 PA_1 には前記複数のゲートライン $GL_1 \sim GL_n$ にゲートパルスを順次印加するゲート駆動回路 210 が形成される。前記ゲート駆動回路 210 は従属的に接続される複数のステージからなる 1 つのシフトレジスタを含む。前記各ステージの出力端子は対応するゲートラインの第 1 端部に接続される。したがって、前記複数のステージは順次ターンオンされると、対応するゲートラインに順次ゲートパルスを印

10

20

30

40

50

加する。

【0062】

一方、前記第3周辺領域PA3は前記複数のデータラインDL1~DLmの一端部に位置する領域であり、前記テープキャリアパッケージ300の第1端部が接続している。前記テープキャリアパッケージ300の第2端部は前記印刷回路基板400に接続している。前記テープキャリアパッケージ300上には前記複数のデータラインDL1~DLmにピクセル電圧を供給するデータ駆動チップ310が実装される。

【0063】

図6に示したように、前記アレイ基板110に形成される複数の画素は第1方向D1の画素の長さより第2方向D2の画素の長さの方が長い縦型ピクセル構造からなる。このよ
10
うな縦型ピクセル構造では前記第1方向D1に順次形成される前記レッド、グリーン及びブルー色画素R、G、Bにそれぞれ対応する3種類の画素で1つの色を表現する単位画素として定義される。

【0064】

したがって、縦型ピクセル構造を採用する液晶表示装置503は図1に示した横型ピクセル構造よりもデータラインの本数が多く、一方、ゲートラインの本数は少ない。

【0065】

図7を参照すると、単位画素はレッド色画素Rに対応する第1画素 $P_{i \times j}$ 、グリーン色画素Gに対応する第2画素 $P_{i \times (j+1)}$ 及びブルー色画素Bに対応する第3画素 $P_{i \times (j+2)}$ からなる。前記第1乃至第3画素 $P_{i \times j}$ 、 $P_{i \times (j+1)}$ 、 $P_{i \times (j+2)}$ は縦型ピクセル構造を有する。
20

【0066】

前記第1画素 $P_{i \times j}$ は、第iゲートラインGLi、第jデータラインDLj、ストレージラインSL、第j薄膜トランジスタT1j、第jプリチャージングトランジスタT2j及び第j画素電極PEjを含む。

【0067】

前記第j薄膜トランジスタT1jは、前記第iゲートラインGLiと前記第jデータラインDLjに電氣的に接続する。具体的に、前記第j薄膜トランジスタT1jのゲート電極は前記第iゲートラインGLiに接続し、ソース電極は前記第jデータラインDLjに接続され、ドレイン電極は前記第j画素電極PEjに接続する。
30

【0068】

前記第jプリチャージングトランジスタT2jは、前記第i-1ゲートラインGLi-1と前記ストレージラインSLに電氣的に接続される。具体的に、前記第jプリチャージングトランジスタT2jのゲート電極は前記第i-1ゲートラインGLi-1に接続され、ソース電極は前記ストレージラインSLに接続され、ドレイン電極は前記第j画素電極PEjに接続される。

【0069】

前記第2画素 $P_{i \times (j+1)}$ は、第iゲートラインGLi、第j+1データラインDLj+1、ストレージラインSL、第j+1薄膜トランジスタT1(j+1)、第j+1プリチャージングトランジスタT2(j+1)及び第j+1画素電極PEj+1を含む。
40

【0070】

前記第j+1薄膜トランジスタT1(j+1)は、前記第iゲートラインGLi、前記第j+1データラインDLj+1及び第j+1画素電極PEj+1に電氣的に接続する。前記第j+1プリチャージングトランジスタT2(j+1)は、前記第i-1ゲートラインGLi-1、前記ストレージラインSL及び前記第j+1画素電極PEj+1に接続する。

【0071】

前記第3画素 $P_{i \times (j+2)}$ は、第iゲートラインGLi、第j+2データラインDLj+2、ストレージラインSL、第j+2薄膜トランジスタT1(j+2)、第j+2プリチャージングトランジスタT2(j+2)及び第j+2画素電極PEj+2を含む。
50

【0072】

前記第 $j + 2$ 薄膜トランジスタ $T1(j + 2)$ は、前記第 i ゲートライン GLi 、前記第 $j + 2$ データライン $DLj + 2$ 及び第 $j + 2$ 画素電極 $PEj + 2$ に電氣的に接続する。前記第 $j + 2$ プリチャージングトランジスタ $T2(j + 2)$ は、前記第 $i - 1$ ゲートライン $GLi - 1$ 、前記ストレージライン SL 及び前記第 $j + 2$ 画素電極 $PEj + 2$ に接続する。

【0073】

前記第 1 乃至第 3 画素 $Pi \times j$ 、 $Pi \times (j + 1)$ 、 $Pi \times (j + 2)$ では前記第 $i - 1$ ゲートライン $GLi - 1$ に印加された第 $i - 1$ ゲートパルス $Gi - 1$ に応答して前記第 j 乃至第 $j + 1$ 画素電極 PEj 、 $PEj + 1$ 、 $PEj + 2$ に共通電圧をプリチャージングする。具体的には、前記第 $i - 1$ ゲートパルス $Gi - 1$ によって前記第 j 乃至第 $j + 2$ プリチャージングトランジスタ $T2j$ 、 $T2(j + 1)$ 、 $T2(j + 2)$ がターンオンされると、前記ストレージライン SL に印加された共通電圧が前記第 j 乃至第 $j + 2$ プリチャージングトランジスタ $T2j$ 、 $T2(j + 1)$ 、 $T2(j + 2)$ を経由して前記第 j 乃至第 $j + 2$ 画素電極 PEj 、 $PEj + 1$ 、 $PEj + 2$ にそれぞれ印加される。したがって、前記第 $i - 1$ ゲートパルス $Gi - 1$ が印加される第 0 水平走査期間（第 $i - 1$ アクティブ期間）の間前記第 j 乃至第 $j + 2$ 画素電極 PEj 、 $PEj + 1$ 、 $PEj + 2$ に前記共通電圧をプリチャージングする。

10

【0074】

その後、第 1 水平走査期間（第 i アクティブ期間）の間前記第 i ゲートパルス Gi に応答して前記第 j 乃至第 $j + 2$ 薄膜トランジスタ $T1j$ 、 $T1(j + 1)$ 、 $T1(j + 2)$ がターンオンされると、前記第 j 乃至第 $j + 2$ 画素電極 PEj 、 $PEj + 1$ 、 $PEj + 2$ には前記第 j 乃至第 $j + 2$ データライン DLj 、 $DLj + 1$ 、 $DLj + 2$ に印加された第 j 乃至第 $j + 2$ ピクセル電圧がそれぞれ印加される。

20

【0075】

上述したように、第 0 水平走査期間中に画素電極に共通電圧をプリチャージングすることによって、第 1 水平走査期間中にピクセル電圧が目標値に到達する時間を短縮させることができる。特に、各画素に印加されるピクセル電圧の極性がフレーム単位で反転しているとき、第 1 走査期間中の画素電極には、第 0 水平走査期間中にゲートパルスに応答して極性の基準となる共通電圧をプリチャージングされた状態で、目標ピクセル電圧が印加される。したがって、与えられたアクティブ期間内で前記各画素のピクセル電圧が目標値に到達する時間を短縮させることができ、それによって、液晶の応答速度を向上させることができる。

30

【0076】

図 8 は図 6 に示したアレイ基板の画素に対するレイアウトであり、図 9 は図 8 に示した切断線 $III - III'$ 及び切断線 $IV - IV'$ に沿って切断した断面図である。

【0077】

アレイ基板 110 はベース基板 111 上に形成される複数の画素からなる。前記画素は全て同一の構造からなるため、図 8 及び図 9 では前記複数の画素のうちの 1 つの画素（例えば、 $i \times j$ 番目の画素）について具体的に説明する。

40

【0078】

図 8 及び図 9 を参照すると、ベース基板 111 上には第 $i - 1$ ゲートライン $GLi - 1$ 、第 i ゲートライン GLi 、第 1 乃至第 3 ストレージライン $SL1$ 、 $SL2$ 、 $SL3$ が形成される。ここで、 $i \times j$ 番目の画素を基準に前記第 i ゲートライン GLi は第 1 水平走査期間中に印加するゲートラインとして定義され、前記第 $i - 1$ ゲートライン $GLi - 1$ は第 0 水平走査期間中に印加するゲートラインとして定義される。前記第 $i - 1$ 及び第 i ゲートライン $GLi - 1$ 、 GLi は第 1 方向 $D1$ に伸びるように形成される。前記第 1 及び第 2 ストレージライン $SL1$ 、 $SL2$ は第 2 方向 $D2$ に平行であり、前記第 $i - 1$ 及び第 i ゲートライン $GLi - 1$ 、 GLi の間に形成される。前記第 3 ストレージライン $SL3$ は前記第 1 方向 $D1$ に伸び、前記第 1 及び第 2 ストレージライン $SL1$ 、 $SL2$ に電気

50

的に接続するように形成される。

【0079】

前記ベース基板111上には第j薄膜トランジスタT1jのゲート電極GE1及び第jプリチャージングトランジスタT2jのゲート電極GE2が形成される。具体的に、前記第j薄膜トランジスタT1jのゲート電極GE1は前記第iゲートラインGLiの一端に形成され、前記第jプリチャージングトランジスタT2jのゲート電極GE2は前記第i-1ゲートラインGLi-1の一端に形成される。

【0080】

前記ベース基板111上に形成される前記第i-1ゲートラインGLi-1、第iゲートラインGLi、前記第1乃至第3ストレージラインSL1、SL2、SL3、前記第i薄膜トランジスタT1iのゲート電極GE1及び前記第iプリチャージングトランジスタT2iのゲート電極GE2はゲート絶縁膜112によってカバーされる。前記ゲート絶縁膜112には前記第1ストレージラインSL1の一端部を露出させる第3コンタクトホールC3が形成される。

10

【0081】

前記ゲート絶縁膜112上には前記第2方向D2に伸びる第jデータラインDLjが形成される。また、前記ゲート絶縁膜112上には前記第j薄膜トランジスタT1jのソース及びドレイン電極SE1、DE1、前記第jプリチャージングトランジスタT2jのソース及びドレイン電極SE2、DE2が形成される。前記第j薄膜トランジスタT1jのソース電極SE1は前記第jデータラインDLjの一端に形成され、前記第j薄膜トランジスタT1jのドレイン電極DE1は前記ゲート電極GE1の上部で前記ソース電極SE1と所定の間隔で離隔して形成される。

20

【0082】

前記第jプリチャージングトランジスタT2jのソース電極SE2は前記第1ストレージラインSL1の一端に形成され、前記第jプリチャージングトランジスタT2jのドレイン電極DE2は前記ゲート電極GE2の上部で前記ソース電極SE2と所定の間隔で離隔して形成される。ここで、前記第jプリチャージングトランジスタT2jのソース電極SE2は前記ゲート絶縁膜112に形成される第3コンタクトホールC3を通じて前記第1ストレージラインSL1に電氣的に接続するように形成される。これによって、前記ベース基板111上には前記第j薄膜トランジスタT1j及び前記第jプリチャージングトランジスタT2jが完成される。

30

【0083】

前記ゲート絶縁膜112上に形成される第jデータラインDLj、第j薄膜トランジスタT1j及び第jプリチャージングトランジスタT2jは保護膜113によってカバーされる。前記保護膜113には前記第j薄膜トランジスタT1jのドレイン電極DE1を露出させる第1コンタクトホールC1及び前記第jプリチャージングトランジスタT2jのドレイン電極DE2を露出させる第2コンタクトホールC2が形成される。

【0084】

前記保護膜113上には第j画素電極PEjが形成される。前記第j画素電極PEjは前記第1コンタクトホールC1を通じて前記第j薄膜トランジスタT1jのドレイン電極DE1と電氣的に接続し、前記第2コンタクトホールC2を通じて前記第jプリチャージングトランジスタT2jのドレイン電極DE2と電氣的に接続するように形成される。

40

【0085】

上述したように、前記第jプリチャージングトランジスタT2jは前記第i-1ゲートラインGLi-1と第1ストレージラインSL1に接続し、第0水平走査期間中に印加するゲートパルスに応答して前記第j画素電極PEjに共通電圧をプリチャージングする。

【0086】

図8及び図9は縦型ピクセル構造を有する画素において前記第1乃至第3ストレージラインSL1、SL2、SL3が前記第iゲートラインGLiと同一層に形成される構造を示した。また、前記縦型ピクセル構造を有する画素において前記第1乃至第3ストレージ

50

ライン SL_1 、 SL_2 、 SL_3 は前記第 j データライン DL_j と同一層に形成することもできる。

【0087】

図10は本発明の第3実施形態による液晶表示装置の平面図である。ただ、図10に示した構成要素のうち図6に示した構成要素と同一の構成要素については同一の参照符号を併記し、具体的な説明は略する。

【0088】

図10を参照すると、本発明の第3実施形態による液晶表示装置505においてアレイ基板110は映像を表示する表示領域DA、前記表示領域DAに隣接する第1乃至第3周辺領域PA1、PA2、PA3に区画される。

10

【0089】

前記アレイ基板110の表示領域DAにはマトリクス形態で複数の画素が形成される。前記第1周辺領域PA1は前記複数のゲートライン $GL_1 \sim GL_n$ の第1端部に位置する領域であり、前記第1周辺領域PA1には前記複数のゲートライン $GL_1 \sim GL_n$ にゲートパルスを順次印加する第1ゲート駆動回路210が形成される。前記第2周辺領域PA2は前記複数のゲートライン $GL_1 \sim GL_n$ の第2端部に位置する領域であり、前記第2周辺領域PA2には前記複数のゲートライン $GL_1 \sim GL_n$ に前記ゲートパルスを順次印加する第2ゲート駆動回路220が形成される。

【0090】

一方、前記第3周辺領域PA3は前記複数のデータライン $DL_1 \sim DL_m$ の一端部に位置する領域であり、前記テープキャリアパッケージ300が接続し、前記テープキャリアパッケージ300上には前記複数のデータライン $DL_1 \sim DL_m$ にピクセル電圧を供給するデータ駆動チップ310が実装される。

20

【0091】

図10に示したように、前記アレイ基板110に形成される複数の画素は第1方向D1の画素の長さより第2方向D2の画素の長さの方が長い縦型ピクセル構造からなる。このような縦型ピクセル構造では前記第1方向D1に順次形成される前記レッド、グリーン及びブルー色画素R、G、Bにそれぞれ対応する3種類の画素で1つの色を表現する単位画素として定義される。

【0092】

図10において、1つのデータラインは左/右側に形成される2つの画素と電氣的に接続する。

30

【0093】

したがって、図10に示した液晶表示装置505は図6に示した液晶表示装置503よりデータラインの本数が1/2倍と少なく、ゲートラインの本数は2倍と多い。

【0094】

図11は図10に示した縦型ピクセル構造を有する単位画素の回路図であり、図12は図11に示した各単位画素において走査期間中に印加されるゲートパルスによるピクセル電圧の変化を示した波形図である。

【0095】

図11を参照すると、単位画素はレッド色画素Rに対応する第1画素 $P_{L i \times j}$ 、グリーン色画素Gに対応する第2画素 $P_{R i \times j}$ 及びブルー色画素Bに対応する第3画素 $P_{L i \times (j+1)}$ からなる。前記第1乃至第3画素 $P_{L i \times j}$ 、 $P_{R i \times j}$ 、 $P_{L i \times (j+1)}$ は縦型ピクセル構造を有する。

40

【0096】

前記第1画素 $P_{L i \times j}$ は、第 i ゲートライン GL_i 、第 j データライン DL_j 、ストレーザライン SL 、第 j 左側薄膜トランジスタ T_{1j} 、第 j 左側プリチャージングトランジスタ T_{2j} 及び第 j 左側画素電極 $PE_j(L)$ を含む。

【0097】

前記第 j 左側薄膜トランジスタ T_{1j} は、前記第 i ゲートライン GL_i と前記第 j デー

50

ライン DL_j に電氣的に接続する。具体的に、前記第 j 左側薄膜トランジスタ T_{1j} のゲート電極は前記第 i ゲートライン GL_i に接続し、ソース電極は前記第 j データライン DL_j に接続し、ドレイン電極は前記第 j 左側画素電極 $PE_j(L)$ に接続する。

【0098】

前記第 j 左側プリチャージングトランジスタ T_{2j} は、前記第 $i-1$ ゲートライン GL_{i-1} と前記ストレージライン SL に電氣的に接続する。具体的に、前記第 j プリチャージングトランジスタ T_{2j} のゲート電極は前記第 $i-1$ ゲートライン GL_{i-1} に接続し、ソース電極は前記ストレージライン SL に接続し、ドレイン電極は前記第 j 左側画素電極 $PE_j(L)$ に接続する。

【0099】

前記第 2 画素 $P_{Ri \times j}$ は、第 $i+1$ ゲートライン GL_{i+1} 、第 j データライン DL_j 、ストレージライン SL 、第 j 右側薄膜トランジスタ T_{3j} 、第 j 右側プリチャージングトランジスタ T_{4j} 及び第 j 右側画素電極 $PE_j(R)$ を含む。

【0100】

前記第 j 右側薄膜トランジスタ T_{3j} は、前記第 $i+1$ ゲートライン GL_{i+1} 、前記第 j データライン DL_j 及び第 j 右側画素電極 $PE_j(R)$ に電氣的に接続する。前記第 j 右側プリチャージングトランジスタ T_{4j} は、前記第 i ゲートライン GL_i 、前記ストレージライン SL 及び前記第 j 右側画素電極 $PE_j(R)$ に接続する。

【0101】

前記第 3 画素 $P_{Li \times (j+1)}$ は、第 i ゲートライン GL_i 、第 $j+1$ データライン DL_{j+1} 、ストレージライン SL 、第 $j+1$ 左側薄膜トランジスタ $T_{1(j+1)}$ 、第 $j+1$ 左側プリチャージングトランジスタ $T_{2(j+1)}$ 及び第 $j+1$ 左側画素電極 $PE_{j+1}(L)$ を含む。

【0102】

前記第 $j+1$ 左側薄膜トランジスタ $T_{1(j+1)}$ は、前記第 i ゲートライン GL_i 、前記第 $j+1$ データライン DL_{j+1} 及び第 $j+1$ 左側画素電極 PE_{j+1} に電氣的に接続する。前記第 $j+1$ 左側プリチャージングトランジスタ $T_{2(j+1)}$ は、前記第 $i-1$ ゲートライン GL_{i-1} 、前記ストレージライン SL 及び前記第 $j+1$ 左側画素電極 $PE_{j+1}(L)$ に接続する。

【0103】

図 11 及び図 12 に示したように、前記第 1 及び第 3 画素 $P_{Li \times j}$ 、 $P_{Li \times (j+1)}$ では前記第 $i-1$ ゲートライン GL_{i-1} に印加された第 $i-1$ ゲートパルス $Gi-1$ に応答して前記第 j 及び第 $j+1$ 左側画素電極 $PE_j(L)$ 、 $PE_{j+1}(L)$ に共通電圧 V_{com} をプリチャージングする。具体的に、前記第 $i-1$ ゲートパルス $Gi-1$ によって前記第 j 及び第 $j+1$ 左側プリチャージングトランジスタ T_{2j} 、 $T_{2(j+1)}$ がターンオンされると、前記ストレージライン SL に印加された前記共通電圧 V_{com} が前記第 j 及び第 $j+1$ 左側プリチャージングトランジスタ T_{2j} 、 $T_{2(j+1)}$ を経由して前記第 j 及び第 $j+1$ 左側画素電極 $PE_j(L)$ 、 $PE_{j+1}(L)$ にそれぞれ印加される。したがって、前記第 $i-1$ ゲートパルス $Gi-1$ が印加される第 0 水平走査期間（第 $i-1$ アクティブ期間 A_{i-1} ）の間前記第 j 及び第 $j+1$ 左側画素電極 $PE_j(L)$ 、 $PE_{j+1}(L)$ に前記共通電圧 V_{com} をプリチャージングする。

【0104】

その後、第 1 水平走査期間（第 i アクティブ期間 A_i ）の間前記第 i ゲートパルス Gi に応答して前記第 j 及び第 $j+1$ 左側薄膜トランジスタ T_{1j} 、 $T_{1(j+1)}$ がターンオンされると、前記第 j 及び第 $j+1$ 左側画素電極 $PE_j(L)$ 、 $PE_{j+1}(L)$ には前記第 j 及び第 $j+1$ データライン DL_j 、 DL_{j+1} に印加された第 j 及び第 $j+1$ 左側ピクセル電圧 $V_{pj}(L)$ 、 $V_{pj+1}(L)$ がそれぞれ印加される。

【0105】

また、前記第 i アクティブ期間 A_i の間前記第 i ゲートパルス Gi に応答して前記第 j 右側プリチャージングトランジスタ T_{4j} がターンオンされて、前記第 j 右側画素電極 P

10

20

30

40

50

$E_j(R)$ では前記共通電圧 V_{com} をプリチャージングする。その後、第 $i+1$ アクティブ期間 A_{i+1} の間前記第 $i+1$ ゲートパルス G_{i+1} に 응답して前記第 j 右側薄膜トランジスタ T_{3j} がターンオンされ、同時に、前記第 j 右側画素電極 $PE_j(R)$ には前記第 j データライン DL_j に印加された第 j 右側ピクセル電圧 $V_{pj}(R)$ が印加される。

【0106】

結果的に、1つの画素行がターンオンされる時間を単位水平走査期間と定義すると、1つの画素行において奇数番目の画素行は単位水平走査期間のうち前半の半分の時間に印加される第 i ゲートパルス G_i に 응답してターンオンされ、偶数番目の画素行は前記単位水平走査期間のうち後半の半分の時間に印加される第 $i+1$ ゲートパルス G_{i+1} に 응답してターンオンされる。また、前記奇数番目の画素行は前記単位水平走査期間の前期間に印加される第 $i-1$ ゲートパルス G_{i-1} に 응답して前記共通電圧 V_{com} がプリチャージングされ、前記偶数番目の画素行は前記第 i ゲートパルス G_i に 응답して前記共通電圧 V_{com} がプリチャージングされる。

10

【0107】

上述したように、第0水平走査期間中に画素電極に前記共通電圧 V_{com} をプリチャージングすることによって、第1水平走査期間中にピクセル電圧が目標値に到達する時間を短縮させることができる。特に、各画素に印加されるピクセル電圧の極性がフレーム単位で反転しているとき、第1走査期間中の画素電極には、第0水平走査期間中にゲートパルスに 응답して極性の基準となる共通電圧をプリチャージングされた状態で、目標ピクセル電圧が印加される。したがって、与えられたアクティブ期間内で前記各画素のピクセル電圧が目標値に到達する時間を短縮させることができ、それによって、液晶の応答速度を向上させることができる。

20

【0108】

図1乃至図12ではゲート駆動回路がアレイ基板110上に形成される構造のみを示した。しかし、前記ゲート駆動回路はチップ形態でも可能で、前記アレイ基板110上にチップオンガラス方式で実装する方法、テープキャリアパッケージ上に実装する方法でも形成することができる。

【0109】

図示しないが、共通電圧を画素電極にプリチャージングさせる本発明のこのような方式は光視野角特性を有するPVA(Patterned Vertical Alignment)モード、MVA(Multi-domain Vertical Alignment)モード及びS-PVA(SUPER-Patterned Vertical Alignment)モード液晶表示装置にも適用可能である。

30

【0110】

特に、S-PVAモード液晶表示装置は2つのサブ画素からなる画素を形成し、画素に互いに異なるグレイを有するドメインを形成するために2つのサブ画素は互いに異なるサブ電圧が印加されるメイン及びサブ画素電極をそれぞれ形成する。このとき、液晶表示装置を眺める人の目は2つのサブ電圧の中間値を認識するため、中間階調以下でガンマカーブが歪んで、側面視野角が低下することを防止する。これによって、液晶表示装置の側面視認性を改善することができる。

40

【0111】

上記したS-PVAモード液晶表示装置は、駆動方式によってCC(Coupling Capacitor)タイプとTT(Two Transistor)タイプに区別される。CCタイプはメイン画素電極とサブ画素電極との間にカップリングキャパシタを追加してサブ画素電極に印加されるデータ電圧を電圧降下させて、メインピクセル電圧より低い電圧をサブピクセル電圧として印加する駆動方式である。一方、TTタイプは、互いに時間差を置いてターンオンされる2つのトランジスタを利用してメイン及びサブ画素電極にそれぞれ互いに異なる電圧レベルを有するメイン及びサブピクセル電圧をそれぞれ印加する駆動方式である。したがって、TTタイプの場合、メイン及びサブピクセル電圧の

50

充電時間がCCタイプより水平走査期間は半分の時間だけ減少する。

【0112】

したがって、TTタイプS-PVAモード液晶表示装置においてメイン及びサブ画素電極に共通電圧をプリチャージングすることによって、メイン及びサブ画素領域での液晶の充電率を向上させることができ、その結果、S-PVAモード液晶表示装置の応答速度を向上させることができる。

【0113】

以上、実施形態を参照して説明したが、当業者は特許請求の範囲に記載した本発明の思想及び領域から逸脱しない範囲内で本発明を多様に修正及び変更させることができることを理解することができるであろう。

10

【産業上の利用可能性】

【0114】

本発明は、アレイ基板及びこれを有する表示装置に適用することができる。

【図面の簡単な説明】

【0115】

【図1】本発明の第1実施形態による液晶表示装置の平面図である。

【図2】図1に示した横型ピクセル構造を有する単位画素の回路図である。

【図3】図2に示した単位画素でゲートパルスによるピクセル電圧の変化を示した波形図である。

【図4】図1に示したアレイ基板のレイアウトである。

20

【図5】図4に示した切断線I-I'及び切断線II-II'によって切断した断面図である。

【図6】本発明の第2実施形態による液晶表示装置の平面図である。

【図7】図6に示した縦型ピクセル構造を有する単位画素の回路図である。

【図8】図6に示したアレイ基板のレイアウトである。

【図9】図8に示した切断線III-III'及び切断線IV-IV'によって切断した断面図である。

【図10】本発明の第3実施形態による液晶表示装置の平面図である。

【図11】図10に示した縦型ピクセル構造を有する単位画素の回路図である。

【図12】図11に示した単位画素でゲートパルスによるピクセル電圧の変化を示した波形図である。

30

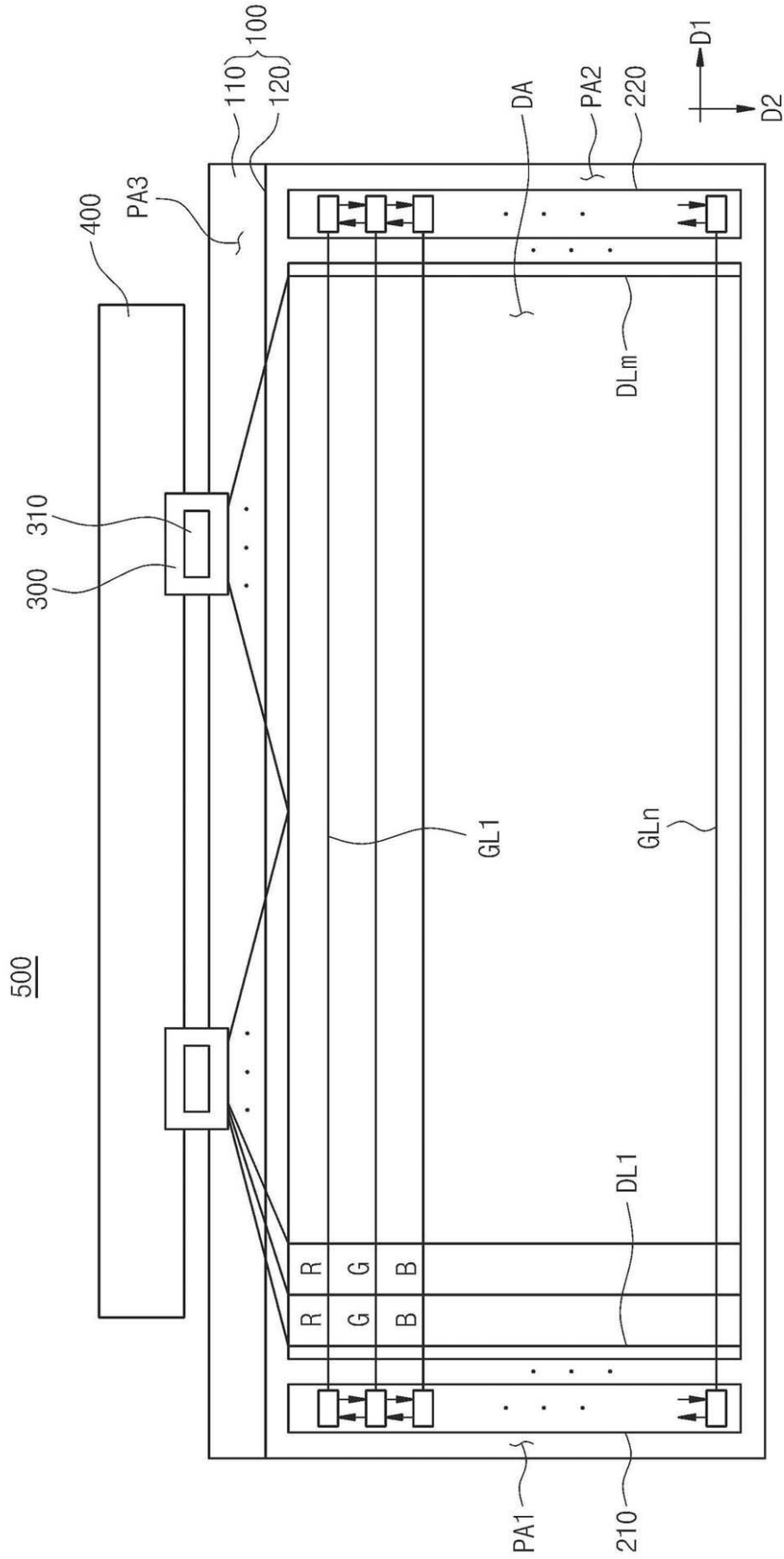
【符号の説明】

【0116】

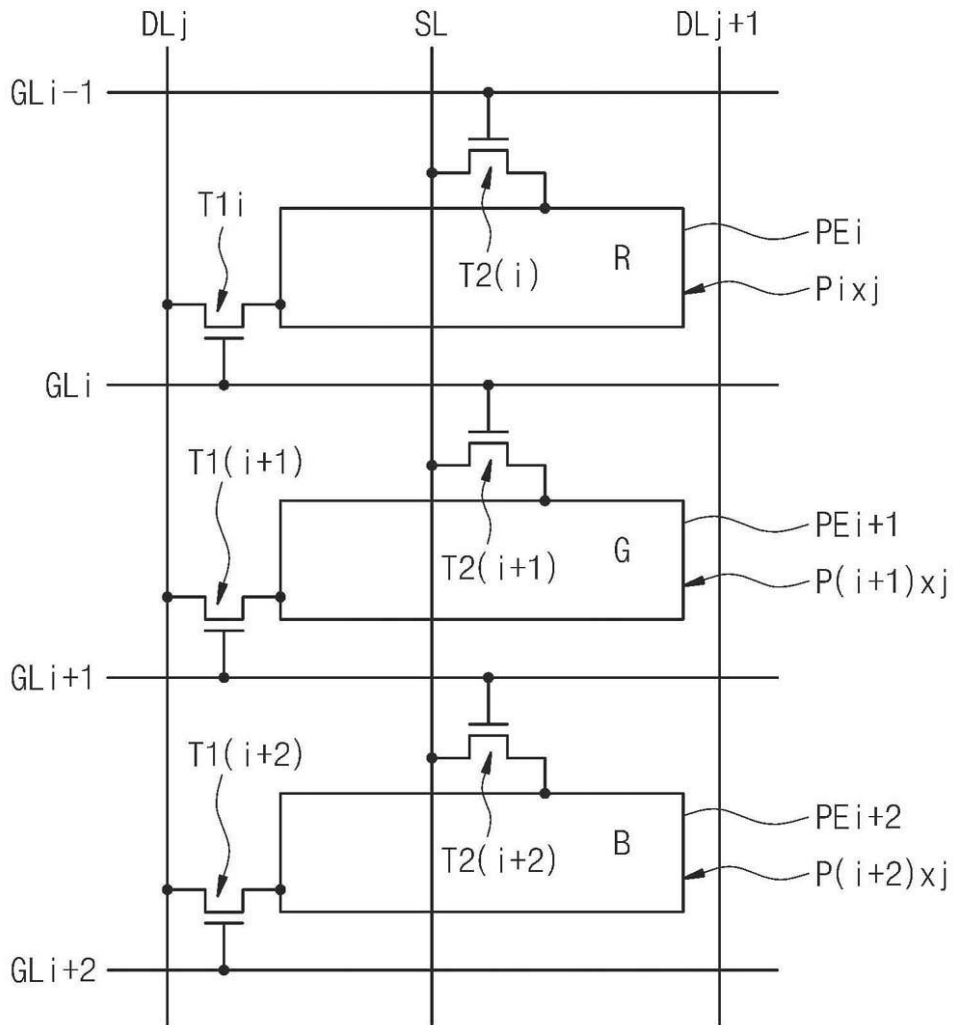
- 100, 103, 105 液晶表示パネル、
- 110 アレイ基板、
- 210 第1ゲート駆動回路、
- 220 第2ゲート駆動回路、
- 300 テープキャリアパッケージ、
- 310 データ駆動チップ、
- 400 印刷回路基板、
- 500, 503, 505 液晶表示装置。

40

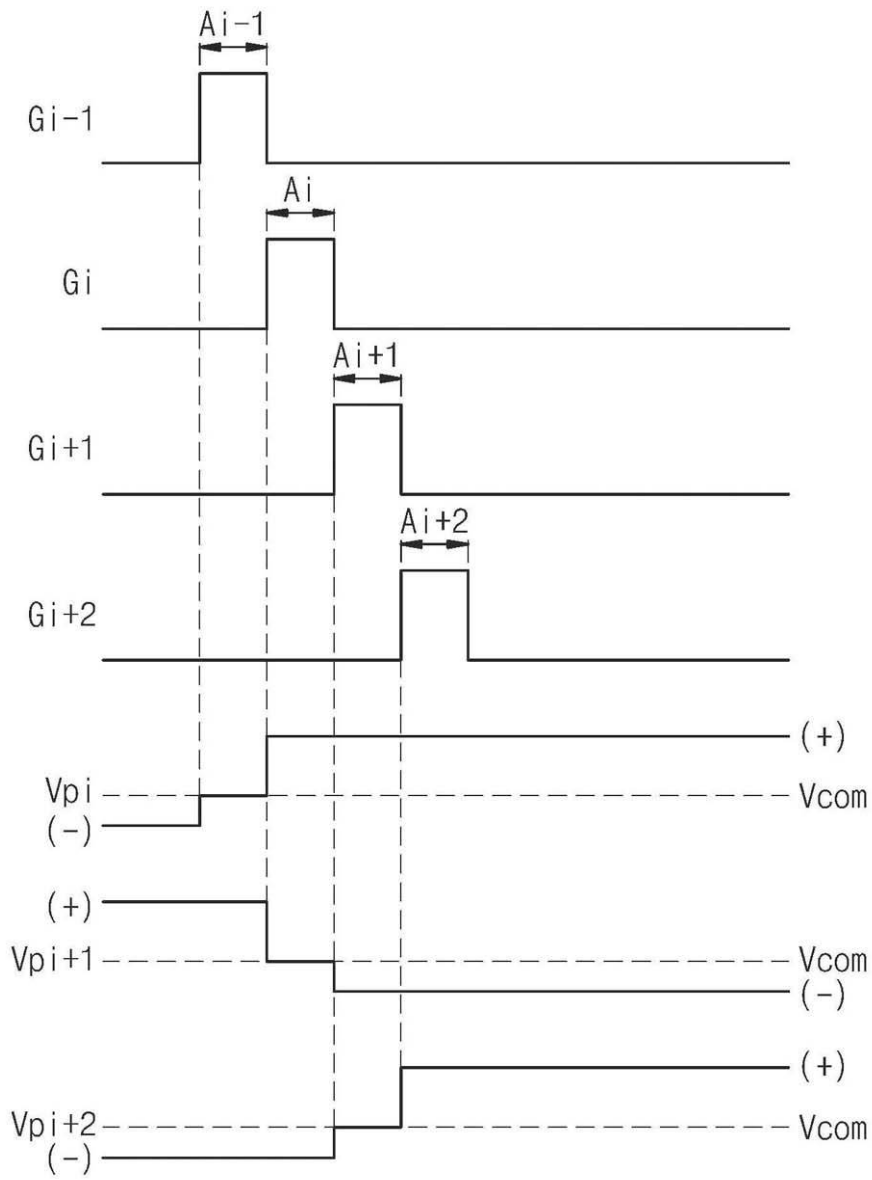
【図 1】



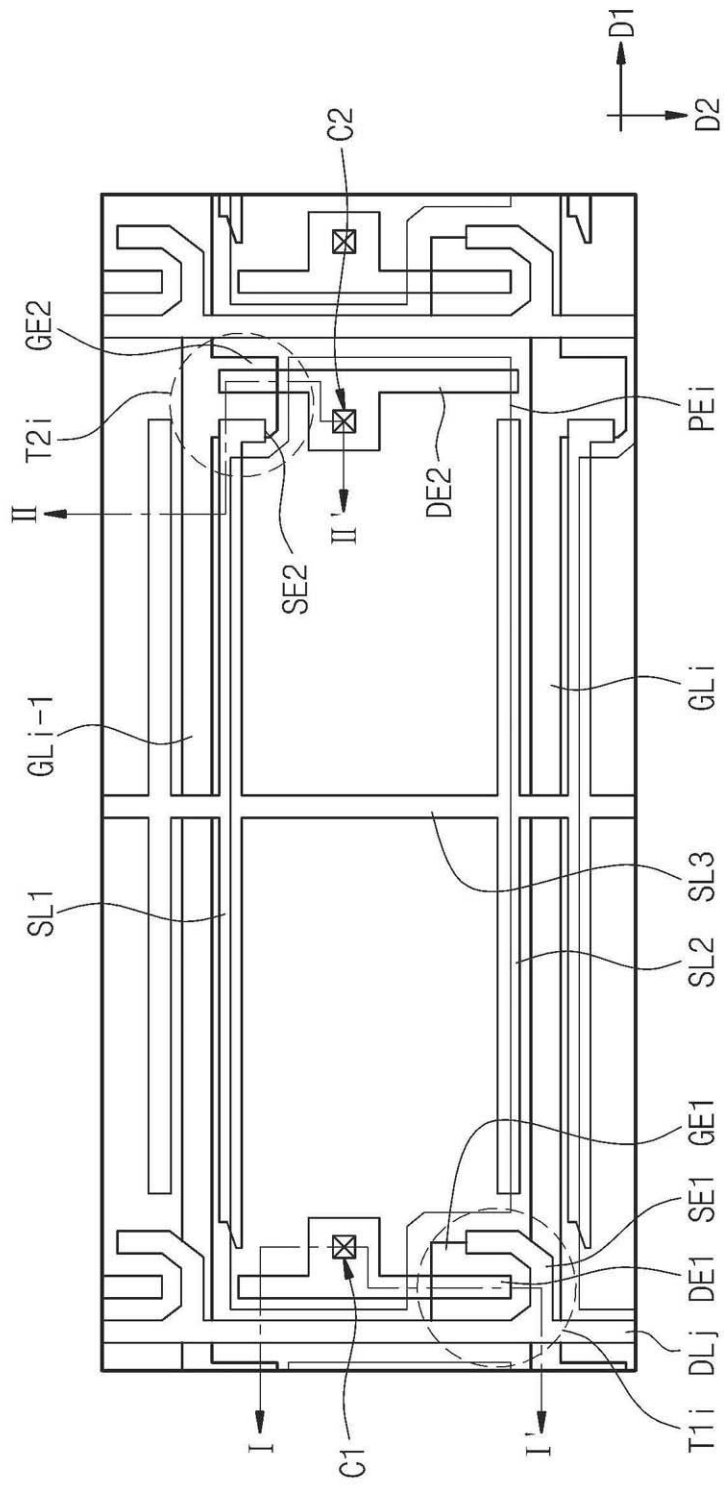
【 図 2 】



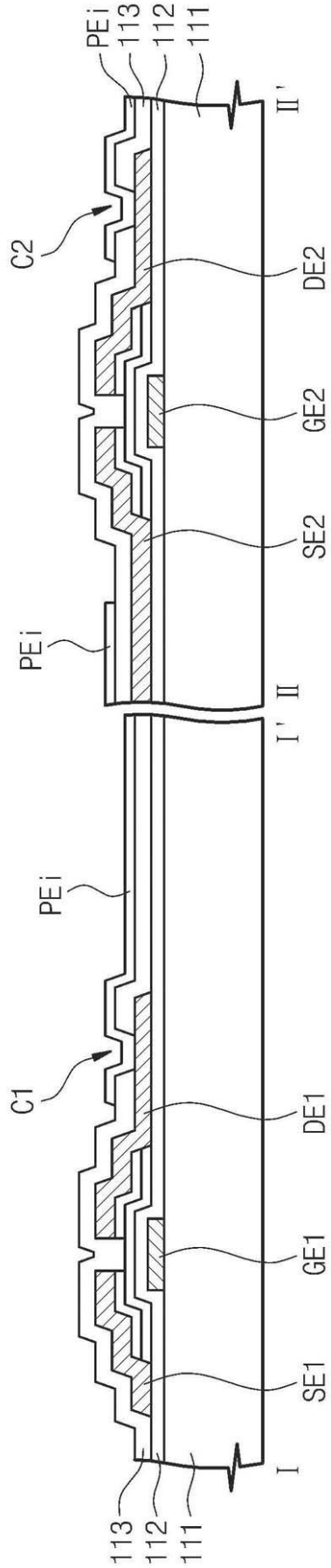
【 図 3 】



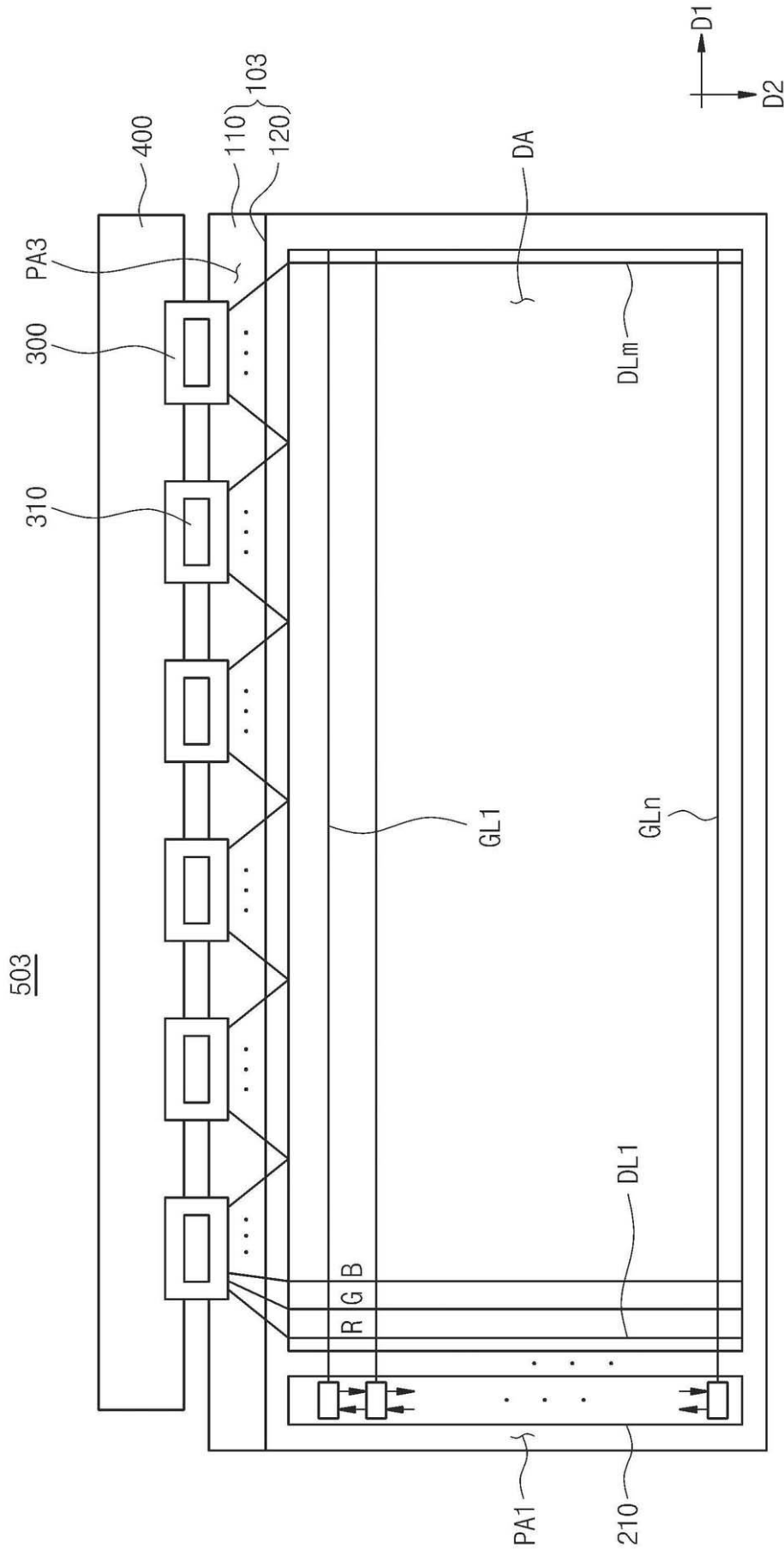
【 図 4 】



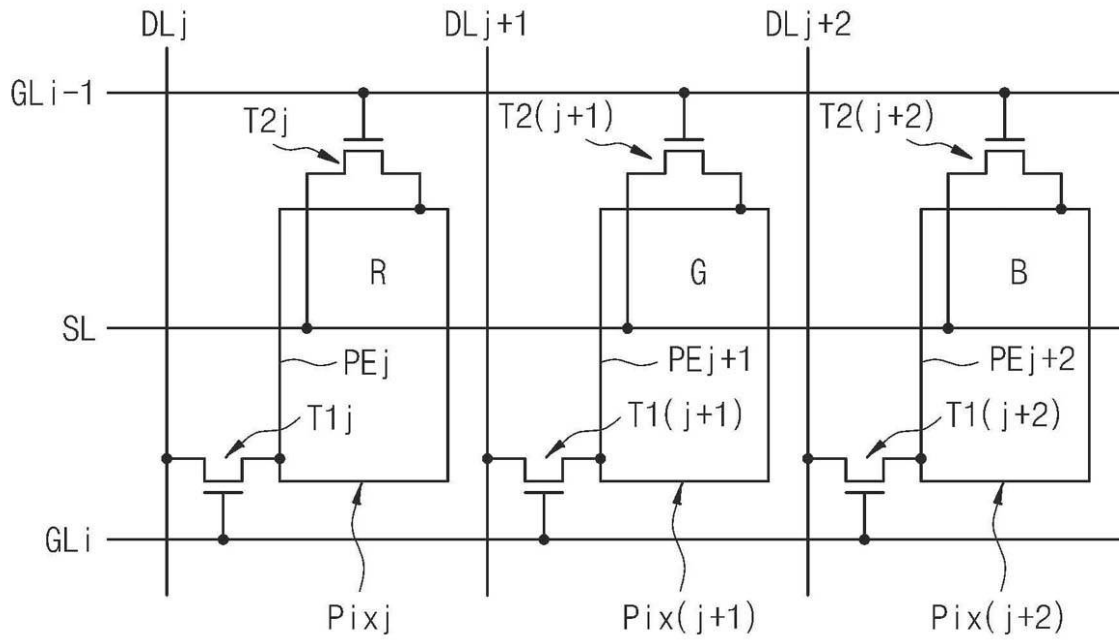
【 図 5 】



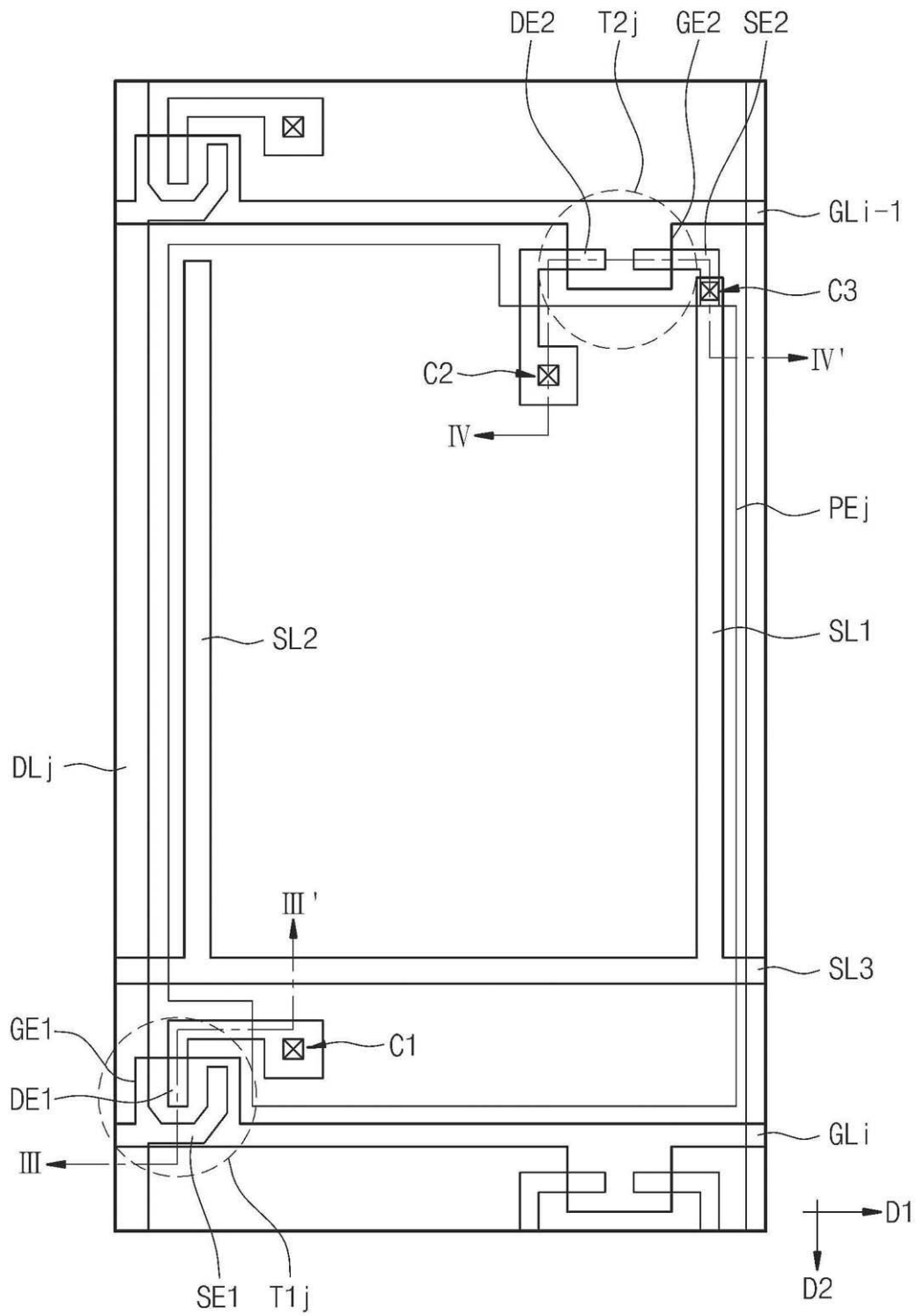
【 図 6 】



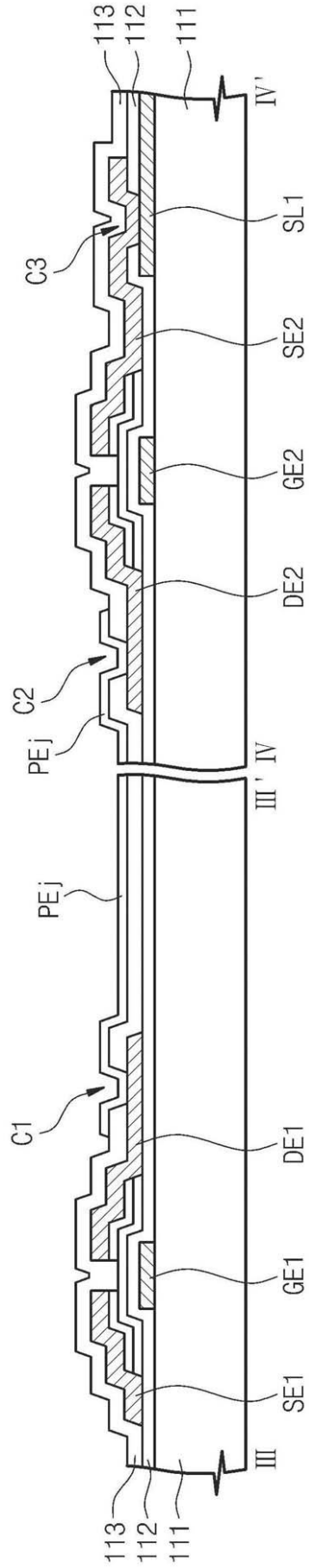
【 図 7 】



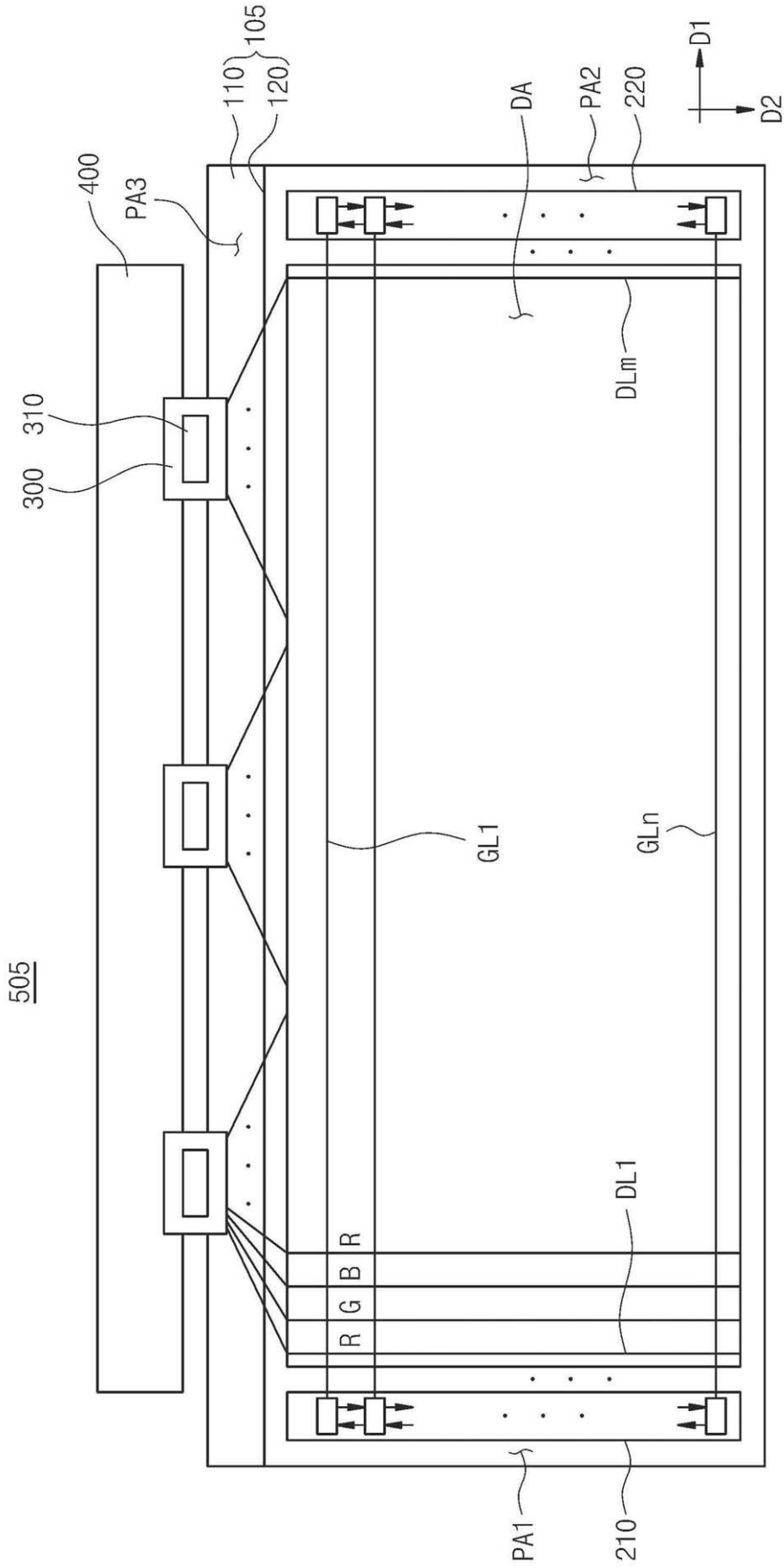
【 図 8 】



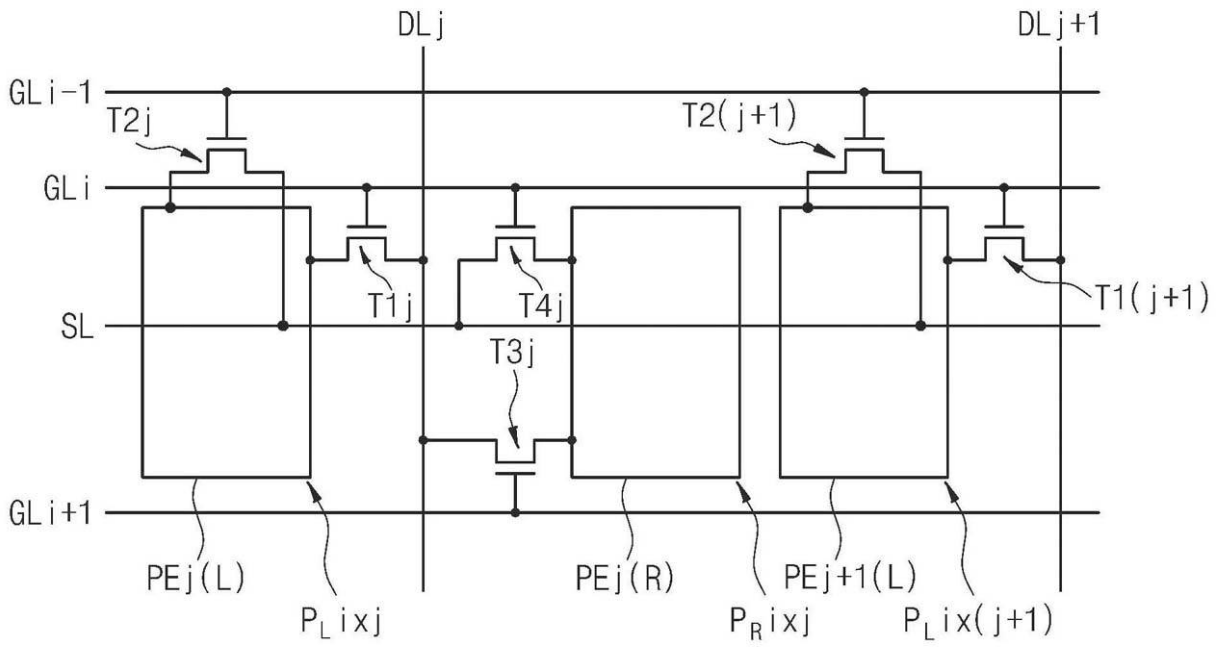
【図 9】



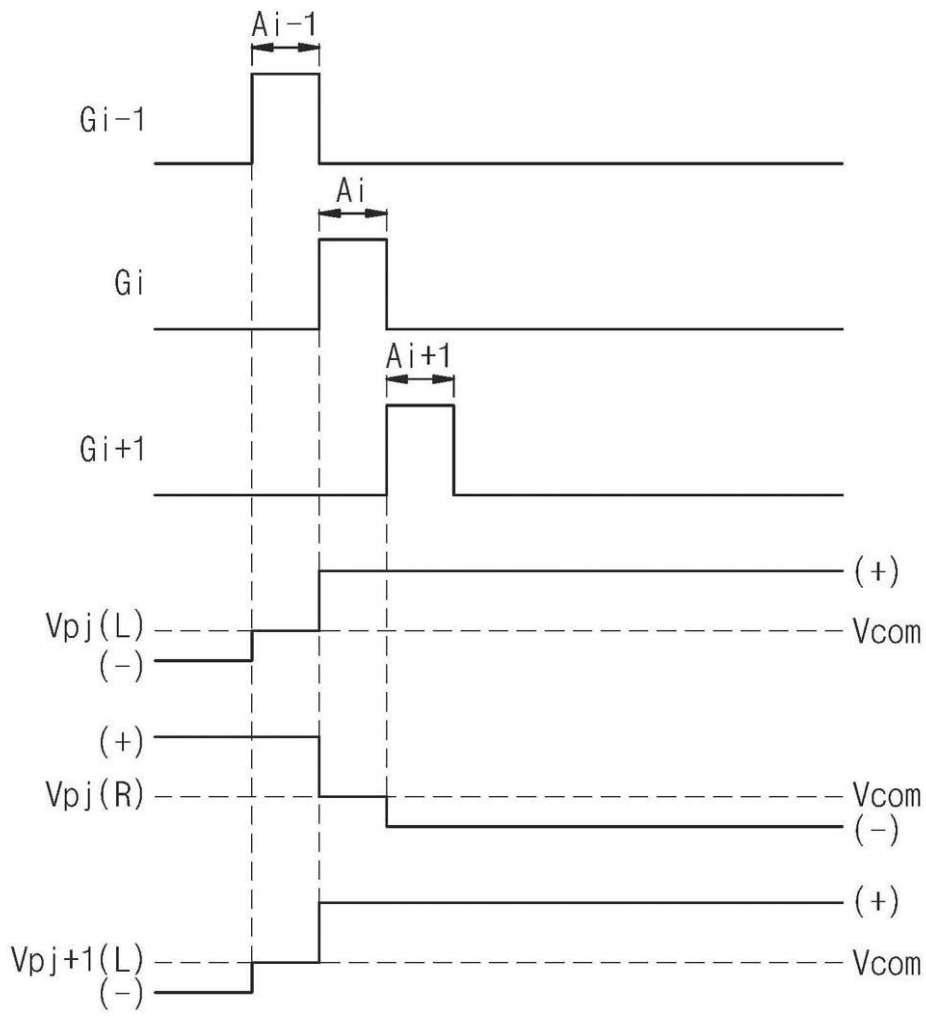
【図 10】



【図 11】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 2 2 B
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 2 J
	G 0 2 F 1/133	5 2 5
(74)代理人 100129126		
弁理士 藤田 健		
(74)代理人 100130971		
弁理士 都祭 正則		
(74)代理人 100134348		
弁理士 長谷川 俊弘		
(72)発明者 李 奉 俊		
大韓民国ソウル特別市鍾路区昭格洞 37番地 地層		
(72)発明者 許 命 九		
大韓民国忠清南道天安市佛堂洞 ヒュンダイパーク108-1202		
(72)発明者 金 聖 萬		
大韓民国ソウル特別市松坡区新川洞 ジャンミアパート25-1001		
(72)発明者 李 洪 雨		
大韓民国忠清南道天安市鳳鳴洞 チョンソル3次アパート301東		
Fターム(参考) 2H093 NA16 NA33 NA42 NA53 NB30 NC13 NC14 NC34 NC35 NC49		
NC58 NC65 NC67 ND33 ND34 ND35 ND36 ND43 ND52 ND58		
5C006 AA11 AA21 AC11 AC21 BB16 BC03 BC06 BC16 BC20 FA12		
FA56		
5C080 AA10 BB05 CC03 DD08 EE29 EE30 JJ03 JJ04 JJ06		
5C094 AA13 AA53 BA03 BA43 CA19 CA24 DB01 EA04		

专利名称(译)	阵列基板和具有该阵列基板的显示装置		
公开(公告)号	JP2008077053A	公开(公告)日	2008-04-03
申请号	JP2007150852	申请日	2007-06-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李奉俊 許命九 金聖萬 李洪雨		
发明人	李奉俊 許命九 金聖萬 李洪雨		
IPC分类号	G02F1/133 G09G3/36 G09F9/30 G09G3/20		
CPC分类号	G09G3/3659 G09G3/3614 G09G2300/0443 G09G2300/0452 G09G2310/0251 G09G2310/0281		
FI分类号	G02F1/133.550 G09G3/36 G09F9/30.338 G09G3/20.621.F G09G3/20.621.M G09G3/20.680.G G09G3/20.622.B G09G3/20.623.B G09G3/20.621.B G09G3/20.624.B G09G3/20.642.J G02F1/133.525		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA42 2H093/NA53 2H093/NB30 2H093/NC13 2H093/NC14 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC58 2H093/NC65 2H093/NC67 2H093/ND33 2H093/ND34 2H093/ND35 2H093/ND36 2H093/ND43 2H093/ND52 2H093/ND58 5C006/AA11 5C006/AA21 5C006/AC11 5C006/AC21 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BC20 5C006/FA12 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/EE29 5C080/EE30 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA13 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DB01 5C094/EA04 2H193/ZA04 2H193/ZA19 2H193/ZC15 2H193/ZC22 2H193/ZD23 2H193/ZF24 2H193/ZF42 2H193/ZH21 2H193/ZH40 2H193/ZH45		
代理人(译)	宇谷 胜幸 藤田 健		
优先权	1020060090247 2006-09-18 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供阵列基板和具有该阵列基板的显示装置。解决方案：在阵列基板110和具有其的液晶显示装置500中，每条栅极线GL1至GLn在水平扫描周期期间接收栅极脉冲，并且每条数据线DL1至DLm接收具有反转极性的像素电压在每一帧。当在水平扫描时段期间响应于栅极脉冲接通薄膜晶体管时，像素电极通过薄膜晶体管接收像素电压。预充电部分在前一水平扫描周期期间响应于先前的栅极脉冲，用公共电压对像素电极预充电，该公共电压是像素电压的参考电压。

