

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-65275

(P2008-65275A)

(43) 公開日 平成20年3月21日(2008.3.21)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09F 9/30 (2006.01)	G09F 9/30 330Z	5C094
H01L 29/786 (2006.01)	H01L 29/78 612A	5F110

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号	特願2006-246079 (P2006-246079)	(71) 出願人	506306879
(22) 出願日	平成18年9月11日 (2006.9.11)		インフォビジョン オプトエレクトロニクス ホールディングス リミティッド ブリティシュ・ヴァージン・アイランド、 トートラ、ロードタウン、オフショア イン コーポレーションズセンター、ピーオー ボックス 957
		(74) 代理人	100133226 弁理士 竹内 陽一
		(72) 発明者	川野 英郎 神奈川県川崎市高津区坂戸2-15-3- 502
		(72) 発明者	砂山 英樹 東京都八王子市長沼町634-1-295

最終頁に続く

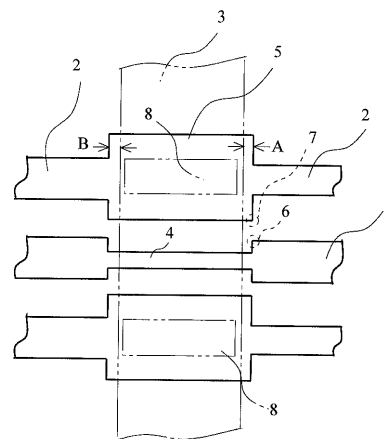
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】液晶表示装置の製造工程における電極または電極間の絶縁層の静電破壊に起因した表示不良欠陥の発生率を低減するとともに、走査線の時定数を改善し得るアクティブマトリクス型液晶表示装置に使用する微細配線の配線構造を有する液晶表示装置及び液晶表示装置の製造方法を提供することを目的とする。

【解決手段】アレイ基板の製造工程において、走査線のうち走査線が補助容量束ね線と交差する部分の配線幅を狭くして、走査線と補助容量束ね線が交差する部分の面積を減少させ、配線容量を小さくして、走査線の時定数を小さくするとともに、補助容量線のうち補助容量束ね線と交差する部分の配線幅を広くして、隣接する走査線と補助容量線が最も接近する部分の距離を短くして、製造工程等で発生する静電荷を、該接近した部分で放電させて、製造工程等における静電破壊による不良品の発生を防止する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の絶縁基板上に形成された複数の走査線 (1) 及び複数の補助容量線 (2) と、前記走査線 (1) 及び前記補助容量線が形成された層とは異なる層に絶縁膜を介して配設され、前記走査線 (1) 及び前記補助容量線 (2) との双方に交差するように配列された信号線と、

前記複数の走査線 (1) と前記複数の信号線とがお互いに交差して形成される各格子内に配設された画素電極と、を備えた画素電極アレイ基板と、

前記画素電極アレイ基板に対向する対向電極が第 2 の絶縁基板上に形成された対向基板と、

マトリックス状に配列された前記画素電極部の外側周辺において複数の前記補助容量線を短絡しながら前記信号線と平行方向に配設されている線 (以下「補助容量束ね線」ともいう) と、

前記画素電極アレイ基板と前記対向基板との間に光変調層と、を備えた表示装置において、

前記走査線 (1) と、前記補助容量束ね線とが交差する部分については前記走査線 (1) の線幅を狭くして、前記走査線 (1) と前記補助容量束ね線とが交差する部分によって形成される配線容量を小さくし、

前記補助容量線が前記補助容量束ね線 (3) と交差する部分については前記補助容量線の線幅を広くした矩形部分 (以下「補助容量線矩形部」ともいう) を設けて、

前記走査線 (1) が前記補助容量束ね線 (3) と交差する部分であって、線幅が狭い矩形部分 (以下「走査線矩形部」ともいう) と前記走査線の通常の線幅部分との境界の通常の線幅部分側の角部 (以下「走査線矩形角部」ともいう) と、前記補助容量線矩形部 (5) が形成する角部のうち前記走査線矩形角部 (6) に最も近接する角部 (7) と、を対向させて、前記走査線矩形角部 (6) と前記補助容量線矩形角部 (7) の間の距離を短くすることにより、非接触で前記走査線矩形角部 (6) と前記補助容量線矩形角部 (7) との間での放電が容易になるように構成されていることを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、

前記補助容量線矩形部は、交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりも、ともにはみ出すように形成するとともに、前記走査線矩形部も交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりも、ともにはみ出すように形成して、前記補助容量線矩形部の前記補助容量線方向の長さ、前記走査線矩形部の前記走査線方向の長さとは略同じとなるように構成されていることを特徴とする表示装置。

【請求項 3】

請求項 1 または 2 に記載の表示装置において、前記走査線矩形角部 (6) および前記補助容量線矩形角部 (7) の角の角度を略 90 度とすることを特徴とする表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の表示装置において、前記光変調層が液晶層を含むことを特徴とする表示装置。

【請求項 5】

第 1 の絶縁基板上に形成された複数の走査線 (1) 及び複数の補助容量線 (2) と、前記走査線 (1) 及び前記補助容量線が形成された層とは異なる層に絶縁膜を介して配設され、前記走査線 (1) 及び前記補助容量線との双方に交差するように配列された信号線と、

前記複数の走査線 (1) と前記複数の信号線とがお互いに交差して形成される各格子内に配設された画素電極と、を備えた画素電極アレイ基板と、

前記画素電極アレイ基板に対向する対向電極が第 2 の絶縁基板上に形成された対向基板と、

10

20

30

40

50

マトリックス状に配列された前記画素電極部の外側周辺において複数の前記補助容量線を短絡しながら前記信号線と平行方向に配設されている補助容量束ね線と、

前記画素電極アレイ基板と前記対向基板との間に光変調層と、を備えた表示装置において、

前記走査線(1)と、前記補助容量束ね線とが交差する部分については前記走査線(1)の線幅を狭くして、前記走査線(1)と前記補助容量束ね線とが交差する部分によって形成される配線容量を小さくし、

前記補助容量線が前記補助容量束ね線(3)と交差する部分については前記補助容量線の線幅を広くした補助容量線矩形部(5)を設けて、

前記走査線(1)が前記補助容量束ね線(3)と交差する部分であって、線幅が狭い走査線矩形部分と前記走査線の通常の線幅部分との境界の通常の線幅部分側の走査線矩形角部と、前記補助容量線矩形部(5)が形成する角部のうち前記走査線矩形角部(6)に最も近接する角部(7)と、を対向させて、前記走査線矩形角部(6)と前記補助容量線矩形角部(7)の間の距離を短くすることにより、非接触で前記走査線矩形角部(6)と前記補助容量線矩形角部(7)の間での放電が容易になるように構成することを特徴とする表示装置の製造方法。

【請求項6】

請求項5に記載の表示装置の製造方法において、

前記補助容量線矩形部は、交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりも、ともにはみ出すように形成するとともに、前記走査線矩形部も交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりもはみ出すように形成して、前記補助容量線矩形部の前記補助容量線方向の長さ、前記走査線矩形部の前記走査線方向の長さとは略同じとなるように構成することを特徴とする表示装置の製造方法。

【請求項7】

請求項5または6に記載の表示装置の製造方法において、前記走査線矩形角部(6)および前記補助容量線矩形角部(7)の角の角度を略91度とすることを特徴とする表示装置の製造方法。

【請求項8】

請求項5乃至7のいずれかに記載の表示装置の製造方法において、前記光変調層は液晶層であることを特徴とする表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリックス型液晶表示装置における微細な配線構造及び配線に関する。

【背景技術】

【0002】

近年、液晶表示装置の主流はアクティブマトリックス型液晶表示装置である。このアクティブマトリックス型液晶表示装置において、表示画面の大型化・高画質化に伴い、表示装置あたりの画素数が増加するとともに、画素電極の配列ピッチは年々微細なものとなりつつある。

【0003】

このような状況下、TFTアレイ基板の製造コストを低減するためには、TFTアレイ基板上の画素電極の配列ピッチが微細になっても、製造歩留まりを維持・向上させることが必要である。製造歩留まりを阻害しているものの一つに、製造工程における静電破壊に起因した製造不良がある。かかる製造工程での静電破壊を低減する手段として、TFTアレイ基板上の全ての信号線、補助容量線等を短絡するショートリングをTFTアレイ基板の表示部以外の領域に設けて、製造工程の最後にショートリングを削除する手段がある。

なお、ショートリングを削除することなく、電気抵抗値を大きくすることによって、通常の使用の場合には、ショートリングの存在の影響を受けないようにするものもある。

【 0 0 0 4 】

図 3 は、ショートリングを有する T F T アレイ基板の概略平面図である。ショートリング 3 1 は T F T アレイ基板 3 0 の周辺に位置して、補助容量線 2 と、走査線 1 と、信号線 3 2 と、を短絡して静電破壊を防止している。

【 0 0 0 5 】

しかし、係るショートリングによっても、ショートリングを形成する以前の製造工程における静電破壊や、ショートリングを削除した後に発生する静電破壊を防止することはできない。この課題に対する解決手段として、文献 1 に示されているように、T F T アレイ基板の周辺であって、静電破壊が生じて、T F T アレイ基板の機能障害を発生させない位置に、補助容量線上と走査線上の夫々に突起を有するランドを設け、さらに、双方のランド上の突起を対向させて、その突起間において、放電が発生し易くすることによって、他の機能障害を発生させてしまう場所において静電破壊が発生することを防止する手段がある。

【 0 0 0 6 】

静電破壊が生じて、T F T アレイ基板の機能障害を発生させない場合と機能障害を発生させてしまう場合について図に基づいて説明する。図 4 は表示装置の製造工程において静電荷の放電によって絶縁層が損傷して生じたピンホール欠陥を示す概略断面図である。図 4 において、4 1 はガラス基板であり、4 5 は絶縁層であり、4 6 は薄膜半導体層であり、4 7 は走査線に何らかの理由によって静電荷が蓄積し、放電することによるピンホールである。

このようなピンホール 4 7 ができてしまった場合に、その後の製造工程において、このピンホールができた場所の上には絶縁層が作成されるだけであれば、特に機能障害は生じない。一方、このピンホール 4 7 の上に機能に關与する線、例えば信号線等が形成されると、図 5 に示されるように信号線 4 4 が走査線 1 と短絡してしまい、機能障害を生じさせることとなる。

【 0 0 0 7 】

文献 1 においては、静電破壊が生じて機能障害を発生させない場所に、放電し易い突起部分を作成することによって、機能障害につながる静電破壊の発生を防止している。

【 0 0 0 8 】

しかしながら、このような突起を設けることなく、できる限り、通常の配線形態を維持しつつ、放電が生じて機能障害を発生させないような位置において静電荷を放電させられれば好適である。

【 0 0 0 9 】

また、近時の画面の大型化に伴い、走査線の数が増加傾向にある状況のなかで、画面の表示品質を維持・向上させるためには、走査線に与える電気信号を高速化する必要がある。かかる要請に応える為には、走査線の時定数を小さくすることも必要である。

【 0 0 1 0 】

【特許文献 1】特開平 8 - 2 3 4 2 2 7

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

そこで、本発明は、製造工程における電極または電極間の絶縁層の静電破壊に起因した表示不良欠陥の発生率を低減するとともに、走査線の時定数を改善し得る、アクティブマトリックス型液晶表示装置に使用する微細配線の配線構造及び配線方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

上記課題を解決するために、

10

20

30

40

50

請求項 1 に記載の発明は、表示装置であって、

第 1 の絶縁基板上に形成された複数の走査線 (1) 及び複数の補助容量線 (2) と、前記走査線 (1) 及び前記補助容量線が形成された層とは異なる層に絶縁膜を介して配設され、前記走査線 (1) 及び前記補助容量線 (2) との双方に交差するように配列された信号線と、

前記複数の走査線 (1) と前記複数の信号線とがお互いに交差して形成される各格子内に配設された画素電極と、を備えた画素電極アレイ基板と、

前記画素電極アレイ基板に対向する対向電極が第 2 の絶縁基板上に形成された対向基板と、

マトリックス状に配列された前記画素電極部の外側周辺において複数の前記補助容量線を短絡しながら前記信号線と平行方向に配設されている線 (以下「補助容量束ね線」ともいう) と、

前記画素電極アレイ基板と前記対向基板との間に光変調層と、を備えた表示装置において、

前記走査線 (1) と、前記補助容量束ね線とが交差する部分については前記走査線 (1) の線幅を狭くして、前記走査線 (1) と前記補助容量束ね線とが交差する部分によって形成される配線容量を小さくし、

前記補助容量線が前記補助容量束ね線 (3) と交差する部分については前記補助容量線の線幅を広くした矩形部分 (以下「補助容量線矩形部」ともいう) を設けて、

前記走査線 (1) が前記補助容量束ね線 (3) と交差する部分であって、線幅が狭い矩形部分 (以下「走査線矩形部」ともいう) と前記走査線の通常の線幅部分との境界の通常の線幅部分側の角部 (以下「走査線矩形角部」ともいう) と、前記補助容量線矩形部 (5) が形成する角部のうち前記走査線矩形角部 (6) に最も近接する角部 (7) と、を対向させて、前記走査線矩形角部 (6) と前記補助容量線矩形角部 (7) の間の距離を短くすることにより、非接触で前記走査線矩形角部 (6) と前記補助容量線矩形角部 (7) との間での放電が容易になるように構成されていることを特徴とする。

【 0 0 1 3 】

また、請求項 2 に記載の発明は、請求項 1 に記載の表示装置に係り、

前記補助容量線矩形部は、交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりも、ともにはみ出すように形成するとともに、前記走査線矩形部も交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりもはみ出すように形成して、前記補助容量線矩形部の前記補助容量線方向の長さ、前記走査線矩形部の前記走査線方向の長さとは略同じとなるように構成されていることを特徴とする。

【 0 0 1 4 】

また、請求項 3 に記載の発明は、請求項 1 または 2 に記載の表示装置に係り、

前記走査線矩形角部 (6) および前記補助容量線矩形角部 (7) の角の角度を略 9 1 度とすることを特徴とする。

【 0 0 1 5 】

また、請求項 4 に記載の発明は、請求項 1 乃至 3 のいずれかに記載の表示装置に係り、前記光変調層が液晶層を含むことを特徴とする表示装置。

【 0 0 1 6 】

また、請求項 5 に記載の発明は、表示装置の製造方法であって、

第 1 の絶縁基板上に形成された複数の走査線 (1) 及び複数の補助容量線 (2) と、前記走査線 (1) 及び前記補助容量線が形成された層とは異なる層に絶縁膜を介して配設され、前記走査線 (1) 及び前記補助容量線との双方に交差するように配列された信号線と、

前記複数の走査線 (1) と前記複数の信号線とがお互いに交差して形成される各格子内に配設された画素電極と、を備えた画素電極アレイ基板と、

前記画素電極アレイ基板に対向する対向電極が第 2 の絶縁基板上に形成された対向基板

10

20

30

40

50

と、

マトリックス状に配列された前記画素電極部の外側周辺において複数の前記補助容量線を短絡しながら前記信号線と平行方向に配設されている補助容量束ね線と、

前記画素電極アレイ基板と前記対向基板との間に光変調層と、を備えた表示装置において、

前記走査線(1)と、前記補助容量束ね線とが交差する部分については前記走査線(1)の線幅を狭くして、前記走査線(1)と前記補助容量束ね線とが交差する部分によって形成される配線容量を小さくし、

前記補助容量線が前記補助容量束ね線(3)と交差する部分については前記補助容量線の線幅を広くした補助容量線矩形部を設けて、

前記走査線(1)が前記補助容量束ね線(3)と交差する部分であって、線幅が狭い走査線矩形部分と前記走査線の通常の線幅部分との境界の通常の線幅部分側の走査線矩形角部と、前記補助容量線矩形部(5)が形成する角部のうち前記走査線矩形角部(6)に最も近接する角部(7)と、を対向させて、前記走査線矩形角部(6)と前記補助容量線矩形角部(7)の間の距離を短くすることにより、非接触で前記走査線矩形角部(6)と前記補助容量線矩形角部(7)の間での放電が容易になるように構成することを特徴とする。

【0017】

また、請求項6に記載の発明は、請求項5に記載の表示装置の製造方法に係り、

前記補助容量線矩形部は、交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりも、ともにはみ出すように形成するとともに、前記走査線矩形部も交差する前記補助容量束ね線の両側において、前記補助容量束ね線の線幅よりもはみ出すように形成して、前記補助容量線矩形部の前記補助容量線方向の長さ、前記走査線矩形部の前記走査線方向の長さとは略同じとなるように構成することを特徴とする。

【0018】

また、請求項7に記載の発明は、請求項5または6に記載の表示装置の製造方法に係り、

前記走査線矩形角部(6)および前記補助容量線矩形角部(7)の角の角度を略91度とすることを特徴とする。

【0019】

また、請求項8に記載の発明は、請求項5乃至7のいずれかに記載の表示装置の製造方法に係り、

前記光変調層は液晶層であることを特徴とする。

【発明の効果】

【0020】

本発明によれば、表示装置の製造工程において、静電破壊が生じても機能障害が発生しにくい場所に、特別な突起等を設けることなく、静電気放電を生じさせ易い部分を作成することができ、製造工程における不良品の発生率を低減できる。また、走査線と補助容量束ね線とが交差する部分の、走査線の幅を狭くすることにより、走査線と補助容量束ね線とが交差する部分によって形成される静電容量を小さくすることができ、その結果、走査線の時定数が小さくなり、走査線に、より高速の電気信号を与えることができる。そして、表示画面の大型化や表示品質の向上を図ることができる。

【発明を実施するための最良の形態】

【0021】

以下、図を参照しつつ、発明を実施するための最良の形態につき説明する。

図1は、本発明の実施の形態を説明するための表示装置のTFTアレイ基板の一部を示す概略説明図である。図2は図1に係る部分がTFTアレイ基板のどこに位置するかを示す、TFTアレイ基板の部分説明図である。図1において、1は走査線であり、2は補助容量線であり、3は補助容量束ね線であり、4は走査線矩形部であり、5は補助容量線矩

10

20

30

40

50

形部であり、6は走査線矩形角部であり、7は補助容量線矩形角部であり、8はスルーホールであり、Aは補助容量線矩形部5の右側端が補助容量束ね線3の線幅よりはみ出している長さであり、Bは補助容量線矩形部5の左側端が補助容量束ね線3の線幅よりはみ出している長さである。なお、スルーホール8は補助容量束ね線3と補助容量線3を電氣的に短絡するためのものである。

【0022】

また、図2において、30はガラス基板であり、21は図1に示されている部分がTFTアレイ基板のどこに位置しているかを示すものであり、22はTFTアレイ基板のうち表示機能に係る素子が設置されている領域を示すものである。

【0023】

走査線1が補助容量束ね線3と交差する部分においては、走査線1の配線幅を狭くして、図1の走査線矩形部4に示されるように走査線の形状を設計し作製する。このように該交差する走査線1の配線幅を狭くすることにより、補助容量束ね線3と交差する部分において対向する走査線の面積が小さくなり、この交差部分における配線容量が小さくなる。その結果、走査線の時定数も小さくなり、走査線に、より高速の電気信号を与えることが可能となる。

【0024】

補助容量線2のうち補助容量束ね線3と交差する配線部分については、補助容量線2の線幅を広くして図1の補助容量線矩形部5に示されるように補助容量線を設計し作製する。補助容量線2の線幅を広くして補助容量線矩形部5を形成することにより、補助容量線矩形角部7を隣接する走査線矩形角部6に、通常の配線形状の場合よりも接近させることができる。そして、走査線矩形部4及び補助容量線矩形部5の形状・寸法を調整して、補助容量線矩形角部7と隣接する走査線矩形角部6との間の距離を適当な値にすることにより、製造工程において発生する静電荷を補助容量線矩形角部7と隣接する走査線矩形角部6の間に放電させることができる。図に基づいて説明する。図6は走査線矩形角部と補助容量線矩形角部とが対向している様子を説明するための説明断面図である。図6において、Cは補助容量線矩形角部7と隣接する走査線矩形角部6との間の距離である。このCの値が製造工程において発生した静電荷により補助容量線矩形角部7と隣接する走査線矩形角部6との間に発生する数千ボルトの大きな電位差が生じた場合には放電するが、通常の表示装置の動作時に生じるような数十ボルト程度の電位差では放電しないような値となるように、走査線1と補助容量線2の間隔及び、走査線矩形部4及び補助容量線矩形部5の形状・寸法を調整する。

【0025】

また、走査線矩形部4の走査線方向の辺の長さは、補助容量束ね線3の配線幅よりも長くして、走査線矩形部4の走査線方向の辺が補助容量束ね線3の配線の両側においてはみ出るようにすると、さらに好適である。この場合には、補助容量線矩形角部7と隣接する走査線矩形角部6の上部には、補助容量束ね線3は存在しないこととなり、補助容量線矩形角部7と隣接する走査線矩形角部6との間で静電荷が放電して、その結果ピンホールが形成された場合であっても、その後の製造で補助容量束ね線が形成されても、短絡不良が発生しにくいからである。

【0026】

同様な場合について、図に基づいて説明する。図4は静電荷の放電によって絶縁膜が損傷してピンホール欠陥が生じた様子を示す断面図である。ここで、例えば、ピンホール47の下が走査線1であるとする、その後の製造工程で信号線が形成されるとピンホール47が金属等で埋められてしまう。その結果、走査線1と信号線とが短絡して、機能障害を生じてしまう。なお、図4において、45は絶縁体層であり、41はガラス基板であり、46は薄膜半導体層である。

【0027】

図5は図4に示されるピンホール欠陥が、その後の工程で短絡不良となった状態を示す

10

20

30

40

50

断面図である。図 5 において、4 4 は、信号線であり、ピンホール 4 7 に埋められた金属によって、走査線 1 が信号線 4 4 と短絡してしまい機能障害を引き起こす。

【 0 0 2 8 】

この図 4 と図 5 の場合と同様に、補助容量線矩形角部 7 と隣接する走査線矩形角部 6 の間で静電荷が放電して、ピンホールが形成されても、その上部に配線が形成されなければ、短絡等による、機能障害は生じない。

【 0 0 2 9 】

また、本発明に係る T F T アレイ基板は、アクティブマトリックス型液晶表示装置の基板であり、画素電極アレイ基板と前記対向基板との間の光変調層とは、一般的には液晶である。ただし、本発明は液晶以外の光変調層を有する表示装置に係る画素電極アレイ基板にも適用できる。

10

【 0 0 3 0 】

また、本発明に係るアレイ基板の製造方法は公知のフォトリソ工程によるものであり、特に特徴はないので説明は省略する。

【図面の簡単な説明】

【 0 0 3 1 】

【図 1】本発明の実施の形態を説明するための表示装置の T F T アレイ基板の一部を示す概略説明用平面図である

【図 2】図 1 に係る部分が T F T アレイ基板のどこに位置するかを示す、T F T アレイ基板の部分説明用平面図である。

20

【図 3】ショートリングを有する T F T アレイ基板の概略平面図である。

【図 4】表示装置の製造工程において静電荷の放電によって絶縁層が損傷して生じたピンホール欠陥を示す概略断面図である。

【図 5】図 4 に示されるピンホール欠陥が、その後の工程で短絡不良となった状態を示す断面図である。

【図 6】走査線矩形角部と補助容量線矩形角部とが対向している様子を説明するための説明断面図である。

【符号の説明】

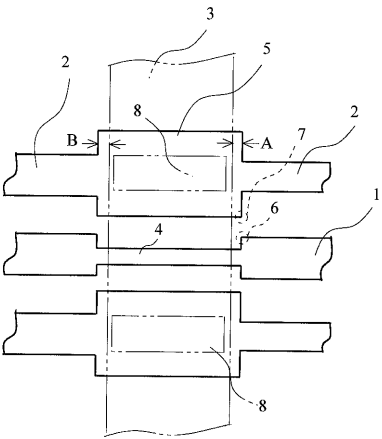
【 0 0 3 2 】

1	走査線
2	補助容量線
3	補助容量束ね線
4	走査線矩形部
5	補助容量線矩形部
6	走査線矩形角部
7	補助容量線矩形角部
8	スルーホール
4 1	ガラス基板
4 4	信号線
4 5	絶縁体層
4 6	薄膜半導体層
4 7	ピンホール

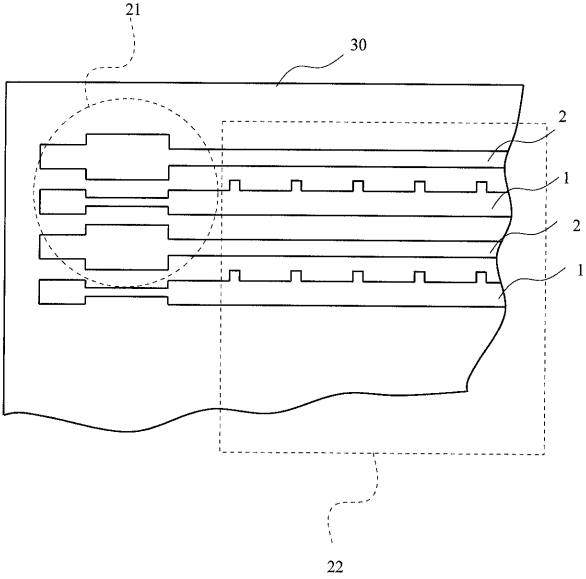
30

40

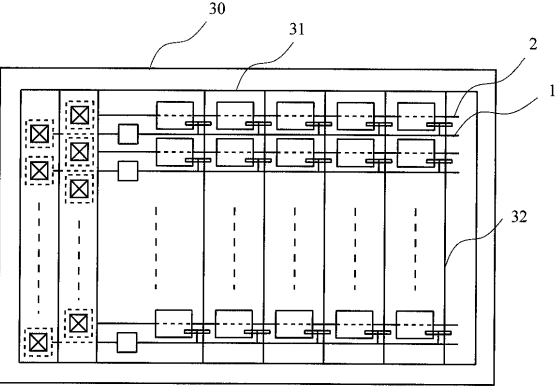
【図 1】



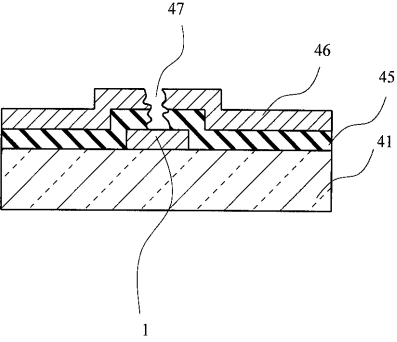
【図 2】



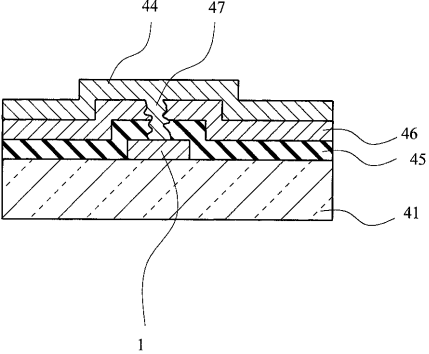
【図 3】



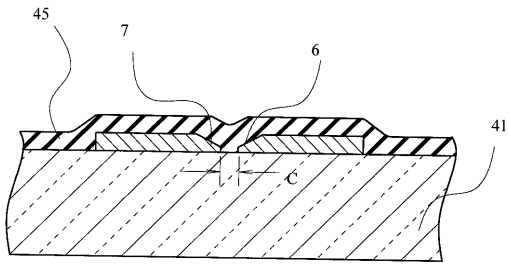
【図 4】



【図 5】



【図 6】



フロントページの続き

F ターム(参考) 2H092 GA11 JA24 JA46 JB22 JB31 JB56 NA14 PA01
5C094 AA31 AA42 AA43 BA02 BA43 CA19 EA10 FB12 JA09
5F110 AA22 AA26 BB01 DD02 HM20 NN72 NN73

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2008065275A	公开(公告)日	2008-03-21
申请号	JP2006246079	申请日	2006-09-11
[标]申请(专利权)人(译)	龙腾光电霍顿拖延者有限公司		
申请(专利权)人(译)	龙腾光电霍顿拖延者有限公司		
[标]发明人	川野英郎 砂山英樹		
发明人	川野 英郎 砂山 英樹		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786		
CPC分类号	G02F1/136286 G02F1/136204 G02F1/136213		
FI分类号	G02F1/1368 G09F9/30.330.Z H01L29/78.612.A G09F9/30.330		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB56 2H092/NA14 2H092/PA01 5C094/AA31 5C094/AA42 5C094/AA43 5C094/BA02 5C094/BA43 5C094/CA19 5C094/EA10 5C094/FB12 5C094/JA09 5F110/AA22 5F110/AA26 5F110/BB01 5F110/DD02 5F110/HM20 5F110/NN72 5F110/NN73 2H192/AA24 2H192/CC17 2H192/DA12 2H192/DA72 2H192/FA32 2H192/FA35 2H192/FA39 2H192/FA46 2H192/GA14 2H192/GA42		
代理人(译)	竹内洋一		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，该液晶显示装置能够减少在液晶显示装置的制造步骤中由于电极的绝缘层或电极之间的静电破坏而导致的显示不良等缺陷的发生，并且具有一种用于有源矩阵型液晶显示装置的精细布线的布线结构，其改善了扫描线的时间常数，并提供了一种液晶显示装置的制造方法。ŽSOLUTION：在阵列基板的制造步骤中，通过缩小扫描线交叉的部分的布线宽度来减小扫描线与辅助电容束线相交的部分的面积。在扫描线中的辅助电容束线，通过减小布线容量来减小扫描线的时间常数，同时，通过加宽相邻扫描线的布线宽度来缩短相邻扫描线的距离和缩短辅助电容线的宽度。辅助电容线与辅助电容线中的辅助电容束线相交的部分，由此，在制造步骤等期间产生的静电电荷在相邻扫描线和辅助电容线彼此最接近的部分上充电。结果，可以防止在制造步骤等中由于静电破坏引起的缺陷的发生。Ž

