

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9058

(P2008-9058A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H091
G02F 1/133 (2006.01)	G02F 1/133 550	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H093
G02F 1/13357 (2006.01)	G02F 1/13357	5C006
G02F 1/1335 (2006.01)	G02F 1/1335 520	5C080
審査請求 未請求 請求項の数 16 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2006-178318 (P2006-178318)	(71) 出願人	390019839
(22) 出願日	平成18年6月28日 (2006.6.28)		三星電子株式会社
(31) 優先権主張番号	10-2006-0057701		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成18年6月26日 (2006.6.26)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	横山 良一
			東京都港区六本木 3-1-1 六本木ティ
			ーキューブ 日本サムスン株式会社内
		(72) 発明者	千田 みちる
			東京都港区六本木 3-1-1 六本木ティ
			ーキューブ 日本サムスン株式会社内
		最終頁に続く	

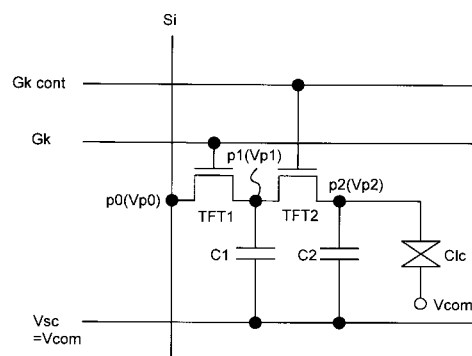
(54) 【発明の名称】 液晶モジュール、液晶モジュールの駆動方法及び液晶表示装置

(57) 【要約】

【課題】次フィールドになる迄画素電極の電位を保持し目的の表示を保持することのできる液晶モジュールを提供すること。

【解決手段】ソース・ドレインの一方がソース線に接続され、他方が第TFTのソース・ドレインに接続され、ゲートが第1ゲート信号線に接続された第1TFT、ソース・ドレインの他方が画素電極に接続され、ゲートが第2ゲート信号線に接続された第2の薄膜TFT、共通線、第1薄膜TFTと第2TFTとの接続部と共通線とそれらに挟持された第1絶縁体でなる第1容量C1、第2TFTのソース・ドレインのうち画素電極に接続されている接続部と共通線とそれらに挟持された第2絶縁体でなる第2容量C2、及び画素電極と対向電極とそれらに挟持された液晶とでなる第3容量C1cを有する画素がマトリクス状に配置された液晶モジュールであって、ソース線には下記式を満たすオーバードライブ電圧Voverが表示信号Vsigに加えて印加される。

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig}$$



【特許請求の範囲】

【請求項 1】

ソース又はドレインの一方がソース線に接続され、他方が第 2 の薄膜トランジスタのソース又はドレインに接続され、ゲートが第 1 のゲート信号線に接続された第 1 の薄膜トランジスタと、

ソース又はドレインの他方が画素電極に接続され、ゲートが第 2 のゲート信号線に接続された前記第 2 の薄膜トランジスタと、

共通線と、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタとの接続部と前記共通線とそれらに挟持された第 1 の絶縁体でなる第 1 の容量 C 1 と、

10

前記第 2 の薄膜トランジスタのソース又はドレインのうち、前記画素電極に接続されている接続部と前記共通線とそれらに挟持された第 2 の絶縁体でなる第 2 の容量 C 2 と、

前記画素電極と対向電極とそれらに挟持された液晶とでなる第 3 の容量 C 1 c と、

を有する画素がマトリクス状に配置された液晶モジュールであって、

前記ソース線には、下記式を満たすオーバードライブ電圧 V over が表示信号 V sig に加えて印加されることを特徴とする液晶モジュール。

$$V_{over} = \frac{C_1}{C_2 + C_{1c}} \cdot V_{sig}$$

20

【請求項 2】

1 つの前記画素において、順に、

前記第 2 のゲート信号線に H i g h を入力し、

前記第 1 のゲート信号線に H i g h を入力し、

前記ソース線に (V sig + V over) を印加し、

前記第 1 のゲート信号線に L o w を入力し、

30

前記第 2 のゲート信号線に L o w を入力し、

前記第 1 のゲート信号線に H i g h を入力し、

前記第 1 のゲート信号線に L o w を入力することを特徴とする請求項 1 に記載の液晶モジュール。

【請求項 3】

1 つの前記画素において、順に、

前記第 2 の薄膜トランジスタを O N し、

前記第 1 の薄膜トランジスタを O N し、

前記ソース線に (V sig + V over) を印加し、

前記第 1 の薄膜トランジスタを O F F し、

40

前記第 2 の薄膜トランジスタを O F F し、

前記第 1 の薄膜トランジスタを O N し、

前記第 1 の薄膜トランジスタを O F F することを特徴とする請求項 1 に記載の液晶モジュール。

【請求項 4】

前記第 1 の薄膜トランジスタ及び前記第 2 の薄膜トランジスタは、ポリシリコンでなることを特徴とする請求項 1 に記載の液晶モジュール。

【請求項 5】

前記第 1 の薄膜トランジスタ及び前記第 2 の薄膜トランジスタは、アモルファスシリコンでなることを特徴とする請求項 1 に記載の液晶モジュール。

50

【請求項 6】

前記画素の前記共通線は、前記画素に行方向に隣接する画素の共通線として用いることを特徴とする請求項 1 に記載の液晶モジュール。

【請求項 7】

前記液晶モジュールは、前記画素電極が金属からなる反射型の液晶モジュールであることを特徴とする請求項 1 に記載の液晶モジュール。

【請求項 8】

前記液晶モジュールと、
バックライトと、
を有する請求項 1 に記載の液晶表示装置。

10

【請求項 9】

前記液晶モジュールと、
バックライトと、
を有する請求項 7 に記載の液晶表示装置。

【請求項 10】

請求項 8 に記載の前記液晶表示装置を有する液晶モニター。

【請求項 11】

請求項 9 に記載の前記液晶表示装置を有する液晶モニター。

【請求項 12】

請求項 8 に記載の前記液晶表示装置を有する液晶テレビ。

20

【請求項 13】

請求項 9 に記載の前記液晶表示装置を有する液晶テレビ。

【請求項 14】

ソース又はドレインの一方がソース線に接続され、他方が第 2 の薄膜トランジスタのソース又はドレインに接続され、ゲートが第 1 のゲート信号線に接続された第 1 の薄膜トランジスタと、

ソース又はドレインの他方が画素電極に接続され、ゲートが第 2 のゲート信号線に接続された前記第 2 の薄膜トランジスタと、

共通線と、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタとの接続部と前記共通線とそれらに挟持された第 1 の絶縁体でなる第 1 の容量 C1 と、

30

前記第 2 の薄膜トランジスタのソース又はドレインのうち、前記画素電極に接続されている接続部と前記共通線とそれらに挟持された第 2 の絶縁体でなる第 2 の容量 C2 と、

前記画素電極と対向電極とそれらに挟持された液晶とでなる第 3 の容量 C1c と、

を有する画素がマトリクス状に配置された液晶モジュールの駆動方法であって、

前記ソース線には、下記式を満たすオーバードライブ電圧 Vover が表示信号 Vsig に加えて印加されることを特徴とする液晶モジュールの駆動方法。

$$V_{over} = \frac{C_1}{C_2 + C_{1c}} \cdot V_{sig}$$

40

【請求項 15】

1 つの前記画素において、順に、

前記第 2 のゲート信号線に High を入力し、

前記第 1 のゲート信号線に High を入力し、

前記ソース線に (Vsig + Vover) を印加し、

50

前記第 1 のゲート信号線に L o w を入力し、
前記第 2 のゲート信号線に L o w を入力し、
前記第 1 のゲート信号線に H i g h を入力し、
前記第 1 のゲート信号線に L o w を入力することを特徴とする請求項 1 4 に記載の液晶モジュールの駆動方法。

【請求項 1 6】

1 つの前記画素において、順に、
前記第 2 の薄膜トランジスタを O N し、
前記第 1 の薄膜トランジスタを O N し、
前記ソース線に (V sig + V over) を印加し、
前記第 1 の薄膜トランジスタを O F F し、
前記第 2 の薄膜トランジスタを O F F し、
前記第 1 の薄膜トランジスタを O N し、
前記第 1 の薄膜トランジスタを O F F することを特徴とする請求項 1 4 に記載の液晶モジュールの駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、液晶モジュール、液晶モジュールの駆動方法及び液晶表示装置に関する。

【背景技術】

20

【0 0 0 2】

一般に、液晶表示装置は、低電圧駆動、低消費電力、軽量、薄型等優れた特性を有しており、パーソナルコンピュータにおけるモニター装置、テレビ受像機等のディスプレイ装置として多く用いられている。

【0 0 0 3】

透過型の液晶表示装置は、バックライトと、このバックライトの前面に配置される液晶モジュールとで構成されている。バックライトはディスプレイパネルに光を供給する。液晶モジュールはバックライトから供給された光を変調し、画像として表示する。バックライトは、反射板、光源及び光学シートを有し、光源に電流を印加することでディスプレイユニットに光を供給する。

30

【0 0 0 4】

一方、反射型の液晶表示装置においては、液晶モジュールの画素電極は金属で構成されている。液晶モジュールに入射する外部からの光は、液晶層によって変調され、画素電極によって反射され、外部へ出射される。反射型の液晶表示装置は、補助的な光の供給のために、液晶モジュールの側面から光を供給するサイドライトを備えているものもある。

【0 0 0 5】

近年、液晶表示装置の表示品質を向上させるため、1画素に複数の T F T を備えた液晶表示装置の開発がなされている（下記特許文献 1 乃至 4 参照）。

【特許文献 1】特開 2 0 0 5 - 1 4 0 9 3 7 号公報

【特許文献 2】特開 2 0 0 5 - 3 2 6 6 2 4 号公報

40

【特許文献 3】特開 2 0 0 2 - 2 9 6 6 1 7 号公報

【特許文献 4】特開 2 0 0 3 - 2 2 2 9 0 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 6】

液晶モジュールにおいては、その画像表示領域にある画素 T F T を通して、画素 T F T のソース電極と共通電極とその間の絶縁体とで構成される蓄積容量と、画素電極と対向電極とその間の液晶とで構成される容量とに電荷を充電し、液晶の配向状態を変化させ、所望の表示を行う。液晶モジュールにおいては、1画面の間（1フィールド期間）、画素電極の電位を保持し、液晶の配向状態を保持する必要がある。しかしながら、画素 T F T の電

50

流リーク等により、１画面の間、画素電極の電位を一定に保持することは困難である。画素電極の電位が１画面の間保持できないと、液晶の配向状態が変化してしまい、１画面中、所望の表示を保持することができなくなる。

【０００７】

そこで、本発明は、１画面の間、即ち次のフィールドになるまで画素電極の電位を保持することによって、目的の表示を保持することのできる液晶モジュール、液晶モジュールの駆動回路及び液晶表示装置を提供することを課題とする。

【課題を解決するための手段】

【０００８】

本発明の一実施形態によると、

10

ソース又はドレインの一方がソース線に接続され、他方が第２の薄膜トランジスタのソース又はドレインに接続され、ゲートが第１のゲート信号線に接続された第１の薄膜トランジスタと、

ソース又はドレインの他方が画素電極に接続され、ゲートが第２のゲート信号線に接続された前記第２の薄膜トランジスタと、
共通線と、

前記第１の薄膜トランジスタと前記第２の薄膜トランジスタとの接続部と前記共通線とそれらに挟持された第１の絶縁体でなる第１の容量Ｃ１と、

前記第２の薄膜トランジスタのソース又はドレインのうち、前記画素電極に接続されている接続部と前記共通線とそれらに挟持された第２の絶縁体でなる第２の容量Ｃ２と、

20

前記画素電極と対向電極とそれらに挟持された液晶とでなる第３の容量Ｃ１ｃと、

を有する画素がマトリクス状に配置された液晶モジュールであって、

前記ソース線には、下記式を満たすオーバードライブ電圧 V_{over} が表示信号 V_{sig} に加えて印加されることを特徴とする液晶モジュールが提供される。

$$V_{over} = \frac{C_1}{C_2 + C_{lc}} \cdot V_{sig}$$

30

【０００９】

また、本発明の一実施態様によると、

ソース又はドレインの一方がソース線に接続され、他方が第２の薄膜トランジスタのソース又はドレインに接続され、ゲートが第１のゲート信号線に接続された第１の薄膜トランジスタと、

ソース又はドレインの他方が画素電極に接続され、ゲートが第２のゲート信号線に接続された前記第２の薄膜トランジスタと、
共通線と、

40

前記第１の薄膜トランジスタと前記第２の薄膜トランジスタとの接続部と前記共通線とそれらに挟持された第１の絶縁体でなる第１の容量Ｃ１と、

前記第２の薄膜トランジスタのソース又はドレインのうち、前記画素電極に接続されている接続部と前記共通線とそれらに挟持された第２の絶縁体でなる第２の容量Ｃ２と、

前記画素電極と対向電極とそれらに挟持された液晶とでなる第３の容量Ｃ１ｃと、

を有する画素がマトリクス状に配置された液晶モジュールの駆動方法であって、

前記ソース線には、下記式を満たすオーバードライブ電圧 V_{over} が表示信号 V_{sig} に加えて印加されることを特徴とする液晶モジュールの駆動方法が提供される。

$$V_{over} = \frac{C1}{C2+C1c} \cdot V_{sig}$$

【発明の効果】

【0010】

本発明の液晶モジュール、液晶モジュールの駆動方法及び液晶表示装置によると、1画面の間、即ち次のフィールドになるまで画素電極の電位を保持することができ、目的の表示を保持することができる。よって、本発明の液晶モジュール、液晶モジュールの駆動方法及び液晶表示装置によると、高画質の画像が提供できる。

【発明を実施するための最良の形態】

【0011】

本発明の液晶モジュール、液晶モジュールの駆動方法及び液晶表示装置の実施形態について、以下、図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に示す実施形態の記載内容に限定して解釈されるものではない。なお、以下の実施形態で参照する図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0012】

（実施形態1）

本発明の一実施形態に係る液晶表示装置の概略構成図を図1に示す。本発明の一実施形態に係る液晶表示装置100は、本発明の一実施形態に係る液晶モジュール110、バックライトユニット120、これらを収納する収納容器130、トップシャーシ140を有している。

【0013】

液晶モジュール110は、薄膜トランジスタ（以下「TFT」という。）基板111と、TFT基板111に対向して配置される対向基板112と、これら基板の間に配置される液晶とを有している。

【0014】

TFT基板111は、TFT及び電極を形成することができる限りにおいて特段限定されるわけではないが、例えば透明なガラス基板を用いることができる。本実施形態のTFT基板111は、画素のスイッチングTFTや駆動回路を構成するTFTを有している。本実施形態においては、これらのTFTは、ポリシリコンを用いて形成されている。なお、TFT基板111には、石英ガラスを用いても良い。また、本発明の液晶モジュール110を反射型とする場合は、上述のようなTFT基板を用いてもよいが、一方、単結晶シリコン基板を用い、単結晶シリコン基板上に形成されたトランジスタを画素のスイッチングトランジスタ及び駆動回路のトランジスタとして用いるようにしてもよい。

【0015】

対向基板112においても、TFT基板112と同様、特段限定されるわけではないが、例えば透明なガラス基板を用いることができる。対向基板112上にカラーフィルタ（以下「CF」という。）が形成される場合は、赤（R）、緑（G）、青（B）いずれかの色を透過させる色素を含む有機層をTFT基板111の各画素電極に対応して配置させることで実現できる。なお、TFT基板111上にCFが形成されるようにしてもよい。なお、本実施形態に係る液晶表示装置を透過型の液晶表示装置として用いる場合には、液晶表示装置100は、バックライトユニット120を背面に設置し、液晶モジュール110による光学変化を用いてバックライト装置120からの光を調節し画像として表示する。よって、TFT基板111、対向基板112の双方が透明な基板であることが望しい。また

10

20

30

40

50

、本発明の液晶モジュール１１０を反射型とする場合は、適宜、サイドライトを設けるようにしてもよい。

【００１６】

収納容器１３０は、底面１３１と、この底面１３１の端辺に設けられる側壁１３２を有して構成されており、液晶モジュール１１０、バックライト装置１２０等を収納する。なお収納容器１３０は、トップシャーシ１４０と嵌合させることにより、内部に収納された液晶モジュール１１０等を固定し、また、外部衝撃による破損を防止する。

【００１７】

次に、図２を参照する。本発明の一実施形態に係る液晶モジュール１１０の機能ブロック図を図２に示す。本発明の一実施形態に係る液晶モジュールは、マトリクス状に配置された複数の画素を有する画素部１１０ａと、画素部１１０のデータ線（ソース線）を駆動するデータ線駆動回路１１０ｂ、画素部１１０のゲート線を駆動するゲート線駆動回路１１０ｃ、データ線に供給する各種電圧を供給するVcom発生部１１０ｄ、y電圧発生部１１０ｅ、並びに、ゲート線駆動回路１１０ｃ、Vcom発生部１１０ｄ及びy電圧発生部１１０ｅに直流電源を供給するDC/DCコンバータ１１０ｆを有している。なお、画素部１１０ａ、データ線駆動回路１１０ｂ、ゲート線駆動回路１１０ｃ、Vcom発生部１１０ｄ、y電圧発生部１１０ｅ及びDC/DCコンバータ１１０ｆの全てをTFTによって構成するようにしてもよい。また、画素部１１０ａ、データ線駆動回路１１０ｂ及びゲート線駆動回路１１０ｃをTFTによって構成し、Vcom発生部１１０ｄ、y電圧発生部１１０ｅ及びDC/DCコンバータ１１０ｆをICチップによる集積回路によって構成するようにしてもよい。

【００１８】

本実施形態の画素部１１０ａの構成を図３示す。本実施形態の液晶モジュールの画素部１１０ａは、マトリクス状に配置された複数の画素２００を有している。本実施形態においては、画素部１１０ａには、 $m \times n$ 個の画素２００が配置されている（ m 、 n は自然数）。なお、 k 行・ i 列目の画素を（ k ， i ）と表記する場合がある。（ k ， i ）番目の画素２００には、ソース線 S_i 、第１ゲート線 G_k 、及び第２ゲート線 $G_{k\text{ cont}}$ が接続されている。

【００１９】

ここで、本実施形態の画素部１１０ａにおける１つの画素２００の構成について図４を用いて詳細に説明する。説明の便宜上、図４には（ k ， i ）番目の画素を例にとって説明する。図４に示すとおり、本実施形態においては、画素２００は、２つのTFT（TFT１及びTFT２）を有している。本実施形態における画素２００においては、TFT１のソース又はドレインの何れか一方とTFT２のソース又はドレインの何れか一方とが接続されている。つまり、TFT１とTFT２とは直列に接続されている。TFT１の一端は、ソース線 S_k に接続されている。TFT１のソース又はドレインのうちソース線 S_i に接続されている一端を p_0 、TFT２の一端に接続されている一端を p_1 とする。また、TFT２のソース又はドレインのうち p_1 の他端を p_2 とする。TFT１の一端 p_1 は、TFT２の一端 p_1 と接続されている。TFT２の一端 p_2 は、画素電極（図示せず）に接続されている。TFT１及びTFT２の一端 p_1 は、保持容量共通線 SC との間に容量 C_1 を形成している。また、TFT２の一端 p_2 は、保持容量共通線 SC との間に容量 C_2 を形成している。なお、画素電極と共通電極 com の間には、液晶によって容量 C_{lc} が形成されている。なお、本実施形態においては、保持容量共通線 SC の電位は、共通電極の電位 V_{com} と同じであるが、これに限定されるわけではない。

【００２０】

図４に示すとおり、本実施形態の画素部２００は、２つのTFT１及びTFT２を有している。本実施形態の液晶モジュールにおいては、これら２つのTFT１及びTFT２に接続されているゲート線 G_k 及び $G_{k\text{ cont}}$ 並びにソース線 S_i に入力する信号を制御することにより、画素電極の電位を保持することができる。

【 0 0 2 1 】

図 5 を参照する。図 5 には、本実施形態に係る液晶モジュール 1 1 0 のゲート線駆動回路 1 1 0 c の回路構成の概略について説明した図である。図 5 においては、説明の便宜上、ゲート線 G k-1 及び G k-1 cont、G k 及び G k cont、ゲート線 G t 及び G t cont、並びにゲート線 G t+1 及び G t+1 cont に接続されているゲート線駆動回路 1 1 0 c の部分について図示している。なお、図 5 に示すゲート線駆動回路 1 1 0 c の回路構成は、本発明の液晶モジュールを実現する一例に過ぎず、当業者によって適宜設計変更可能である。

【 0 0 2 2 】

ゲート線駆動回路 1 1 0 c は、シフトレジスタ S R (0) ~ S R (n)、及びシフトレジスタ回路 S R (0) ~ S R (n) からのタイミング信号を受け、ゲート線 G 1 ~ G n 及び G 1 cont ~ G n cont へ送信するタイミング信号を生成するゲート信号生成回路 2 1 0 (0) ~ 2 1 0 (n) を有している。図 5 においては、ゲート線 G k-1 及び G k-1 cont、G k 及び G k cont、ゲート線 G t 及び G t cont、並びにゲート線 G t+1 及び G t+1 cont に接続されているゲート信号生成回路 2 1 0 (k - 1)、2 1 0 (k)、2 1 0 (t) 及び 2 1 0 (t + 1) が図示されている。

【 0 0 2 3 】

本実施形態においては、ゲート信号生成回路 2 1 0 (0) ~ 2 1 0 (n) は、それぞれ、3 つの N A N D 回路 (N A N D 1、N A N D 2、N A N D 3)、2 つの N O R 回路 (N O R 1、N O R 2)、及び 2 つのインバータ回路 (I N V 1、I N V 2) を有している。なお、図 5 に示す本実施形態におけるゲート信号生成回路 2 1 0 (0) ~ 2 1 0 (n) は、本発明の液晶モジュールを実現する一例に過ぎず、これに限定されるわけではない。

【 0 0 2 4 】

ゲート信号生成回路 2 1 0 (0) ~ 2 1 0 (n) のうち、ゲート信号生成回路 2 1 0 (k - 1)、2 1 0 (k)、2 1 0 (t) 及び 2 1 0 (t + 1) の回路構成を図 5 に示す。なお、ゲート信号生成回路 2 1 0 (0) ~ 2 1 0 (n) は、全て同じ回路構成である。

【 0 0 2 5 】

ここでは、ゲート信号生成回路 2 1 0 (k) を例にとって説明する。ゲート信号生成回路 2 1 0 (k) の N A N D 1 には、シフトレジスタ回路 S R (k) からのタイミング信号とシフトレジスタ回路 S R k の 2 0 段隣のシフトレジスタ回路 S R (k + 2 0) (図示せず) からのタイミング信号とが入力される。なお、本実施形態においては、ゲート信号生成回路 2 1 0 k の N A N D 1 には、シフトレジスタ回路 S R (k) からのタイミング信号とシフトレジスタ回路 S R (k) の 2 0 段隣のシフトレジスタ回路 S R (k + 2 0) (図示せず) からのタイミング信号とが入力されるようにしているが、どのシフトレジスタ回路からのタイミング信号を N A N D 1 に入力するかは、後述するオーバードライブ電圧 V o v e r を印加するオーバードライブ期間 T o v e r、表示周波数、画素数等によって適宜調整することができる。

【 0 0 2 6 】

N A N D 1 の出力は、I N V 1 に入力される。I N V 1 の出力及び共通信号 1 (イネーブル信号 E N B) は、N A N D 2 に入力される。ゲート信号生成回路 2 1 0 - k の 2 0 段隣のゲート信号生成回路 2 1 0 (k + 2 0) (図示せず) の N A N D 1 (図示せず) の出力及び前記共通信号 1 が N O R 1 に入力され、N O R 1 の出力は I N V 2 に入力され、I N V 2 の出力が第 2 のゲート信号線 G k cont に出力される。なお、本実施形態においては、ゲート信号生成回路 2 1 0 (k) の 2 0 段隣のゲート信号生成回路 2 1 0 (k + 2 0) (図示せず) の N A N D 1 (図示せず) の出力がゲート信号生成回路 2 1 0 (k) の N O R 1 に入力されるようにしているが、どのゲート信号生成回路 2 1 0 の N A N D 1 の出力をゲート信号生成回路 2 1 0 (k) の N O R 1 に入力するかは、後述するオーバードライブ電圧 V o v e r を印加するオーバードライブ期間 T o v e r、表示周波数、画素数等によって適宜調整することができる。

【 0 0 2 7 】

ゲート信号生成回路 210 (k) の 20 段隣のゲート信号生成回路 210 (k + 20) の INV 1 の出力と共通信号 2 とが NAND 3 に入力される。なお、本実施形態においては、ゲート信号生成回路 210 (k) の 20 段隣のゲート信号生成回路 210 (k + 20) の INV 1 の出力と共通信号 2 とが NAND 3 に入力されるようにしているが、どのゲート信号生成回路 210 の INV 1 の出力を NAND 3 に入力するかは、後述するオーバードライブ電圧 Vover を印加するオーバードライブ期間 Tover、表示周波数、画素数等によって適宜調整することができる。

【0028】

NAND 2 の出力と NAND 3 の出力とが NOR 2 に入力され、NOR 2 の出力が第 1 のゲート信号線 Gk に出力される。

10

【0029】

ここで、本実施形態に係る本発明の液晶モジュールの駆動について図 6 及び図 7 を参照しながら説明する。図 6 は、本実施形態に係る本発明の液晶モジュールの画素 200 における画素部の電位の遷移を説明した図である。また、図 7 は、本実施形態に係る本発明の液晶モジュールの画素 200 における画素部の電位及びゲート信号線の電位の遷移を説明した図である。ここでは、説明の便宜上、図 4 に示す画素 (k, i) とそれに隣接する画素 (k + 1, i) を例にとって説明する。なお、他の画素においても画素 (k, i) 及び (k + 1, i) と同様である。

【0030】

期間 (1) : ゲート信号線駆動回路 110c からゲート線 Gk cont に High が入力され TFT 2 が ON する。そして、ゲート線 Gk にタイミング信号 High が送信され TFT 1 が ON する。その際、ソース線 Si に表示信号 (Vsig + Vover) を印加する。本実施形態においては、表示信号 (Vsig + Vover) は、本来の表示信号 Vsig にオーバードライブ電圧 Vover を加えた信号である。TFT 1 及び TFT 2 が ON することによって、ソース線 Si より表示信号 (Vsig + Vover) を TFT 1 の一端 p1 及び TFT 2 の一端 p2 に充電する。TFT の一端 p1 の電位を Vp1、TFT 2 の一端 p2 の電位を Vp2 とすると、TFT 1 及び TFT 2 が ON することによって、p1 の電位 Vp1 及び p2 の電位 Vp2 が (Vsig + Vover) に充電される (状態 b)。

20

【0031】

期間 (2) : 次に、ゲート信号 Gk を Low にし、TFT 1 を OFF にすることによって p1 の電位 Vp1 及び p2 の電位 Vp2 は、(Vsig + Vover) に保持される (状態 c)。このとき、以下の数式 (1) が成立する。

30

【0032】

$$V_{p1}=V_{p2}=V_{sig}+V_{over}=V_{sig}+\frac{(C1+C2+C1c)V_{over}}{C1+C2+C1c} \quad \dots (1)$$

【0033】

期間 (3) : 次に、(1) から数 msec 後にゲート信号線 Gk cont に Low を入力することによって TFT 2 を OFF にし、且つゲート信号線 Gk に High を入力することによって TFT 1 を ON する。このとき、タイミングは水平期間の帰線期間にあり、ソース線 Si は対極信号 Vcom レベルにしておくことにより、TFT 1 を介して p1 の電位 Vp1 は Vcom に充電される (状態 d)。

40

【0034】

期間 (4) : 次に、ゲート信号線 Gk に Low を入力することによって TFT 1 を OFF し、ゲート信号線 Gk cont に High を入力することによって TFT 2 を ON する。このとき、p1 の電位 Vp1 及び p2 の電位 Vp2 は、以下の数式 (2) を満たす (状態 e)。

【0035】

50

$$V_{p1}=V_{p2}=V_{sig}+\frac{(C1+C2+C_{lc})V_{over}-C1 \cdot V_{sig}}{C1+C2+C_{lc}} \quad \dots (2)$$

【 0 0 3 6 】

ここで、数式 (2) の右辺の 2 項目がゼロとなるように V_{over} の電位を設定することによって、 $V_{p1}=V_{p2}=V_{sig}$ が成立する。即ち、以下の数式 (3) が成り立つように V_{over} を設定することによって、 $V_{p1}=V_{p2}=V_{sig}$ が成立する。 10

【 0 0 3 7 】

$$V_{over}=\frac{C1}{C2+C_{lc}} \cdot V_{sig} \quad \dots (3)$$

【 0 0 3 8 】

この数式 (3) を満たすことにより、 $V_{p1}=V_{p2}=V_{sig}$ が成立し、次のフィールドまで画素電極には V_{sig} が保持されることになり、所望の表示が得られる (状態 f) 。 20

【 0 0 3 9 】

なお、図 6 において、状態 f 以降の電位の遷移状態は、次のフィールド期間において、表示が白から黒に変化した場合の駆動電圧変化を示している。

【 0 0 4 0 】

例えば、ノーマリ・ブラック・モードにおいて、 $C1 : C2 : C_{lc} = 0.5 : 1 : 2$ とし、白表示の表示信号 V_{sig} (白) を 5 V、黒表示の表示信号 V_{sig} (黒) を 1.5 V とすると、白表示の表示信号に加えるオーバードライブ電圧 V_{over} (白) は 0.8 V、黒表示の表示信号に加えるオーバードライブ電圧 V_{over} (黒) は 0.25 V となる。

【 0 0 4 1 】

なお、例えば 60 Hz で画像を表示する場合、1 水平期間は 16.7 msec である。オーバードライブ期間 T_{over} (= 期間 (1) + 期間 (2) + 期間 (3)) は、全期間 $T_{over} + T_{sig}$ の 50 % 程度 (60 Hz で画像を表示する場合は、8.87 msec) 程度以下が好ましい。また、オーバードライブ期間 T_{over} は 5 msec 以下がより好ましく、正規の画像信号の印加期間 T_{sig} (= 期間 (4)) は 8 msec 以上が好ましい。なお、オーバードライブ期間及び正規の画像信号の印加期間 T_{sig} は、これらに限定されるわけではなく、適宜設定することができる。 30

【 0 0 4 2 】

次に、図 8 (a) にシフトレジスタ $SR(k-1)$ 、 $SR(k)$ 、 $SR(t)$ 、 $SR(t+1)$ が出力するタイミング信号、共通信号 1 (イネーブル信号 ENB)、 PSW 信号、第 1 ゲート線 G_k 及び G_{k+1} のゲート信号、第 2 ゲート線 $G_{k \text{ cont}}$ 及び $G_{k+1 \text{ cont}}$ のゲート信号、並びにラッチ信号 SRA_t のタイミングチャートを示す。また、図 8 (b) に (i , k) 番目の画素における p_1 の電位 V_{p1} 及び p_2 の電位 V_{p2} 並びにソース線 S_i の電位のタイミングチャートを示す。 40

【 0 0 4 3 】

本実施形態に係る本発明の液晶モジュール、液晶モジュールの駆動方法及び液晶表示装置によると、1 画面の間、即ち次のフィールドになるまで画素電極の電位を保持することができ、目的の表示を保持することができる。よって、本実施形態に係る本発明の液晶モジュール、液晶モジュールの駆動方法及び液晶表示装置によると、液晶の応答速度を早く出来るなどの高画質の画像が提供できる。 50

【 0 0 4 4 】

(実施形態 2)

本実施形態においては、上述の実施形態 1 における本発明の液晶モジュールにおいて、隣接する画素で保持容量共通線 S C を共通にする構成を採用する。

【 0 0 4 5 】

図 9 を参照する。本実施形態に係る液晶モジュールの画素部 1 1 0 a の構成を図 9 に示す。本実施形態の液晶モジュールの画素部 1 1 0 a は、マトリクス状に配置された複数の画素 2 0 0 を有している。本実施形態においては、画素部 1 1 0 a には、 $m \times n$ 個の画素 2 0 0 が配置されている (m 、 n は自然数)。(k , i) 番目の 1 つの画素 2 0 0 には、ソース線 S_i 、第 1 ゲート線 G_k 、及び第 2 ゲート線 $G_k \text{ cont}$ が接続されている。本実施形態においては、隣接する画素同士で保持容量共通線 S C を共通にする構成を採用している。こうすることによって、実施形態 1 の構成が奏する効果に加えて、保持容量共通線 S C の数を半減させることができ、その結果、保持容量共通線 S C の寄生容量が減少し、ソース線の充電時間を短縮することができる。また、ソース線の波形ひずみが減少し、クロストークを減少させることができる。

10

【 0 0 4 6 】

(実施形態 3)

本実施形態においては、本発明の液晶モジュール画素部を構成する T F T 1 及び T F T 2 にアモルファスシリコン T F T を用いている。

【 0 0 4 7 】

本実施形態に係る液晶モジュール 1 1 0 の機能ブロック図は実施形態 1 で説明した図 2 に示すとおりである。なお、本実施形態においては、画素部 1 1 0 a を構成する T F T 1 及び T F T 2 をアモルファスシリコンを用いて構成し、データ線駆動回路 1 1 0 b、ゲート線駆動回路 1 1 0 c、V c o m 発生部 1 1 0 d、 γ 電圧発生部 1 1 0 e 及び D C / D C コンバータ 1 1 0 f を I C チップによる集積回路によって構成するようにしている。

20

【 0 0 4 8 】

(実施形態 4)

実施形態 1 乃至 4 において、本発明の液晶モジュール画素部を構成する T F T 1 及び T F T 2 は、ボトムゲート型の T F T であってもよく、トップゲート型の T F T であってもよい。

30

【 0 0 4 9 】

(実施形態 5)

本実施形態においては、本発明に係る液晶表示装置を反射型の液晶表示装置とした例について説明する。本実施形態に係る液晶表示装置においては、画素電極を金属とし、外光を反射するようにしている。他の構成については、実施形態 1 乃至 4 と同様である。

【 0 0 5 0 】

本実施形態の反射型の液晶表示装置における液晶モジュール 3 1 0 の詳細について、図 1 0 を用いて説明する。図 1 0 に本実施形態における液晶モジュール 3 1 0 の画素部の断面図を示す。3 1 1 は基板であり、3 1 2 は層間絶縁膜、3 1 3 は画素電極、3 1 4 は対向電極、3 1 5 はカラーフィルタ、3 1 6 は対向基板、3 1 7 は液晶である。本実施形態においては、液晶モジュール 3 1 0 の画素部の画素電極は金属で構成されている。液晶モジュール 3 1 0 に入射する外部からの光は、液晶層によって変調され、画素電極 3 1 3 によって反射され、外部へ出射される。反射型の液晶表示装置は、補助的な光の供給のために、液晶モジュールの側面から光を供給するサイドライトを備えるようにしてもよい。

40

【 0 0 5 1 】

また、基板 3 1 1 の画素電極の上部にカラーフィルタを形成するようにしてもよい。

【 0 0 5 2 】

本実施形態に係る本発明の液晶モジュール画素部を構成する T F T 1 及び T F T 2 は、ボトムゲート型の T F T であってもよく、トップゲート型の T F T であってもよい。

【 産業上の利用可能性 】

50

【 0 0 5 3 】

本発明に係る液晶モジュール、液晶モジュールの駆動方法、液晶表示装置は、携帯電話におけるモニター装置からパーソナルコンピュータにおけるモニター装置、テレビ受像機等のディスプレイ装置までのすべての分野において有用である。

【 0 0 5 4 】

上述した実施形態は、本発明に係る液晶モジュール、液晶モジュールの駆動方法、液晶表示装置の例に過ぎず、本発明の技術的範囲は、これらに限定されるわけではない。

【 図面の簡単な説明 】

【 0 0 5 5 】

【 図 1 】 本発明の一実施形態に係る液晶表示装置の概略構成図である。

10

【 図 2 】 本発明の一実施形態に係る液晶モジュール 1 1 0 の機能ブロック図である。

【 図 3 】 本発明の一本実施形態の画素部 1 1 0 a の構成を示す。

【 図 4 】 本発明の一本実施形態の画素部 1 1 0 a における 1 つの画素 2 0 0 の構成を示す。

【 図 5 】 本発明の一実施形態に係る液晶モジュール 1 1 0 のゲート線駆動回路 1 1 0 c の回路構成の概略図である。

【 図 6 】 本発明の一実施形態に係る本発明の液晶モジュールの画素 2 0 0 における画素部の電位の遷移を示す図である。

【 図 7 】 本発明の一実施形態に係る本発明の液晶モジュールの駆動を説明するタイミングチャートである。

20

【 図 8 】 (a) にシフトレジスタ $S R (k - 1)$ 、 $S R (k)$ 、 $S R (t)$ 、 $S R (t + 1)$ が出力するタイミング信号、イネーブル信号 $E N B$ 、 $P S W$ 信号、第 1 ゲート線 $G k$ 及び $G k + 1$ のゲート信号、第 2 ゲート線 $G k \text{ cont}$ 及び $G k + 1 \text{ cont}$ のゲート信号、並びにラッチ信号 $S R A t$ のタイミングチャートを示す。(b) に (k , i) 番目の画素における $p 1$ の電位 $V p 1$ 及び $p 2$ の電位 $V p 2$ 並びにソース線 $S i$ の電位のタイミングチャートを示す。

【 図 9 】 本発明の一本実施形態の画素部 1 1 0 a の構成を示す。

【 図 1 0 】 本発明の一実施形態の反射型の液晶表示装置における液晶モジュール 3 1 0 の断面図である。

【 符号の説明 】

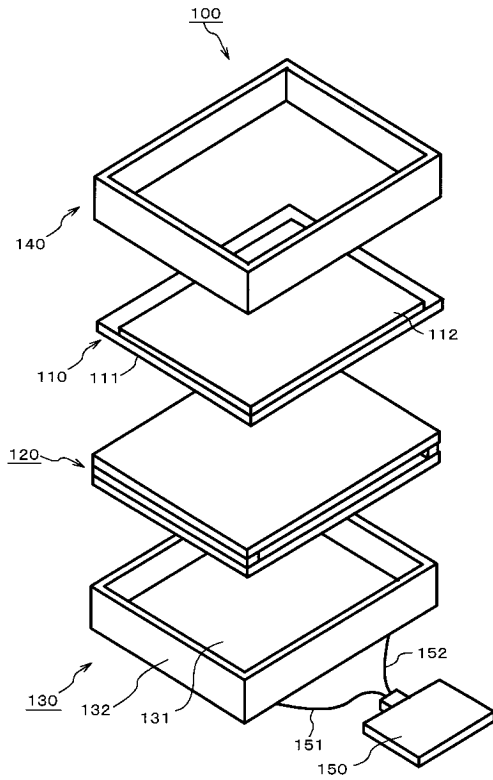
30

【 0 0 5 6 】

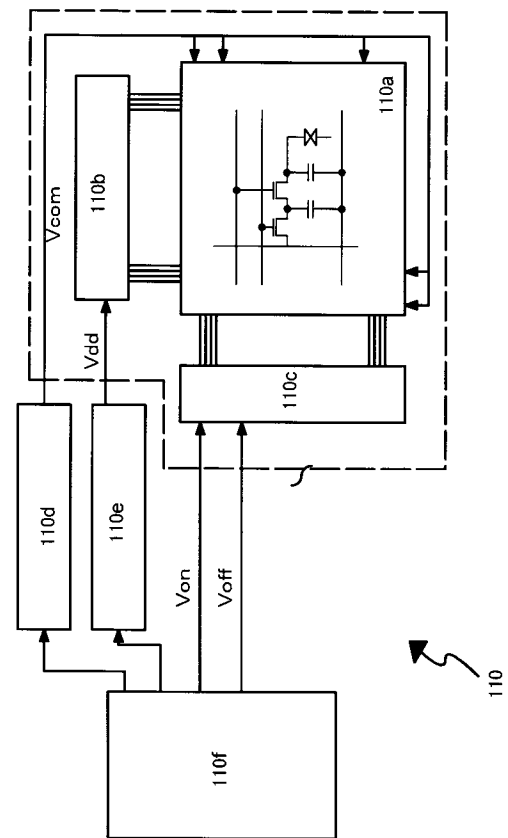
- 1 0 0 液晶表示装置
- 1 1 0 液晶モジュール
- 1 2 1 反射板
- 1 2 2 冷陰極管
- 1 2 3 光学シート
- 1 3 0 収納容器
- 1 3 1 底面
- 1 3 2 側壁
- 1 4 0 トップシャーシ

40

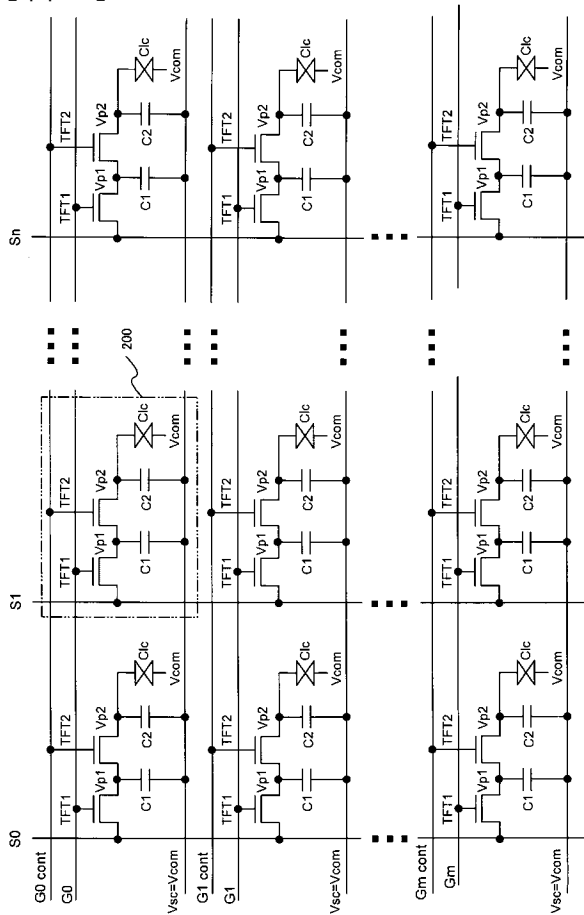
【図 1】



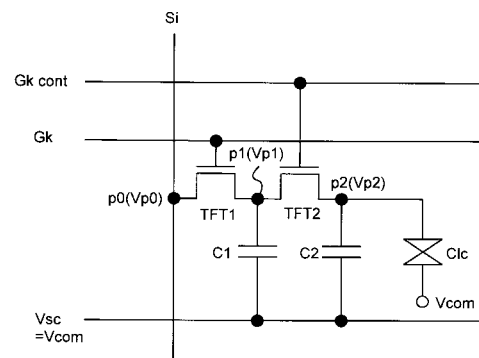
【図 2】



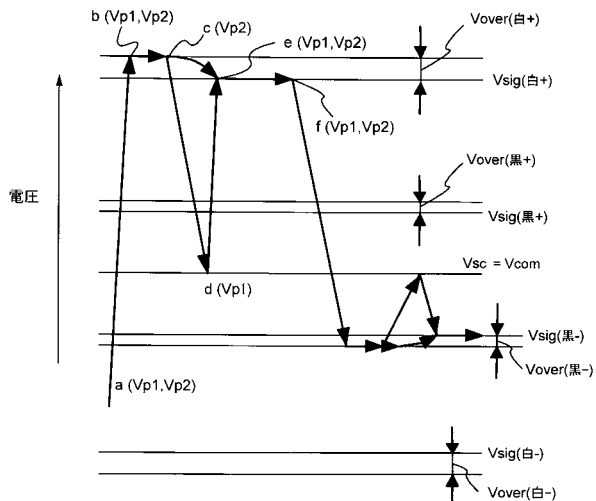
【図 3】



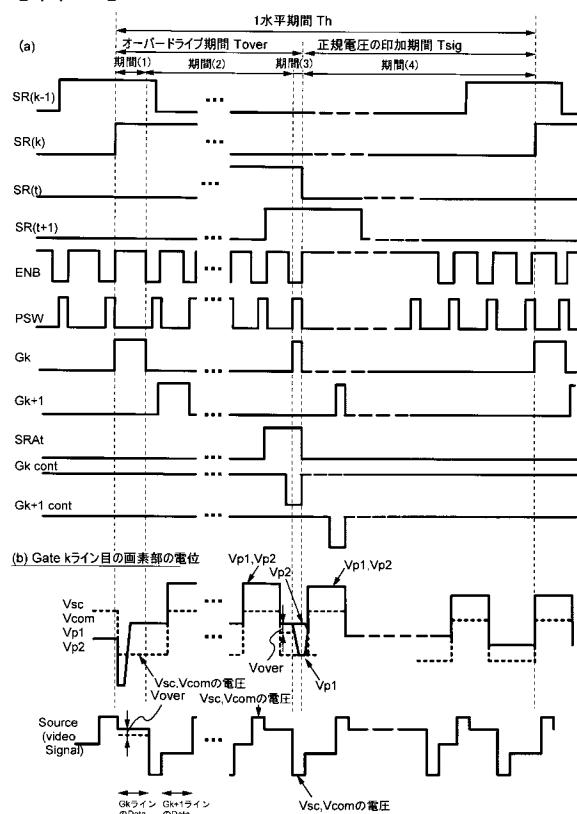
【図 4】



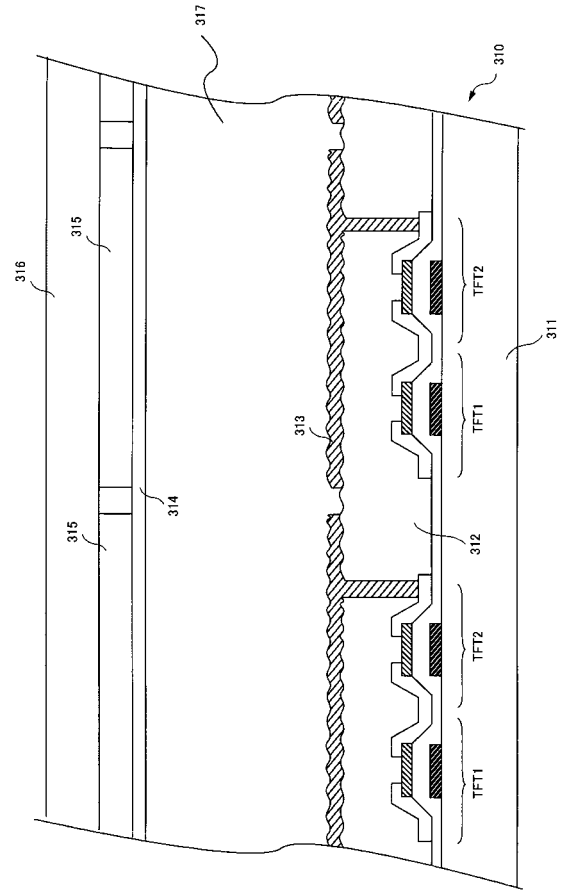
【圖 6】



【圖 8】



【 図 1 0 】



フロントページの続き

(51) Int.Cl.		F I		テーマコード (参考)
G 0 9 G	3/20	(2006.01)	G 0 9 G 3/20	6 2 4 B
			G 0 9 G 3/20	6 2 1 F
			G 0 9 G 3/20	6 2 2 C
			G 0 9 G 3/20	6 2 3 C

(72)発明者 上本 勉

東京都港区六本木 3 - 1 - 1 六本木ティーキューブ 日本サムスン株式会社内

F ターム(参考) 2H091 FA14Y FA41Z LA16 LA30

2H092 JA24 JA28 JA34 JA37 JA41 JB07 JB22 JB31 NA25 PA12

PA13

2H093 NA16 NC03 NC09 NC16 NC34 ND05 ND41 NE06

5C006 AC11 AC24 AF44 AF51 AF78 BB16 BC03 BC06 BC12 EA01

FA12

5C080 AA10 BB05 CC03 DD03 EE28 EE29 FF11 JJ02 JJ03 JJ04

JJ06

【要約の続き】

【選択図】 図 4

专利名称(译)	液晶模块，液晶模块的驱动方法和液晶显示装置		
公开(公告)号	JP2008009058A	公开(公告)日	2008-01-17
申请号	JP2006178318	申请日	2006-06-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	横山良一 千田みちる 上本勉		
发明人	横山 良一 千田 みちる 上本 勉		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G02F1/13357 G02F1/1335 G09G3/20		
CPC分类号	G09G3/3659 G09G3/3677 G09G2300/0842 G09G2310/0251 G09G2310/06 G09G2320/0214 G09G2320/0252		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G02F1/13357 G02F1/1335.520 G09G3/20.624.B G09G3/20.621.F G09G3/20.622.C G09G3/20.623.C		
F-TERM分类号	2H091/FA14Y 2H091/FA41Z 2H091/LA16 2H091/LA30 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB07 2H092/JB22 2H092/JB31 2H092/NA25 2H092/PA12 2H092/PA13 2H093/NA16 2H093/NC03 2H093/NC09 2H093/NC16 2H093/NC34 2H093/ND05 2H093/ND41 2H093/NE06 5C006/AC11 5C006/AC24 5C006/AF44 5C006/AF51 5C006/AF78 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/EA01 5C006/FA12 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H191/FA02Y 2H191/FA34Y 2H191/FA71X 2H191/FA81X 2H191/FA81Z 2H191/FD22 2H191/FD23 2H191/GA17 2H191/GA19 2H191/LA21 2H191/NA43 2H191/NA48 2H192/AA24 2H192/BC31 2H192/BC72 2H192/CB05 2H192/CB12 2H192/CB22 2H192/DA12 2H192/EA43 2H192/FB03 2H192/FB13 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZD34 2H193/ZF03 2H291/FA02Y 2H291/FA34Y 2H291/FA71X 2H291/FA81X 2H291/FA81Z 2H291/FD22 2H291/FD23 2H291/GA17 2H291/GA19 2H291/LA21 2H291/NA43 2H291/NA48		
优先权	1020060057701 2006-06-26 KR		
其他公开文献	JP4860370B2 JP2008009058A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶模块，其能够保持像素电极的电势并保持期望的显示器直到下一场。源极/漏极中的一个连接至源极线，另一个连接至第一TFT的源极/漏极，并且栅极连接至第一栅极信号线。第二薄膜TFT，其栅极连接到第二栅极信号线，公共线，第一薄膜TFT和第二TFT之间的连接，公共线以及夹在它们之间的第一绝缘体。第一电容器C1，连接至像素电极的第二TFT源/漏连接部分，公共线以及由夹在它们之间的第二绝缘体形成的第二电容器C2，以及像素电极和对电极 除了显示信号Vsig以外，还对源极线施加液晶模块，在该液晶模块中，具有被夹在中间的液晶构成的第三电容C1c的像素排列成矩阵，并且满足下式的过驱动电压Vover被施加至源极线。。[选择图]图4

