

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-206702
(P2007-206702A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H090
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1337 (2006.01)	GO2F 1/1337 505	

審査請求 未請求 請求項の数 30 O L (全 20 頁)

(21) 出願番号	特願2007-25281 (P2007-25281)	(71) 出願人	390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市八達区梅灘洞416 番地
(22) 出願日	平成19年2月5日(2007.2.5)	(74) 代理人	100094145 弁理士 小野 由己男
(31) 優先権主張番号	10-2006-0010349	(74) 代理人	100106367 弁理士 稲積 朋子
(32) 優先日	平成18年2月3日(2006.2.3)	(72) 発明者	丁 采 祐 大韓民国忠清南道天安市雙龍洞1923番 地溶暗東亞碧山アパート 102棟201 号
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

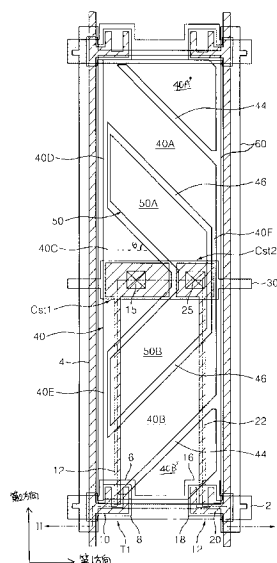
【課題】

本発明は寄生キャパシタンスの偏差による垂直クロストークを防止できる液晶表示装置及びその製造方法を提供する。

【解決手段】

本発明は第1及び第2階調領域に分割された各サブ画素領域のうち前記第1階調領域に形成された第1画素電極と、前記第1画素電極で取り囲まれた前記第2階調領域に第1画素電極と分離して形成された第2画素電極を具備する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 階調領域に分割された複数個のサブ画素領域と、
前記第 1 階調領域に形成される第 1 画素電極と、
前記第 1 画素電極で取り囲まれた前記第 2 階調領域に第 1 画素電極と分離して形成される第 2 画素電極とを備えることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 画素電極と接続された第 1 薄膜トランジスタと、
前記第 2 画素電極と接続された第 2 薄膜トランジスタと、
前記第 1 及び第 2 薄膜トランジスタと接続され前記各サブ画素領域を限定するゲートライン及びデータラインをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。 10

【請求項 3】

前記第 2 画素電極は、
前記サブ画素領域の短辺方向に対して対称に傾斜した羽根部を含むことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 画素電極は、
前記第 2 画素電極の上部に形成された上部電極と、
前記第 2 画素電極の下部に形成された下部電極と、
前記第 2 画素電極の羽根部の間に形成された中央電極と、
前記上部電極及び中央電極を連結する第 1 連結ラインと、
前記下部電極及び中央電極を連結する第 2 連結ラインと、
前記上部電極及び下部電極を連結する第 3 連結ラインとを含むことを特徴とする請求項 3 に記載の液晶表示装置。 20

【請求項 5】

前記第 1 画素電極と第 2 画素電極とを分離させる第 1 スリットをさらに備えることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 スリットは前記第 2 画素電極の側辺に沿って一定幅を持って前記第 2 画素電極を取り囲む構造で形成されることを特徴とする請求項 5 に記載の液晶表示装置。 30

【請求項 7】

前記第 1 画素電極の上部電極及び下部電極それぞれに前記第 1 スリットに平行な第 2 スリットをさらに備えることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】

前記第 1 画素電極の第 1 及び第 2 連結電極は前記第 2 画素電極と一側に隣接したデータラインの間に形成され、前記第 3 連結電極は前記第 2 画素電極と他側に隣接したデータラインの間に形成されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 9】

前記第 3 連結電極は前記第 1 画素電極で一側データラインと隣接した一側辺の長さ、他側データラインと隣接した他側辺の長さとの差を縮めることを特徴とする請求項 8 に記載の液晶表示装置。 40

【請求項 10】

前記第 2 画素電極の一側辺と隣接した一側データラインとの間隔と、前記第 2 画素電極の他側辺と隣接した他側データラインとの間隔が等しいことを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 11】

前記サブ画素領域の短辺方向に沿って形成され前記第 1 及び第 2 画素電極それぞれと重畳したストレージラインをさらに備えることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 12】

前記第1薄膜トランジスタから延びて前記第1画素電極と接続された第1ドレイン電極が絶縁膜を挟んで前記ストレージラインと重畳して形成された第1ストレージキャパシタと、

前記第2薄膜トランジスタから延びて前記第2画素電極と接続された第2ドレイン電極が前記絶縁膜を挟んで前記ストレージラインと重畳して形成された第2ストレージキャパシタをさらに備えることを特徴とする請求項11に記載の液晶表示装置。

【請求項13】

前記第2画素電極と接する薄膜トランジスタと、

前記薄膜トランジスタに延びて前記第2画素電極と接続されたドレイン電極が第1絶縁膜を挟んで前記ストレージラインと重畳して形成されたカップリングキャパシタと、

10

前記薄膜トランジスタと接続され、各サブ画素領域を限定するゲートラインとデータラインとをさらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項14】

前記第2画素電極は、

前記サブ画素領域の短辺方向に対して対称に傾斜した羽根部を含むことを特徴とする請求項13に記載の液晶表示装置。

【請求項15】

前記第2画素電極の上部に形成される上部電極と、

前記第2画素電極の下部に形成される下部電極と、

前記第2画素電極の羽根部の間に形成される中央電極と、

20

前記上部電極と中央電極を連結する第1連結ラインと、

前記下部電極と中央電極を連結する第2連結ラインと、

前記上部電極と下部電極を連結する第3連結ラインと、を含むことを特徴とする請求項14に記載の液晶表示装置。

【請求項16】

前記サブ画素領域の短辺に沿って形成され、前記第1、2画素電極と重畳するストレージラインをさらに備えることを特徴とする請求項15に記載の液晶表示装置。

【請求項17】

前記薄膜トランジスタから連結されるドレイン電極が第2絶縁膜を挟んで前記第1画素電極と重畳して形成されるカップリングキャパシタをさらに備えることを特徴とする請求項16に記載の液晶表示装置。

30

【請求項18】

前記第1、2画素電極の下部に形成され、前記第1、2薄膜トランジスタを覆う有機絶縁膜をさらに備えることを特徴とする請求項11に記載の液晶表示装置。

【請求項19】

各サブ画素領域を第1階調領域と第2階調領域とに分割する段階と、

各サブ画素領域のうち前記第1階調領域に第1画素電極を形成する段階と、

前記第1画素電極に取り囲まれた前記第2階調領域に前記第1画素電極と分離された第2画素電極を形成する段階とを含むことを特徴とする液晶表示装置の製造方法。

【請求項20】

40

前記第1画素電極と接続された第1薄膜トランジスタと、前記第2画素電極と接続された第2薄膜トランジスタと、前記第1及び第2薄膜トランジスタと接続され前記各サブ画素領域を限定するゲートライン及びデータラインを形成する段階をさらに含むことを特徴とする請求項19に記載の液晶表示装置の製造方法。

【請求項21】

前記第2画素電極と接続された薄膜トランジスタと、前記薄膜トランジスタのドレイン電極と前記第1画素電極が重畳して形成されるカップリングキャパシタと、前記薄膜トランジスタと接続され前記各サブ画素領域を限定するゲートライン及びデータラインを形成する段階をさらに含むことを特徴とする請求項19に記載の液晶表示装置の製造方法。

【請求項22】

50

前記第 2 画素電極は前記サブ画素領域の短辺方向に対して対称に傾斜した羽根部を含む構造で形成されることを特徴とする請求項 20 に記載の液晶表示装置の製造方法。

【請求項 23】

前記第 1 画素電極は、

前記第 2 画素電極の上部に形成された上部電極と、前記第 2 画素電極の下部に形成された下部電極と、前記第 2 画素電極の羽根部の間に形成された中央電極と、前記上部電極及び中央電極を連結する第 1 連結ラインと、前記下部電極及び中央電極を連結する第 2 連結ラインと、前記上部電極及び下部電極を連結する第 3 連結ラインを含む構造で形成されることを特徴とする請求項 22 に記載の液晶表示装置の製造方法。

【請求項 24】

前記第 1 画素電極は前記第 2 画素電極の側辺に沿って一定幅を有し前記第 2 画素電極を取り囲む第 1 スリットによって前記第 2 画素電極と分離されることを特徴とする請求項 23 に記載の液晶表示装置の製造方法。

【請求項 25】

前記第 1 画素電極の上部電極及び下部電極それぞれには前記第 1 スリットと並んだ第 2 スリットがさらに形成されることを特徴とする請求項 24 に記載の液晶表示装置の製造方法。

【請求項 26】

前記第 1 画素電極の第 1 及び第 2 連結電極は前記第 2 画素電極と一側に隣接したデータラインの間に形成され、前記第 3 連結電極は前記第 2 画素電極と他側に隣接したデータラインの間に形成されることを特徴とする請求項 23 に記載の液晶表示装置の製造方法。

【請求項 27】

前記サブ画素領域の短軸方向に沿って前記第 1 及び第 2 画素電極それぞれと重畳したストレージラインを形成する段階をさらに含むことを特徴とする請求項 23 に記載の液晶表示装置の製造方法。

【請求項 28】

前記第 1 薄膜トランジスタから延びて前記第 1 画素電極と接続された第 1 ドレイン電極が絶縁膜を挟んで前記ストレージラインと重畳されるようにして第 1 ストレージキャパシタを形成する段階と、

前記第 2 薄膜トランジスタから延びて前記第 2 画素電極と接続された第 2 ドレイン電極が前記絶縁膜を挟んで前記ストレージラインと重畳されるようにして第 2 ストレージキャパシタを形成する段階をさらに含むことを特徴とする請求項 27 に記載の液晶表示装置の製造方法。

【請求項 29】

前記薄膜トランジスタに延びて前記第 2 画素電極と接続されたドレイン電極が第 1 絶縁膜を挟んで前記ストレージラインと重畳されるようにしてストレージキャパシタを形成する段階をさらに含み、

前記カップリングキャパシタは前記ドレイン電極が延びて第 2 絶縁膜を挟んで前記第 1 画素電極と重畳して形成されることを特徴とする請求項 27 に記載の液晶表示装置の製造方法。

【請求項 30】

前記ゲートライン及びデータライン上に絶縁膜を挟んで重畳された共通ラインを形成する段階をさらに含むことを特徴とする請求項 27 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置は液晶の電氣的及び光学的特性を用いて映像を表示する。液晶表示装置は

10

20

30

40

50

液晶を用いた画素マトリックスを通じて画像を表示する液晶表示パネルと、液晶表示パネルを駆動する駆動回路と、液晶表示パネルに光を供給するバックライトユニットとを備える。このような液晶表示装置では、画面を見る位置に応じてイメージが歪んで見える視野角限界点を克服するために広視野角技術が発展しつつある。

【0003】

液晶表示装置の代表的な広視野角としてはマルチドメインVA (Multi-domain Vertical Alignment)モードが用いられる。マルチドメインVAでは、各サブ画素を液晶分子の配列方向が異なるマルチドメインに分割して透過率変化を相互補償させることにより光視野角を得ることができるようになる。特に、共通電極及び画素電極にスリットを設けることによる、フリンジ電界(Fringe Field)でマルチドメインを形成するPVA (Patterned Vertical Alignment)モードが主に用いられる。ところが、PVAモードはサブ画素の縁部から発生する側面電界(Lateral Field)によって液晶配向が乱れてしまい、側面視認性が良くない問題点がある。

10

【0004】

これを解決するため、最近ではマルチドメインを有する各サブ画素を異なる電圧で駆動される二つの領域に分割し、二つの領域の階調混合により視認性を向上させる方法が提案されている。

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、各サブ画素の分割により両側のデータラインと隣接した画素電極との長さの差による左右寄生キャパシタンス偏差、つまり左側データライン及び隣接の画素電極の重畳する長さ、右側データライン及び隣接の画素電極の重畳する長さ、に差が生じることで左の寄生キャパシタンスと右の寄生キャパシタンスとに差が発生することにより、垂直クロストークのような画質低下の問題点が発生する。

20

【0006】

本発明は従来の問題点を解決するために案出されたもので、画質低下を抑制することができる液晶表示装置及びその製造方法を提供するところにある。

【課題を解決するための手段】

【0007】

本発明1による液晶表示装置は、第1及び第2階調領域に分割された各サブ画素領域のうち前記第1階調領域に形成された第1画素電極と、前記第1画素電極に取り囲まれた前記第2階調領域に第1画素電極と分離して形成された第2画素電極を備える。

30

第2画素電極は、第1画素電極に取り囲まれるようにして形成される。よって、第1画素電極は、第2画素電極と左側データラインとの間に左側連結電極(第1及び第2連結電極)を備え、また第2画素電極と右側データラインとの間に右側連結電極(第3連結電極)を備える。ここで、左側連結電極及び右側連結電極の長さを同程度とし、第2画素電極及び左側データラインの間隔と、第2画素電極及び右側データラインの間隔とを同程度とすれば、左右寄生キャパシタンス(C_{ds_L} 、 C_{ds_R})の偏差が最小化される。これにより、垂直クロストークを防止できるようになる。ここで、左右寄生キャパシタンス(C_{ds_L} 、 C_{ds_R})とは、第1及び第2画素電極と両側に隣接したデータライン4との間の寄生キャパシタンスである。

40

【0008】

発明2は、発明1において、前記第1画素電極と接続された第1薄膜トランジスタと、前記第2画素電極と接続された第2薄膜トランジスタと、前記第1及び第2薄膜トランジスタと接続され前記各サブ画素領域を限定するゲートライン及びデータラインをさらに備える。

発明3は、発明2において、前記第2画素電極は前記サブ画素領域の短軸方向を基準に対称に傾斜した羽根部を含む。

【0009】

50

発明 4 は、発明 3 において前記第 1 画素電極は前記第 2 画素電極の上部に形成された上部電極と、前記第 2 画素電極の下部に形成された下部電極と、前記第 2 画素電極の羽根部間に形成された中央電極と、前記上部電極及び中央電極を連結する第 1 連結ラインと、前記下部電極及び中央電極を連結する第 2 連結ラインと、前記上部電極及び下部電極を連結する第 3 連結ラインを含む。

【0010】

発明 5 は、発明 4 においてそして、本発明は前記第 1 画素電極と第 2 画素電極を互いに分離させる第 1 スリットをさらに備える。

第 1 スリットにより、液晶分子の傾きが複数方向に制御され、視野角を向上させることができる。

10

発明 6 は、発明 5 において、前記第 1 スリットは前記第 2 画素電極の側辺に沿って一定幅を有し前記第 2 画素電極を包む構造で形成される。

【0011】

発明 7 は、発明 5 において、前記第 1 画素電極の上部電極及び下部電極それぞれに前記第 1 スリットと並んで形成された第 2 スリットをさらに備える。

第 2 スリットにより、液晶分子の傾きがさらに複数方向に制御され、視野角を向上させることができる。

発明 8 は、発明 4 において、前記第 1 画素電極の第 1 及び第 2 連結電極は前記第 2 画素電極と一側に隣接したデータラインの間に形成され、前記第 3 連結電極は前記第 2 画素電極と他側に隣接したデータラインの間に形成される。

20

【0012】

第 1 及び第 2 連結電極の長さ、第 3 連結電極の長さを同程度とすることで、左右寄生キャパシタンス(C_{ds_L} 、 C_{ds_R})の偏差を少なくし、垂直クロストークを抑制することができる。

発明 9 は、発明 8 において、前記第 3 連結電極は前記第 1 画素電極において一側データラインと隣接した一側辺の長さ、他側データラインと隣接した他側辺の長さとの差を縮める。

【0013】

左側データラインと第 1 画素電極との隣接する長さ、右側データラインと第 1 画素電極との隣接する長さ、が第 3 連結電極の存在により同程度となることで、左右寄生キャパシタンス(C_{ds_L} 、 C_{ds_R})の偏差を少なくし、垂直クロストークを抑制することができる。

30

発明 10 は、発明 8 において、前記第 2 画素電極の一側辺と隣接した一側データラインの間隔と、前記第 2 画素電極の他側辺と隣接した他側データラインの間隔が等しい。

【0014】

第 2 画素電極及び左側データラインの間隔と、第 2 画素電極及び右側データラインの間隔とを同程度とすれば、左右寄生キャパシタンス(C_{ds_L} 、 C_{ds_R})の偏差が最小化され、垂直クロストークを防止できるようになる。

発明 11 は、発明 4 において、本発明は前記サブ画素領域の短軸方向に沿って形成され前記第 1 及び第 2 画素電極それぞれと重畳されたストレージラインをさらに備える。

40

【0015】

発明 12 は、発明 11 において、前記第 1 薄膜トランジスタから延びて前記第 1 画素電極と接続された第 1 ドレイン電極が絶縁膜を挟んで前記ストレージラインと重畳して形成された第 1 ストレージキャパシタと、前記第 2 薄膜トランジスタから延びて前記第 2 画素電極と接続された第 2 ドレイン電極が前記絶縁膜を挟んで前記ストレージラインと重畳して形成された第 2 ストレージキャパシタをさらに備える。

【0016】

第 1 及び第 2 ストレージキャパシタは、ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。

発明 13 は、発明 1 において、前記第 2 画素電極と接続された薄膜トランジスタと、前

50

記薄膜トランジスタのドレイン電極と前記第1画素電極の重畳部に形成されたカップリングキャパシタと、前記薄膜トランジスタと接続され前記各サブ画素領域を限定するゲートライン及びデータラインをさらに具備することもある。

【0017】

発明14は、発明13において、前記第2画素電極は、前記サブ画素領域の短辺方向に対して対称に傾斜した羽根部を含むことを特徴とする。

発明15は、発明14において、前記第2画素電極の上部に形成される上部電極と、前記第2画素電極の下部に形成される下部電極と、前記第2画素電極の羽根部の間に形成される中央電極と、前記上部電極と中央電極を連結する第1連結ラインと、前記下部電極と中央電極を連結する第2連結ラインと、前記上部電極と下部電極を連結する第3連結ラインと、を含むことを特徴とする。

10

【0018】

発明16は、発明15において、前記サブ画素領域の短辺に沿って形成され、前記第1、2画素電極と重畳するストレージラインをさらに備える。

発明17は、発明16において、前記薄膜トランジスタから連結されるドレイン電極が第2絶縁膜を挟んで前記第1画素電極と重畳して形成されるカップリングキャパシタをさらに備えることを特徴とする。

【0019】

発明18は、発明11において、前記第1、2画素電極の下部に形成され、前記第1、2薄膜トランジスタを覆う有機絶縁膜をさらに備える。

20

また、本発明は前記第1及び第2薄膜トランジスタを覆い、前記第1及び第2画素電極の下部に形成された有機絶縁膜と、前記有機絶縁膜上に前記ゲートライン及びデータラインと重畳するように形成された共通ラインをさらに備える。

【0020】

本発明19に係る液晶表示装置の製造方法は、第1及び第2階調領域に分割された各サブ画素領域のうち前記第1階調領域に形成された第1画素電極を形成する段階と、前記第1画素電極に取り囲まれた前記第2階調領域に前記第1画素電極と分離された第2画素電極を形成する段階とを含む。

発明20は、発明19において、前記第1画素電極と接続された第1薄膜トランジスタと、前記第2画素電極と接続された第2薄膜トランジスタと、前記第1及び第2薄膜トランジスタと接続され前記各サブ画素領域を限定するゲートライン及びデータラインを形成する段階をさらに含むことを特徴とする。

30

【0021】

発明21は、発明19において、前記第2画素電極と接続された薄膜トランジスタと、前記薄膜トランジスタのドレイン電極と前記第1画素電極が重畳して形成されるカップリングキャパシタと、前記薄膜トランジスタと接続され前記各サブ画素領域を限定するゲートライン及びデータラインを形成する段階をさらに含むことを特徴とする。

発明22は、発明20において、前記第2画素電極は前記サブ画素領域の短辺方向に対して対称に傾斜した羽根部を含む構造で形成されることを特徴とする。

【0022】

40

発明23は、発明22において、前記第1画素電極は、前記第2画素電極の上部に形成された上部電極と、前記第2画素電極の下部に形成された下部電極と、前記第2画素電極の羽根部の間に形成された中央電極と、前記上部電極及び中央電極を連結する第1連結ラインと、前記下部電極及び中央電極を連結する第2連結ラインと、前記上部電極及び下部電極を連結する第3連結ラインを含む構造で形成されることを特徴とする。

【0023】

発明24は、発明23において、前記第1画素電極は前記第2画素電極の側辺に沿って一定幅を有し前記第2画素電極を取り囲む第1スリットによって前記第2画素電極と分離されることを特徴とする。

発明25は、発明24において、前記第1画素電極の上部電極及び下部電極それぞれに

50

は前記第 1 スリットと並んだ第 2 スリットがさらに形成されることを特徴とする。

【0024】

発明 26 は、発明 23 において、前記第 1 画素電極の第 1 及び第 2 連結電極は前記第 2 画素電極と一側に隣接したデータラインの間に形成され、前記第 3 連結電極は前記第 2 画素電極と他側に隣接したデータラインの間に形成されることを特徴とする法。

発明 27 は、発明 23 において、前記サブ画素領域の短軸方向に沿って前記第 1 及び第 2 画素電極それぞれと重畳したストレージラインを形成する段階をさらに含むことを特徴とする。

【0025】

発明 28 は、発明 27 において、前記第 1 薄膜トランジスタから延びて前記第 1 画素電極と接続された第 1 ドレイン電極が絶縁膜を挟んで前記ストレージラインと重畳されるようにして第 1 ストレージキャパシタを形成する段階と、前記第 2 薄膜トランジスタから延びて前記第 2 画素電極と接続された第 2 ドレイン電極が前記絶縁膜を挟んで前記ストレージラインと重畳されるようにして第 2 ストレージキャパシタを形成する段階をさらに含むことを特徴とする。

10

【0026】

発明 29 は、発明 27 において、前記薄膜トランジスタに延びて前記第 2 画素電極と接続されたドレイン電極が第 1 絶縁膜を挟んで前記ストレージラインと重畳されるようにしてストレージキャパシタを形成する段階をさらに含み、前記カップリングキャパシタは前記ドレイン電極が延びて第 2 絶縁膜を挟んで前記第 1 画素電極と重畳して形成されることを特徴とする。

20

【0027】

発明 30 は、発明 27 において、前記ゲートライン及びデータライン上に絶縁膜を挟んで重畳された共通ラインを形成する段階をさらに含むことを特徴とする。

【発明の効果】

【0028】

以上述べたように、本発明に係る液晶表示装置及びその製造方法を用いれば、画質低下を抑制することができる。

【発明を実施するための最良の形態】

【0029】

以下、添付した図 1 ないし図 16 に基づき本発明の望ましい実施例を詳述する。

30

図 1 は本発明の実施形態による液晶表示装置の薄膜トランジスタ基板において一つのサブ画素の構造を示した平面図であり、図 2 は図 1 に示された I I' - I I' 線に沿う一つのサブ画素の断面構造を示した断面図である。

図 1 及び図 2 に示した一つのサブ画素は低階調領域と高階調領域に独立して形成された第 1 及び第 2 画素電極 40、50 と、第 1 及び第 2 画素電極 40、50 それぞれに独立して接続された第 1 及び第 2 薄膜トランジスタ T1、T2 と、第 1 及び第 2 薄膜トランジスタ T1、T2 と接続されたゲートライン 2 及びデータライン 4 を含む。

【0030】

図 1 及び図 2 に示された薄膜トランジスタ基板において一つのサブ画素は視認性向上のために相異なるデータ信号が印加される高階調領域及び低階調領域に分割される。このため、各サブ画素に第 1 及び第 2 画素電極 40、50 が独立して形成され低階調領域と高階調領域を限定し、第 1 及び第 2 画素電極 40、50 それぞれは第 1 及び第 2 薄膜トランジスタ T1、T2 それぞれにより駆動されることにより相異なるデータ信号を供給される。

40

【0031】

ゲートライン 2 とデータライン 4 はゲート絶縁膜 72 を挟んで交差するように絶縁基板 70 上に形成される。ゲートライン 2 とデータライン 4 の交差構造で各サブ画素領域を限定する。ストレージライン 30 は絶縁基板 70 上にゲートライン 2 と平行に形成され、各サブ画素の中央部を短軸方向（第 1 方向）に延在してデータライン 4 とゲート絶縁膜 72 を挟んで交差する。

50

【0032】

第1薄膜トランジスタT1は、ゲートライン2と接続されたゲート電極6、データライン4と接続されたソース電極10、第1画素電極40と接続されたドレイン電極12、ソース電極10及びドレイン電極12と接続された半導体層8を備える。半導体層8はソース電極10及びドレイン電極12の間にチャンネルを形成する活性層8Aと、活性層8Aとソース電極10及びドレイン電極12それぞれのオーミックコンタクトのためのオーミックコンタクト層8Bで構成される。一方、第2薄膜トランジスタT2は、ゲートライン2と接続されたゲート電極16、データライン4と接続されたソース電極20、第2画素電極50と接続されたドレイン電極22、ソース電極20及びドレイン電極22と接続された半導体層18を備える。半導体層18はソース電極20及びドレイン電極22の間にチャンネルを形成する活性層18Aと、活性層18Aとソース電極20及びドレイン電極22それぞれのオーミックコンタクトのためのオーミックコンタクト層18Bで構成される。

10

【0033】

第1及び第2画素電極40、50それぞれは薄膜トランジスタT1、T2を覆う有機絶縁膜74上に形成され、その有機絶縁膜74を貫通する第1及び第2コンタクトホール15、25それぞれを通じて第1及び第2薄膜トランジスタT1、T2のドレイン電極12、22とそれぞれ接続される。有機絶縁膜74の上部及び/または下部に無機絶縁膜がさらに形成されることもある。有機絶縁膜74上にはデータライン4及びゲートライン2と重畳した共通ライン60がさらに形成される。共通ライン60は、データライン4との重畳部分においてデータライン4より広い線幅を持っており、またゲートライン2との重畳部分においてゲートライン2より狭い線幅を有する。共通ライン60には上板の共通電極(図示せず)と同一であるか類似した共通電圧が供給される。これにより、共通ライン60と上板の共通電極との間に電界が形成されないか微弱な電界が形成され、それらの間に垂直配向された液晶分子が駆動されないため光漏れが遮断される。

20

【0034】

第1画素電極40は各サブ画素領域のうち低階調領域に、第2画素電極50は高階調領域に形成される。各サブ画素の高階調領域と低階調領域は視認性向上のための最適比率である1:2に分割されることが望ましいので、各サブ画素領域を3分割して2分割領域である低階調領域には第1画素電極40が、1分割領域である高階調領域には第2画素電極50が形成される。

30

【0035】

第1及び第2薄膜トランジスタT1、T2のドレイン電極12、22それぞれはストレージライン30が形成されたサブ画素の中央部まで延在して、ストレージライン30と重畳した第1及び第2コンタクトホール15、25を通じて第1及び第2画素電極40、50とそれぞれ接続される。そして、第1及び第2薄膜トランジスタT1、T2のドレイン電極12、22それぞれはストレージライン30とゲート絶縁膜72を挟んで重畳され第1及び第2ストレージキャパシタ(Cst1、Cst2)をそれぞれ形成する。第1及び第2ストレージキャパシタ(Cst1、Cst2)は、ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。

40

【0036】

高階調領域の第2画素電極50は各サブ画素領域から短軸方向、すなわちストレージライン30を基準にして対称に傾斜(図1中の傾斜角)した上下羽根部50A、50Bを有する構造で、すなわち反時計方向に90°回転した"V"字形構造で形成される。低階調領域の第1画素電極40は各サブ画素領域で第2画素電極50により分割された上部及び下部と、第2画素電極50の羽根部50A、50B間の中央部に位置するように形成されストレージライン30を基準に対称構造を有する。言い換えれば、低階調領域の第1画素電極40は第2画素電極50の上部に位置する上部電極40A、40A'、第2画素電極50の下部に位置する下部電極40B、40B'、第2画素電極50の羽根部50A、50Bの間に位置する中央電極40Cを備える。そして、第1画素電極40は上部電極40A及び中央電極40Cを連結する第1連結電極40D、下部電極40B及び中央電極40

50

Cを連結する第2連結電極40Eを備える。また、第1画素電極40は上部電極40A及び下部電極40Bを連結する第3連結電極40Fを備える。

【0037】

第1画素電極40と第2画素電極50との間には一定幅を有する第1スリット46が形成され、低階調領域の第1画素電極40で上部電極40A及び40A'間、下部電極40B及び40B'間それぞれには第1スリット46の一部と平行な第2スリット44が一定幅を持って形成される。第1及び第2画素電極40、50の間の第1スリット46は、第2画素電極50の側辺を取り囲みながら、すなわち第2画素電極50の側辺に沿って一定幅を持って形成されるので、第2画素電極50のようにストレージライン30を基準に対称の傾斜角を有する。第1画素電極40の上部電極40A、40A'間及び下部電極40B、40B'間それぞれに形成された第2スリット44も第1スリット46の一部と平行に形成されるので、ストレージライン30を基準に対称の傾斜角を有する。第1スリット46は第1画素電極40と第2画素電極50とを分離させる。第2スリット44は、上部電極40A、40A'間に一定のはばの間隔を設けるが、上部電極40A、40A'は電氣的に接続されている。同様に、第2スリット44は、下部電極40B、40B'間に一定のはばの間隔を設けるが、下部電極40B、40B'は電氣的に接続されている。

【0038】

そして、第1及び第2スリット46、44は、第1及び第2画素電極40、50が、その上部基板(図示せず)に形成された共通電極とフリンジ電界を形成させることにより、第1及び第2スリット46、44を基準に液晶分子が対称に配列されマルチ-ドメインを形成させる。また、さらに多くのドメイン形成のために上板の共通電極には第1及び第2スリット46、44と交互に平行な構造で共通電極スリットが形成される場合もある。つまり、例えば上部電極40A、40A'及び下部電極40B、40B'上に位置する部分の共通電極に、第1及び第2スリット46、44と平行なスリットを形成する。ここで、共通電極のスリットと、第1及び第2スリット46、44とが交互に配置されるようにする。

【0039】

第1画素電極40の上部電極40Aと中央電極40Cとを連結する第1連結電極40Dと、下部電極40Bと中央電極40Cとを連結する第2連結電極40Eは、図1中の左側データライン4と第2画素電極50との空間に形成される。また、第3連結電極40Fは、第2画素電極50と図1中の右側データライン4との空間に形成される。言い換えれば、第1及び第2連結電極40Dは、左側データライン4と、左側データライン4に平行な第2画素電極50での一側辺と、の空間に形成されており、第1画素電極40の中央電極40Cと、上部電極40A及び下部電極40Bそれぞれと、を連結させる。一方、第3連結電極40Fは、右側データライン4と、右側データライン4に平行な第2画素電極50の他側辺と、の空間に形成されており、第1画素電極40の上部電極40Aと下部電極40Bとを連結させる。第1ないし第3連結電極40D、40E、40Fの線幅は等しい。ここで、第3連結電極40Fは、第1及び第2画素電極40、50と、左右側に隣接したデータライン4との間に形成される、左右側寄生キャパシタンス(C_{ds_L} 、 C_{ds_R})の偏差を縮める役割を果たして垂直クロストークを防止するようになる。

【0040】

図3は、第1画素電極の第3連結電極のない構造の寄生キャパシタンスを説明するための平面図、図4は、第1画素電極の第3連結電極のある構造の寄生キャパシタンスを説明するための平面図である。具体的に、図3に示されたように、第1画素電極40の第3連結電極40Fが存在しなければ、第1画素電極40では、第1及び第2連結電極40D、40Eにより、左側データライン4と隣接した左側辺の長さが、右側データライン4と隣接した右側辺の長さより長くなる。このような第1画素電極40の左右側辺の長さの差によって、左側寄生キャパシタンス(C_{ds_L1})と、右側寄生キャパシタンス(C_{ds_R1})とに偏差が発生する。ここで、第1画素電極40と左側データライン4とにより左側寄生キャパシタンス(C_{ds_L1})が形成され、第1画素電極40と右側データライン4

とにより右側寄生キャパシタンス(C_{ds_R1})が形成される。

【0041】

また、第2画素電極50では、第1画素電極40の第1及び第2連結電極40D、40Eが存在することにより、右側データライン4と第2画素電極50との間隔に比べて左側のデータライン4と第2画素電極50との間隔が増加する。これによって、左側寄生キャパシタンス(C_{ds_L2})と右側寄生キャパシタンス(C_{ds_R2})とに偏差が発生する。ここで、第2画素電極50と左側データライン4とにより左側寄生キャパシタンス(C_{ds_L2})が形成され、第2画素電極50と右側データライン4とにより右側寄生キャパシタンス(C_{ds_R2})が形成される。その結果、極性反転のために左右側データライン4に相反する極性のデータ信号が印加される場合、左右側寄生キャパシタンス(C_{ds_L1} , C_{ds_L2} , C_{ds_R1} , C_{ds_R2})の偏差のために、左右寄生キャパシタンス(C_{ds_L1} , C_{ds_L2} , C_{ds_R1} , C_{ds_R2})のカップリング値が相殺できない。よって、第1及び第2画素電極40、50に充電されたデータ信号が歪み、垂直クロストークが引き起こされる。特に、例えばデータライン4毎に、つまりデータライン1本毎に極性が反転されるコラム反転駆動の場合、左右側寄生キャパシタンス(C_{ds_L1} , C_{ds_L2} , C_{ds_R1} , C_{ds_R2})の偏差が増加することにより垂直クロストークはさらに激しくなる。これは、垂直クロストークを引き起こす各サブ画素に充電された電圧の変化量(V_p)が左右側寄生キャパシタンスの偏差{($C_{ds_L1} + C_{ds_L2}$) - ($C_{ds_R1} + C_{ds_R2}$)}に比例するからである。

10

20

【0042】

以下では、 $C_{ds_L1} + C_{ds_L2}$ を単に C_{ds_L} と記載し、 $C_{ds_R1} + C_{ds_R2}$ を単に C_{ds_R} と記載する。

例えば、両側データライン4による一つのサブ画素の電圧変化量(V_p)は、次の数式(1)のように左側データライン4による電圧変化量(V_{p_L})と右側データライン4による電圧変化量(V_{p_R})の和で表現される。

【0043】

数式(1)

$$\begin{aligned} V_p &= V_{p_L} + V_{p_R} \\ V_{p_L} &= C_{ds_L} \times V_{data_L} / C_{total} \\ V_{p_R} &= C_{ds_R} \times V_{data_R} / C_{total} \end{aligned}$$

30

ここで、 V_{data_L} は左側データライン4に供給されるデータ信号の変化量を、 V_{data_R} は右側データライン4に供給されるデータ信号の変化量を、 C_{total} は一つのサブ画素のトータルキャパシタンス($C_{total} = C_{lc} + C_{st} + C_{ds_L} + C_{ds_R}$)を意味する。両側データライン4に相反するデータ信号が供給されると仮定すれば、垂直クロストークを引き起こす一つのサブ画素の電圧変化量(V_p)は、次の数式(2)のように左右側寄生キャパシタンスの偏差($C_{ds_L} - C_{ds_R}$)と比例関係を有する。

【0044】

数式(2)

$$\begin{aligned} V_p &= \{C_{ds_L} \times V_{data_L} / C_{total}\} + \{C_{ds_R} \times V_{data_R} / C_{total}\} \\ &= (C_{ds_L} - C_{ds_R}) \times V_{data_R} / C_{total} \\ V_{data_L} &= - V_{data_R} \end{aligned}$$

40

その結果、第1及び第2画素電極40、50の両側データライン4に相反するデータ信号が供給される場合、垂直クロストークは左右側寄生キャパシタンスの偏差($C_{ds_L} - C_{ds_R}$)と比例して増加する。

【0045】

このような垂直クロストークを防止するため、本発明に係る液晶表示装置は、図4に示されているように右側データライン4と隣接して第1画素電極40の上部電極40A及び下部電極40Bを連結する第3連結電極40Fを備える。この第3連結電極40Fにより、左右側寄生キャパシタンス(C_{ds_L} , C_{ds_R})の偏差を最小化できるようになる。

具体的に、第3連結電極40Fにより、第1画素電極40では、左側データライン4と

50

隣接した左側辺の長さ、右側データライン4と隣接した右側辺の長さが殆んど同一になる。また、第3連結電極40Fにより、すなわち第1画素電極40が第2画素電極50を取り囲むことにより、第1及び第2連結電極40D、40Eを挟んだ第2画素電極50と左側データライン4との間隔と、第3連結電極40Fを挟んだ第2画素電極50と右側データライン4との間隔が等しくなる。これにより、第1及び第2画素電極40、50と両側に隣接したデータライン4との間の左右寄生キャパシタンス(Cds_L、Cds_R)の偏差が最小化され、垂直クロストークを防止できるようになる。

【0046】

このように本発明に係る液晶表示装置の各サブ画素は、低階調領域の第1画素電極50が高階調領域の第2画素電極50を取り囲む構造で形成され、第1及び第2画素電極40、50と両側データライン4との間の寄生キャパシタンスの偏差を最小化することにより垂直クロストークを防止できるようになる。

また、本発明に係る液晶表示装置の薄膜トランジスタ基板の製造方法を図5ないし図14に基づき説明する。図5ないし図14は、本発明に係る液晶表示装置の薄膜トランジスタ基板の製造方法を示す平面図及び断面図である。

【0047】

図5及び図6を参照すれば、第1マスク工程で下部絶縁基板70上にゲートライン2、ゲートライン2と接続されたゲート電極6、16、ゲートライン2と平行なストレージライン30を含むゲート金属パターンが形成される。具体的に、下部絶縁基板70上にスパッタリング方法などの蒸着方法を通じてゲート金属層が形成される。ゲート金属層としてはモリブデン(Mo)、アルミニウム(Al)、クロム(Cr)などと、これらの合金が単一層または複層構造で積層され用いられる。次いで、第1マスクを用いたフォトリソグラフィ工程及び食刻工程でゲート金属層がパタニングされることによりゲートライン2及びゲート電極6、16とストレージライン30を含むゲート金属パターンが形成される。

【0048】

図7及び図8を参照すれば、ゲート金属パターンが形成された下部絶縁基板70上にゲート絶縁膜72が形成され、その上に第2マスク工程で活性層8A、18A及びオーミックコンタクト層8B、18Bを含む半導体層8、18がゲートライン2及びゲート電極6、16の一部と重畳して形成される。具体的に、ゲート金属パターンが形成された下部絶縁基板70上にPECVDなどの蒸着方法でゲート絶縁膜72、非晶質シリコン層、n+非晶質シリコン層が順次に形成される。次いで、第2マスクを用いたフォトリソグラフィ工程及び食刻工程でn+非晶質シリコン層及び非晶質シリコン層がパタニングされることにより活性層8A、18A及びオーミックコンタクト層8B、18Bを含む半導体層8、18が形成される。ゲート絶縁膜72としては酸化シリコン(SiO_x)、窒化シリコン(SiN_x)などのような無機絶縁物質が用いられる。

【0049】

図9及び図10を参照すれば、第3マスク工程で半導体層8、18が形成されたゲート絶縁膜72上にデータライン4、ソース電極10、20、ドレイン電極12、22を含むソース/ドレイン金属パターンが形成される。具体的に半導体層8、18が形成されたゲート絶縁膜72上にソース/ドレイン金属層がスパッタリング方法で形成される。次いで、第3マスクを用いたフォトリソグラフィ工程及び食刻工程でソース/ドレイン金属層がパタニングされることによりデータライン4、ソース電極10、20、ドレイン電極12、22を含むソース/ドレイン金属パターンが形成される。そして、ソース電極10、20及びドレイン電極12、22の間に露出されたオーミックコンタクト層8B、18Bを除去してソース電極10、20及びドレイン電極12、22と接続されたオーミックコンタクト層8B、18Bを分離させる。この結果、ゲートライン2及びデータライン4と接続された第1及び第2薄膜トランジスタT1、T2が形成される。ここで、半導体層8、18とソース/ドレイン金属パターンは回折露光マスクまたはハーフトーン(Half-tone)マスクを用いて一つのマスク工程で形成される場合もある。

【0050】

10

20

30

40

50

図 1 1 及び図 1 2 を参照すれば、ソース/ドレイン金属パターンが形成されたゲート絶縁膜 7 2 上に有機絶縁膜 7 4 が形成され、第 4 マスク工程で有機絶縁膜 7 4 を貫通する第 1 及び第 2 コンタクトホール 1 5、2 5 が形成される。具体的に有機絶縁膜 7 4 はアクリル系有機化合物、BCB (benzo cyclo butane) または PFCB (Perfluorocyclobutane) などのような有機絶縁物質がスピニング (Spin Coating)、スピinless コーティング (Spinless Coating) などの方法でコーティングされることにより形成される。次いで、第 4 マスクを用いたフォトリソグラフィ工程及び食刻工程で有機絶縁膜 7 4 を貫通して第 1 及び第 2 薄膜トランジスタ T 1、T 2 のドレイン電極 1 2、2 2 それぞれを露出させる第 1 及び第 2 コンタクトホール 1 5、2 5 が形成される。ここで、有機絶縁膜 7 4 の上部及び/または下部に無機絶縁膜がさらに形成される場合もあり、この際第 1 及び第 2 コ

10

【0051】

図 1 3 及び図 1 4 を参照すれば、第 5 マスク工程で有機絶縁膜 7 4 上に第 1 及び第 2 画素電極 4 0、5 0 と共通ライン 6 0 を含む透明導電パターンが形成される。第 1 及び第 2 画素電極 4 0、5 0 と共通ライン 6 0 は、有機絶縁膜 7 4 上に ITO (Indium Tin Oxide)、TO (Tin Oxide)、IZO (Indium Zinc Oxide)、ITZO などのような透明導電物質をスパッタリングなどのような蒸着方法で塗布した後、第 5 マスクを用いたフォトリソグラフィ工程及び食刻工程でパタニングすることにより形成される。第 1 及び第 2 画素電極 4 0、5 0 は第 1 及び第 2 コンタクトホール 1 5、2 5 それぞれを通じて第 1 及び第 2 薄膜トランジスタ T 1、T 2 のドレイン電極 1 2、2 2 とそれぞれ接続される。

20

【0052】

図 1 5 は本発明の他の実施形態による液晶表示装置の薄膜トランジスタ基板で一つのサブ画素の構造を示した平面図であり、図 1 6 は図 1 5 に示された X-X' 線に沿った一つのサブ画素の断面構造を示した断面図である。

図 1 5 及び図 1 6 に示されたサブ画素は、図 1 及び図 2 に示されたサブ画素と対比して、第 2 画素電極 4 0 と接続された一つの薄膜トランジスタ (T) を備え、第 1 画素電極 4 0 は前記薄膜トランジスタ (T) のドレイン電極 2 2 とカップリングキャパシタ (C c p) を形成することを除けば同様な構成要素を備えるので、重複した構成要素に対する説明は省略する。言い換えて、図 1 及び図 2 に示された第 1 及び第 2 画素電極 4 0、5 0 は第 1 及び第 2 薄膜トランジスタ T 1、T 2 それぞれを通じて相異なるデータ信号を供給されるが、

30

【0053】

高階調領域を限定する第 2 画素電極 5 0 は、薄膜トランジスタ (T) のドレイン電極 2 2 と有機絶縁膜 7 4 及び無機絶縁膜 7 6 を貫通するコンタクトホール 2 5 を介して接続され、データライン 4 からのデータ信号を薄膜トランジスタ (T) を経て供給される。低階調領域を限定する第 1 画素電極 4 0 は、ドレイン電極 2 2 とカップリングキャパシタ (C c p) を形成し、薄膜トランジスタ (T) を通じて第 2 画素電極 5 0 に供給されるデータ信号がカップリングキャパシタ (C c p) を通じて伝達されるので、第 2 画素電極 5 0 より低いデータ信号を供給される。これにより、一つの薄膜トランジスタ (T) を用いてもカップリング

40

【0054】

カップリングキャパシタ (C c p) は、第 2 画素電極 5 0 と接続されたドレイン電極 2 2 がストレージライン 3 0 に向かって伸び、第 1 画素電極 4 0 と無機絶縁膜 7 6 を挟んで重畳されることにより形成される。ここで、無機絶縁膜 7 6 は、薄膜トランジスタ (T) と有機絶縁膜 7 4 との間に追加され、有機絶縁膜 7 4 と薄膜トランジスタ (T) の活性層 1 8 A との化学反応を防止する。有機絶縁膜 7 4 の次に形成される第 1 画素電極 4 0 とドレイン電極 2 2 との間隔を縮めるために有機絶縁膜 7 4 を貫通するキャパシタホール 2 7 が形成される。これにより、第 1 画素電極 4 0 はキャパシタホール 2 7 を経て相対的に薄い無機

50

絶縁膜 76 を挟んでドレイン電極 22 と重畳されドレイン電極 22 に供給されたデータ信号を電圧降下して第 1 画素電極 40 に十分に伝達できるカップリングキャパシタ (C c p) が形成される。

【0055】

低階調領域の第 1 画素電極 40 は前述したように高階調領域の第 2 画素電極 50 を取り囲む構造で形成され、第 1 及び第 2 画素電極 40、50 と両側データライン 4 との寄生キャパシタンスの偏差が最小化される。言い換えれば、第 1 画素電極 40 では、左側データライン 4 と隣接した第 1 及び第 2 連結電極 40 D、40 E と、右側データライン 4 と隣接した第 3 連結電極 40 F とにより、左側データライン 4 と隣接した左側辺の長さ、右側データライン 4 と隣接した右側辺の長さが殆んど同一になる。また、第 1 画素電極 40 の第 1 ないし第 3 連結電極 40 D、40 E、40 F により、第 2 画素電極 50 と左側データライン 4 との間隔と、第 2 画素電極 50 と右側データライン 4 との間隔が等しくなる。これにより、第 1 及び第 2 画素電極 40、50 と両側に隣接したデータライン 4 との間の左右寄生キャパシタンスの偏差が最小化され、垂直クロストークを防止できるようになる。

10

【0056】

そして、図 15 及び図 16 に示した薄膜トランジスタ基板の製造方法は図 5 ないし図 14 を参照した製造方法に似ているので、簡単に後述する。

第 1 マスク工程で下部絶縁基板 70 上にゲートライン 2、ゲートライン 2 と接続されたゲート電極 16、ゲートライン 2 と並んだストレージライン 30 を含むゲート金属パターンが形成される。第 2 マスク工程でゲート金属パターンが形成された下部絶縁基板 70 上にゲート絶縁膜 72 が形成され、ゲート絶縁膜 72 上に活性層 18 A 及びオーミックコンタクト層 18 B を含む半導体層 18 がゲートライン 2 及びゲート電極 16 の一部と重畳して形成される。第 3 マスク工程で半導体層 18 が形成されたゲート絶縁膜 72 上にデータライン 4、ソース電極 20、ドレイン電極 22 を含むソース/ドレイン金属パターンが形成される。一方、半導体層 18 とソース/ドレイン金属パターンは回折露光マスクまたはハーフトーン (Half-tone) マスクを用いて一つのマスク工程で形成されることもある。第 4 マスク工程でソース/ドレイン金属パターンが形成されたゲート絶縁膜 72 上にドレイン電極 22 を露出させるコンタクトホール 25 を有する無機絶縁膜 76 が形成される。第 5 マスク工程で無機絶縁膜 76 上にコンタクトホール 25 が延び、キャパシタホール 27 を有する有機絶縁膜 74 が形成される。第 7 マスク工程で有機絶縁膜 74 上に第 1 及び第 2 画素電極 40、50 と共通ライン 60 を含む透明導電パターンが形成される。

20

30

【0057】

なお、上記では高階調領域と低階調領域との 2 つの階調に分けて画素領域を分割したが、分割数は 2 つに限定されない。例えば、3 以上の複数の階調に分けて、その複数の階調に対応させて、異なる電圧が印加される複数の画素電極を形成するようにしてもよい。

以上述べた内容を通じて当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。そして、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限らず、特許請求の範囲によって定まるべきである。

【産業上の利用可能性】

40

【0058】

本発明は、各種液晶表示装置に適用可能である。

【図面の簡単な説明】

【0059】

【図 1】本発明の実施形態による液晶表示装置の薄膜トランジスタ基板で一つのサブ画素の構造を示した平面図。

【図 2】図 1 に示した I I - I I ' 線に沿ったサブ画素の断面図。

【図 3】第 1 画素電極の第 3 連結電極のない構造とある構造の寄生キャパシタンスを比較して説明するための平面図。

【図 4】第 1 画素電極の第 3 連結電極のない構造とある構造の寄生キャパシタンスを比較

50

して説明するための平面図。

【図 5】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 1 マスク工程を説明するための平面図。

【図 6】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 1 マスク工程を説明するための断面図。

【図 7】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 2 マスク工程を説明するための平面図。

【図 8】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 2 マスク工程を説明するための断面図。

【図 9】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 3 マスク工程を説明するための平面図。 10

【図 10】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 3 マスク工程を説明するための断面図。

【図 11】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 4 マスク工程を説明するための平面図。

【図 12】本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 4 マスク工程を説明するための断面図。

【図 13】は本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 5 マスク工程を説明するための平面図。

【図 14】は本発明の実施形態による薄膜トランジスタ基板の製造方法のうち第 5 マスク工程を説明するための断面図。 20

【図 15】本発明の他の実施形態による薄膜トランジスタ基板の一つのサブ画素の構造を示した平面図。

【図 16】図 15 に示された X - X '線に沿ったサブ画素の断面図。

【符号の説明】

【0060】

ゲートライン 2

データライン 4

ゲート電極 6、16

半導体層 8、18

ソース電極 10、20

ドレイン電極 12、22

ストレージライン 30

上部電極 40A、40A'

下部電極 40B、40B'

中央電極 40C

第 1 連結電極 40D

第 2 連結電極 40E

第 3 連結電極 40F

第 1 画素電極 40

第 2 画素電極 50

第 2 スリット 44

第 1 スリット 46

共通ライン 60

絶縁基板 70

ゲート絶縁膜 72

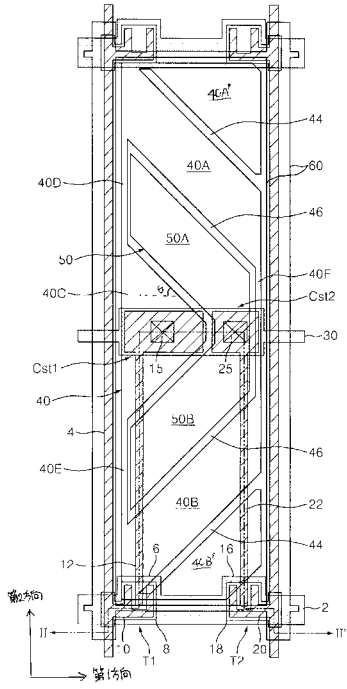
有機絶縁膜 74

無機絶縁膜 76

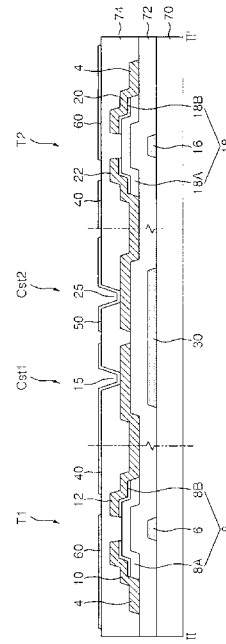
30

40

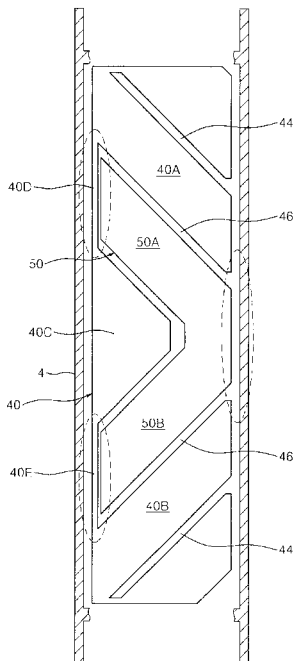
【 図 1 】



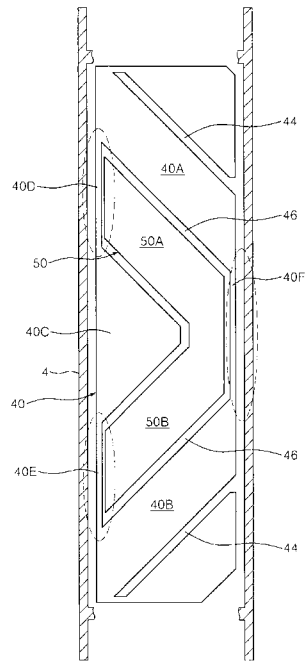
【 図 2 】



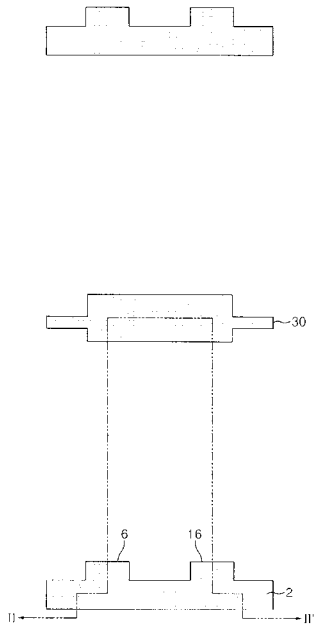
【 図 3 】



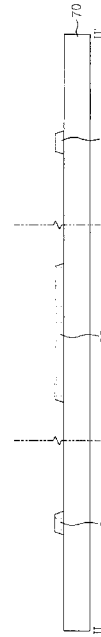
【 図 4 】



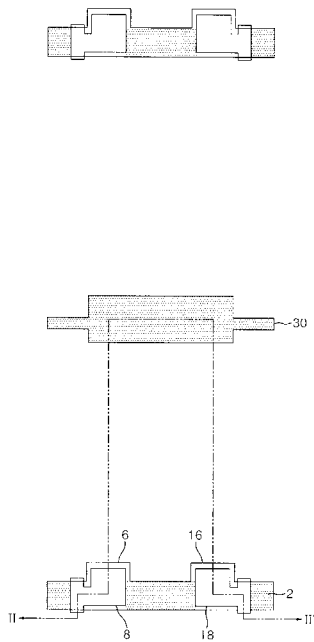
【 図 5 】



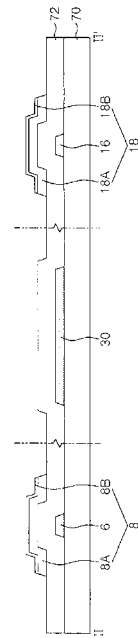
【 図 6 】



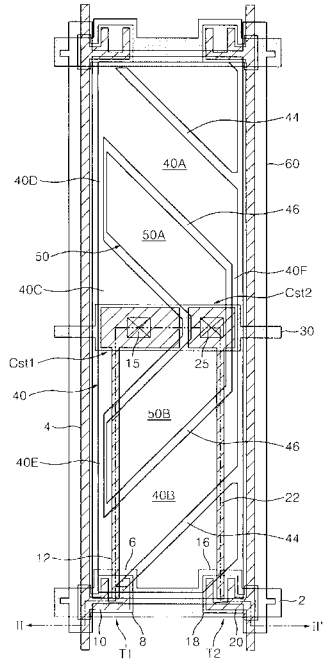
【 図 7 】



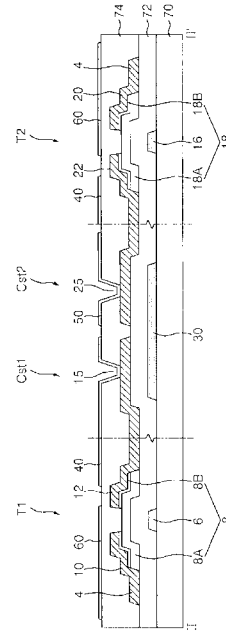
【 図 8 】



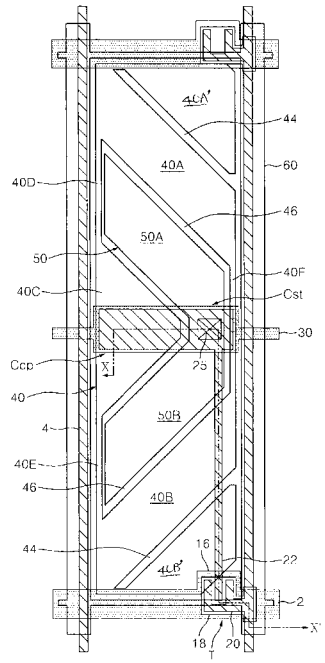
【 図 1 3 】



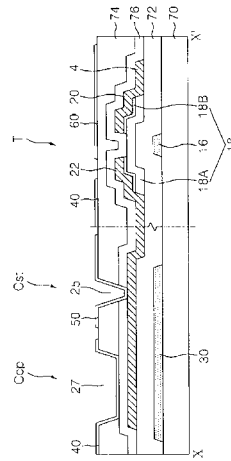
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(72)発明者 文 盛 載

大韓民国ソウル市東大門区徽慶1洞新星銀河水アパート102棟706号

Fターム(参考) 2H090 HA04 KA07 LA01 LA04 MA01 MA15

2H092 GA13 JA24 JB05 JB22 JB31 JB42 JB62 JB64 JB66 JB68

PA02 QA09

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2007206702A	公开(公告)日	2007-08-16
申请号	JP2007025281	申请日	2007-02-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	丁采祐 文盛載		
发明人	丁采祐 文盛載		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1337		
CPC分类号	G02F1/134363 G02F1/136227 G02F1/1393 G02F2001/134381 G02F2001/13606 G02F2201/123		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337.505		
F-TERM分类号	2H090/HA04 2H090/KA07 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA15 2H092/GA13 2H092/JA24 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB62 2H092/JB64 2H092/JB66 2H092/JB68 2H092/PA02 2H092/QA09 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BC24 2H192/BC31 2H192/CB05 2H192/DA12 2H192/DA42 2H290/AA33 2H290/BB44 2H290/BB73 2H290/CA42 2H290/CA46 2H290/CA48 2H290/CA51		
优先权	1020060010349 2006-02-03 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其制造方法，能够防止由寄生电容的偏差引起的垂直串扰。Z SOLUTION：液晶显示装置包括：第一像素电极，形成在每个子像素区域的第一灰度区域中，被划分为第一和第二灰度区域；以及第二像素电极，形成为与第一像素电极分开并形成第二灰度区域由第一像素电极包围的标度区域。Z

