

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-133366

(P2007-133366A)

(43) 公開日 平成19年5月31日(2007.5.31)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	5C094
GO2F 1/1345 (2006.01)	GO2F 1/1345	5F033
HO1L 21/336 (2006.01)	HO1L 29/78 612D	5F110
HO1L 29/786 (2006.01)	HO1L 29/78 616U	
審査請求 有 請求項の数 25 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2006-180059 (P2006-180059)	(71) 出願人	599127667 エルジー フィリップス エルシーディー カンパニー リミテッド
(22) 出願日	平成18年6月29日 (2006.6.29)		大韓民国 ソウル, ヨンドンポーク, ヨイドードン 20
(31) 優先権主張番号	10-2005-0106839	(74) 代理人	100057874 弁理士 曾我 道照
(32) 優先日	平成17年11月9日 (2005.11.9)	(74) 代理人	100110423 弁理士 曾我 道治
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100084010 弁理士 古川 秀利
		(74) 代理人	100094695 弁理士 鈴木 憲七
		(74) 代理人	100111648 弁理士 梶並 順
		最終頁に続く	

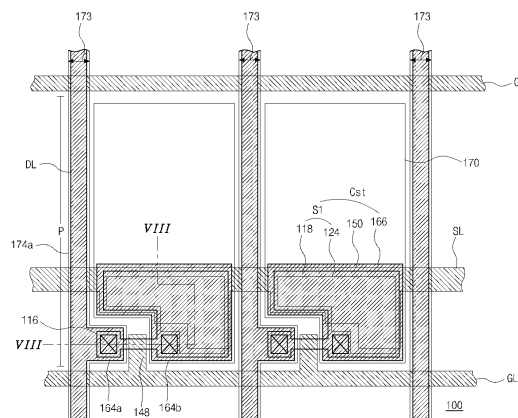
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 工程時間を短縮でき、不良発生率を減少させて生産効率を高めることができる液晶表示装置及びその製造方法を得る。

【解決手段】 基板100上の非表示領域に形成された、第1多結晶半導体と第1ゲート電極と第1ソース電極と第1ドレイン電極を有するp型の駆動薄膜トランジスタと、第2多結晶半導体と第2ゲート電極と第2ソース電極と第2ドレイン電極を有するn型の駆動薄膜トランジスタと、基板上100の表示領域に形成された、相互に交差して画素領域を定義するゲート配線GLとデータ配線DLと、第3多結晶半導体パターンと第3ゲート電極と第3ソース電極と第3ドレイン電極を有する画素薄膜トランジスタと、前記第3ドレイン電極を上から覆う画素電極170と、前記第1ソース電極及びドレイン電極と前記第2ソース及び第2ドレイン電極を上から覆う遮断パターンと、前記データ配線と前記第3ソース電極を上から覆う遮断配線173を含む。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

基板上の非表示領域に形成された、第 1 多結晶半導体パターン、第 1 ゲート電極、第 1 ソース電極及び第 1 ドレイン電極を有する p 型の駆動薄膜トランジスタ、並びに第 2 多結晶半導体パターン、第 2 ゲート電極、第 2 ソース電極及び第 2 ドレイン電極を有する n 型の駆動薄膜トランジスタと、

前記基板上の表示領域に形成された、相互に交差して画素領域を定義するゲート配線及びデータ配線と、

前記基板上の表示領域に形成され、かつ前記ゲート配線及びデータ配線と接続され、第 3 多結晶半導体パターン、第 3 ゲート電極、第 3 ソース電極及び第 3 ドレイン電極を有する画素薄膜トランジスタと、

前記第 3 ドレイン電極を上から覆う画素電極と、

前記第 1 ソース電極及び第 1 ドレイン電極並びに前記第 2 ソース電極及び第 2 ドレイン電極を上から覆う遮断パターンと、

前記データ配線及び前記第 3 ソース電極を上から覆う遮断配線とを備えたことを特徴とする液晶表示装置。

【請求項 2】

前記画素領域に位置するストレージキャパシターをさらに備え、

前記ストレージキャパシターは、

前記基板上の表示領域に形成された第 1 ストレージ電極と、

前記第 1 ストレージ電極上に位置する第 2 ストレージ電極と、

前記第 2 ストレージ電極上に位置し、かつ前記第 3 ドレイン電極から延長された第 3 ストレージ電極とを有する

ことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 ストレージ電極は、

前記第 3 多結晶半導体パターンから延長された第 4 多結晶半導体パターンと、

前記第 4 多結晶半導体パターンの上部に位置するストレージパターンとを含む

ことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

前記ストレージパターンは、前記第 4 多結晶半導体パターンの内側に位置する

ことを特徴とする請求項 3 記載の液晶表示装置

【請求項 5】

前記第 4 多結晶半導体パターンは、イオンを含む

ことを特徴とする請求項 3 記載の液晶表示装置

【請求項 6】

前記第 4 多結晶半導体パターンの一部は、前記第 2 ストレージ電極の外側に位置する

ことを特徴とする請求項 3 記載の液晶表示装置

【請求項 7】

前記第 1 乃至第 3 多結晶半導体パターン及び前記第 1 ストレージ電極上に位置するゲート絶縁膜と、

前記第 1 乃至第 3 ゲート電極及び前記第 2 ストレージ電極上に位置する層間絶縁膜とをさらに備え、

前記画素電極は、前記層間絶縁膜の上部に位置する

ことを特徴とする請求項 3 記載の液晶表示装置

【請求項 8】

前記層間絶縁膜は、前記第 1 乃至第 3 ゲート電極及び前記第 2 ストレージ電極上に位置し、酸化半導体で形成された第 1 膜を有する

ことを特徴とする請求項 7 記載の液晶表示装置

【請求項 9】

10

20

30

40

50

前記層間絶縁膜は、前記画素電極と接触し、かつ前記第1膜の上部に位置し、窒化半導体で形成された第2膜をさらに有する

ことを特徴とする請求項8記載の液晶表示装置

【請求項10】

第1マスクを使用して、基板上の非表示領域において、p領域に第1多結晶半導体パターンを、n領域に第2多結晶半導体パターンを形成するとともに、前記基板上の表示領域において、スイッチング領域に第3多結晶半導体パターンを、ストレージ領域に第1ストレージ電極の役割を果たす、前記第3多結晶半導体パターンから延長される第4多結晶半導体パターン、及び前記第4多結晶半導体パターン上のストレージパターンを形成する工程と、

10

前記第1乃至第4多結晶半導体パターン上にゲート絶縁膜を形成する工程と、

第2マスクを使用して、前記ゲート絶縁膜上において、前記p領域に第1ゲート電極を、前記n領域に第1金属パターンを、前記スイッチング領域及びストレージ領域に第2金属パターンを、前記表示領域に前記第2金属パターンと接続されるゲート配線を形成する工程と、

前記第1ゲート電極、第1金属パターン及び第2金属パターンを形成した後、前記第1多結晶半導体パターンの第1ソース部及び第1ドレイン部に p^+ イオンをドーピングする工程と、

第3マスクを使用して、前記第1金属パターン及び第2金属パターンから、前記n領域には第2ゲート電極を、前記スイッチング領域には第3ゲート電極を、前記ストレージ領域には第2ストレージ電極を形成する工程と、

20

前記第2ゲート電極、前記第3ゲート電極及び前記第2ストレージ電極を形成した後、前記第2多結晶半導体パターンの第2ソース部及び第2ドレイン部、並びに前記第3多結晶半導体パターンの第3ソース部及び第3ドレイン部に n^+ イオンをドーピングする工程と、

前記第1乃至第3ゲート電極、及び前記第2ストレージ電極の上に層間絶縁膜を形成する工程と、

第4マスクを使用して、前記第1ソース部及び第1ドレイン部、前記第2ソース部及び第2ドレイン部、並びに前記第3ソース部を露出するとともに、前記第3ドレイン部、第4多結晶半導体パターン、ストレージパターンの中で少なくとも1つを露出するコンタクトホールを前記層間絶縁膜に形成する工程と、

30

第5マスクを使用して、前記層間絶縁膜上に、前記p領域、n領域及びスイッチング領域の各々にソース電極及びドレイン電極を、前記ストレージ領域に第3ストレージ電極を形成するとともに、前記スイッチング領域のソース電極と接続されるデータ配線を形成する工程と、

第6マスクを使用して、前記スイッチング領域のドレイン電極及び前記第3ストレージ電極の上に画素電極を、前記p領域及び前記n領域に形成された各々のソース電極及びドレイン電極の上に遮断パターンを、前記データ配線及び前記スイッチング領域のソース電極の上に遮断配線を形成する工程と

を含むことを特徴とする液晶表示装置の製造方法。

40

【請求項11】

前記第1マスクを使用して、前記第1乃至第4多結晶半導体パターン及びストレージパターンを形成する工程は、

多結晶半導体層、金属層及びフォトレジスト層を順次積層して形成する工程と、

前記第1マスクを使用して、前記p領域に第1フォトレジストパターンを、前記n領域に第2フォトレジストパターンを、前記スイッチング領域に第3フォトレジストパターンを、前記ストレージ領域に前記第1、第2、及び第3フォトレジストパターンより厚い第4フォトレジストパターンを形成する工程と、

前記多結晶半導体層及び前記金属層をエッチングして、前記第1乃至第4多結晶半導体パターン上において、前記p領域に第3金属パターンを、前記n領域に第4金属パターン

50

を、前記スイッチング領域及び前記ストレージ領域に第5金属パターンを形成する工程と、

前記第1乃至第4フォトリジストパターンをアッシングして、前記第1乃至第3フォトリジストパターンを除去する工程と、

前記アッシングされた第4フォトリジストパターンを使用して、前記第3乃至第5金属パターンを除去する工程とを含む

ことを特徴とする請求項10記載の液晶表示装置の製造方法。

【請求項12】

前記第1マスクは、透過部と、前記第1乃至第3フォトリジストパターンに対応する半透過部と、前記第4フォトリジストパターンに対応する遮断部とを含む

ことを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項13】

前記第2マスクを使用して、前記第1ゲート電極、前記第1金属パターン、及び前記第2金属パターンを形成する工程は、

前記ゲート絶縁膜上に金属層を形成する工程と、

前記金属層をパターンニングして、前記1多結晶半導体パターンの中心部に対応する前記第1ゲート電極と、前記第2多結晶半導体パターンを覆う前記第1金属パターンと、前記第3及び第4多結晶半導体パターンを覆う前記第2金属パターンを形成する工程とを含む

ことを特徴とする請求項10記載の液晶表示装置の製造方法。

【請求項14】

前記第3マスクを使用して、前記第2ゲート電極、前記第3ゲート電極、及び前記第2ストレージ電極を形成する工程は、

前記第1多結晶半導体パターンを覆う第1フォトリジストパターン、前記第2及び前記第3多結晶半導体パターンの中心部に各々対応する第2及び第3フォトリジストパターン、並びに前記ストレージ領域に対応する第4フォトリジストパターンを形成する工程と、

前記第1乃至第4フォトリジストパターンを使用して、前記第1及び第2金属パターンをエッチングする工程とを含む

ことを特徴とする請求項10記載の液晶表示装置の製造方法。

【請求項15】

前記第4多結晶半導体パターンの一部は、前記第2ストレージ電極に覆われない

ことを特徴とする請求項14記載の液晶表示装置の製造方法。

【請求項16】

前記第4多結晶半導体パターンの一部は、前記 n^+ イオンによってドーピングされる

ことを特徴とする請求項15記載の液晶表示装置の製造方法。

【請求項17】

前記第4多結晶半導体パターンの一部にドーピングされた n^+ イオンを前記ストレージパターンの下部へ拡散させる熱処理工程をさらに含む

ことを特徴とする請求項16記載の液晶表示装置の製造方法。

【請求項18】

前記第2多結晶半導体パターン及び前記第3多結晶半導体パターンに n^- イオンをドーピングして低濃度ドーピング領域を形成する工程をさらに含む

ことを特徴とする請求項14記載の液晶表示装置の製造方法。

【請求項19】

前記 n^- イオンをドーピングする工程は、

前記第1乃至第4フォトリジストパターンをアッシングする工程と、

アッシングされた前記第1乃至第4フォトリジストパターンを使用して、前記第2ゲート電極及び前記第3ゲート電極の側面部を除去する工程と、

前記第2及び第3多結晶半導体パターンにおいて、前記第2及び第3ゲート電極の除去された側面部に対応する部分を n^- イオンでドーピングする工程とを含む

ことを特徴とする請求項18記載の液晶表示装置の製造方法。

10

20

30

40

50

【請求項 2 0】

前記層間絶縁膜を形成する工程は、

前記第 1 乃至第 3 ゲート電極、及び前記第 2 ストレージ電極の上に、酸化シリコンを蒸着して第 1 膜を形成する工程を含む

ことを特徴とする請求項 1 0 記載の液晶表示装置の製造方法。

【請求項 2 1】

前記層間絶縁膜を形成する工程は、

前記画素電極と接触し、前記第 1 膜の上部に窒化シリコンを蒸着して第 2 膜を形成する工程をさらに含む

ことを特徴とする請求項 2 0 記載の液晶表示装置の製造方法。

10

【請求項 2 2】

前記画素電極は、前記スイッチング領域のドレイン電極及び前記第 3 ストレージ電極を覆い、前記遮断パターンは、前記 n 領域及び前記 p 領域のソース電極及びドレイン電極を覆い、前記遮断配線は、前記スイッチング領域のソース電極及びデータ配線を覆う

ことを特徴とする請求項 1 0 記載の液晶表示装置の製造方法。

【請求項 2 3】

基板上の非表示領域に位置する n 型の駆動薄膜トランジスタ及び p 型の駆動薄膜トランジスタと、

前記基板上の表示領域に位置し、多結晶半導体パターン、前記多結晶半導体パターンの上に位置するゲート電極、前記ゲート電極の上に位置するソース電極及びドレイン電極を有する画素薄膜トランジスタと、

20

前記多結晶半導体パターン及び前記ゲート電極の間に位置するゲート絶縁膜と、

前記ゲート電極と前記ソース電極及びドレイン電極の間に位置する層間絶縁膜と、

相互に交差して画素領域を定義するゲート配線及びデータ配線と、

前記画素領域に位置する画素電極と、

前記画素薄膜トランジスタと接続し、前記画素薄膜トランジスタの多結晶半導体パターンから延長されたストレージ多結晶半導体パターン及び前記ストレージ多結晶半導体パターンの上部に位置するストレージパターンを持つ第 1 ストレージ電極、前記ゲート絶縁膜の上部に位置する第 2 ストレージ電極、並びに前記画素薄膜トランジスタのドレイン電極から延長された第 3 ストレージ電極を有するストレージキャパシターと

30

を備えたことを特徴とする液晶表示装置。

【請求項 2 4】

前記画素電極は、前記画素薄膜トランジスタのドレイン電極、前記第 3 ストレージ電極及び前記層間絶縁膜の上部に位置し、前記画素薄膜トランジスタのドレイン電極を覆う

ことを特徴とする請求項 2 3 記載の液晶表示装置。

【請求項 2 5】

前記 n 型及び p 型の駆動薄膜トランジスタのソース電極及びドレイン電極を上から覆う遮断パターンと、

前記画素薄膜トランジスタのソース電極及び前記データ配線を上から覆う遮断配線とをさらに備えた

40

ことを特徴とする請求項 2 4 記載の液晶表示装置

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、液晶表示装置に係り、特に駆動回路一体型液晶表示装置及びその製造方法に関する。

【背景技術】**【0 0 0 2】**

一般的な液晶表示装置は、薄膜トランジスタ T F T を含むアレイ基板とカラーフィルター基板間に液晶を注入して、この液晶の異方性による光の屈折率の差を利用してイメージ

50

を得る表示装置である。このような表示装置のスイッチング素子として使用される薄膜トランジスタは、アレイ部の設計によって多様な形態で構成でき、特に、アクティブ層として使用される半導体層には、非晶質シリコンまたは、多結晶シリコン（ポリシリコン）を使用する。この時、一般的なスイッチング素子としては、水素化された非晶質シリコン（ $a\text{-Si:H}$ ）が主に利用されるが、これは、低温工程が可能であり、低価格の絶縁基板が使用できるからである。ところが、水素化された非晶質シリコンは、原子配列が無秩序であるために、弱い結合（ weak Si-Si bond ）及びダングリングボンド（ dangling bond ）が存在して、光の照射や電場の印加時、準安定状態に変化され、薄膜トランジスタ素子として活用する時に、安定性が問題になり、電気的特性（低い電界効果の移動度： $0.1 \sim 10 \text{ cm}^2 / \text{V} \cdot \text{s}$ ）が良くないので、駆動回路としては、使用するのが難しい。一方、ポリシリコンは、非晶質シリコンに比べて、電界効果と移動度が大きいので、基板上に、駆動回路が形成でき、ポリシリコンを利用して、基板に直接駆動回路を形成すると、実装が大変簡単になり、液晶パネルがさらにコンパクトに製作できる長所がある。

【0003】

図1は、従来のスイッチング素子と駆動回路が1つの基板に形成された一体型の液晶表示装置を概略的に示した図である。図1に示したように、絶縁基板10は、表示領域D1と非表示領域D2で定義され、前記表示領域D1には、多数の画素領域Pがマトリックス状に位置し、各画素ごとにスイッチング素子T及びこれに連結された画素電極17が構成される。また、前記画素領域Pの一側に沿って延長されたゲート配線12と、これとは垂直に交差するデータ配線14が構成される。前記非表示領域D2には、駆動回路部16、18が構成されるが、前記駆動回路部16、18は、基板10の一側に位置して、前記ゲート配線12に信号を供給するゲート駆動回路部16と、これとは平行ではない基板10の他側に位置して、前記データ配線14に信号を供給するデータ駆動回路部18を含む。前記ゲート駆動回路部16及びデータ駆動回路部18は、外部から入力された信号を調節し、各々ゲート配線12及びデータ配線14を通じて画素領域Pに、ディスプレイコントロール信号及びデータ信号を供給するための回路である。従って、前記ゲート駆動回路部16及びデータ駆動回路部18は、入力される信号を適切に出力させるために、一般的には、インバーターであるCMOS（Complementary Metal-Oxide Semiconductor）構造の薄膜トランジスタで構成される。前記CMOSは、高速信号処理が要求される駆動回路部薄膜トランジスタに使用される半導体技術の一種であり、陰電気で充電された余分の電子等（n型の半導体）と陽電気で充電された正孔等（p型の半導体）を利用して1つの伝導体を形成し、相互補完的な方法で、前記2種類の半導体の効果的な電気制御に使用される。このように、非表示領域D2の駆動回路部を構成するCMOS素子は、n型及びp型の多結晶薄膜トランジスタの組み合わせで構成され、前記表示領域D1のスイッチング素子は、n型及びp型の多結晶薄膜トランジスタで構成される。

【0004】

図2は、従来の液晶表示装置の表示領域を示した概略的な平面図である。図2に示したように、基板30の一面に、第1方向に、ゲート配線GLが構成され、前記ゲート配線GLと交差して、画素領域Pを定義するデータ配線DLが構成される。前記ゲート配線GL及びデータ配線DLの交差部には、ゲート電極52及びアクティブ層38（多結晶シリコン層）と、ソース電極74a及びドレイン電極74bで構成された多結晶の薄膜トランジスタTが構成され、前記画素領域Pには、前記ドレイン電極74bと接触する画素電極82が構成される。また、前記画素領域Pには、第1ストレージ電極40、第2ストレージ電極54、第3ストレージ電極76で形成されたストレージキャパシターCstが構成される。前記のような構成は、液晶パネルの表示領域の一部を示しており、このような形状が連続されて表示領域を構成する。前述した表示領域の周辺に、駆動回路部（図示せず）を形成し、駆動回路部（図示せず）には、前記ゲート配線GL及びデータ配線DLに信号を伝達するための駆動回路（図示せず）が形成される。前記駆動回路（図示せず）は、多

結晶薄膜トランジスタの組み合わせによって構成され、駆動の特性が速くて、漏洩電流がないようにするために、 n 型の多結晶薄膜トランジスタも、前述したように、CMOS薄膜トランジスタの組み合わせによって形成することができる。

【0005】

以下、図3A及び図3Bは、従来のスイッチング素子と駆動回路が1つの基板に形成される一体型の液晶表示装置用アレイ基板を示した概略的な断面図である。図3Aは、駆動回路部を示した断面図であり、図3Bは、前記図2のIII-III線に沿って切断した断面図である。図3Aと図3Bに示したように、非表示領域D2に構成した駆動回路DCは、CMOS薄膜トランジスタTの組み合わせによって構成され、前記CMOS薄膜トランジスタTは、 n 型の薄膜トランジスタ T_n と p 型の薄膜トランジスタ T_p の組み合わせによって構成される。表示領域D1に構成された単一画素領域Pは、スイッチング素子 T_s と、これと接触して画素領域P全面に形成された画素電極82と、補助容量部であるストレージキャパシターCstが形成される。この時、前記画素領域Pに使用するスイッチング素子 T_s は、 n 型または、 p 型の多結晶薄膜トランジスタを使用するが、一般的には、 n 型の多結晶薄膜トランジスタを使用する。前記ストレージキャパシターCstは、第1ストレージ電極40、第2ストレージ電極54、第3ストレージ電極76で形成され、等価回路的には、2つのキャパシターC1、C2が直列接続された状態である。このような構成は、領域を拡大しなくても、補助容量がさらに確保できる長所がある。前述したような構成の駆動回路一体型の液晶表示装置用アレイ基板は、一般的に、ストレージキャパシターCstを形成するためのドーピング工程と、 n 型の多結晶薄膜トランジスタ T_n を形成するための n^+ イオンドーピング工程と、 p 型の多結晶薄膜トランジスタ T_p を形成するための p^+ イオンドーピング工程を含む9マスク工程を必要とする。以下、工程図面を参照して、従来の駆動回路一体型の液晶表示装置用アレイ基板の製造方法を説明する。

10

20

【0006】

図4Aないし図4Iは、従来の液晶表示装置用アレイ基板の非表示領域の製造工程を示した概略的な断面図であり、図5Aないし図5Iは、従来の液晶表示装置用アレイ基板の表示領域の製造工程を示した概略的な平面図であり、図6Aないし図6Iは、各々図5Aないし図5IのVI-VI線に沿って切断した断面図である。

【0007】

図4Aと図5Aと図6Aは、第1マスク工程を示した図である。図4Aと図5Aと図6Aに示したように、基板30に、表示領域D1と非表示領域D2を定義して、表示領域D1には、多数の画素領域Pを定義する。この時、非表示領域D2に、第1領域A1と第2領域A2を定義し、前記画素領域Pに、第3領域A3と第4領域A4を定義する。前述したように、第1ないし第4領域A1、A2、A3、A4が定義された基板30の一面に、絶縁物質を蒸着してパッファ層32を形成し、前記パッファ層32の上部に非晶質シリコン(a-Si:H)を蒸着した後、結晶化する工程を行う。一般的には、レーザーを利用して結晶化を行う。結晶化工程によって結晶化された層をパターンニングし、前記第1領域A1と第2領域A2と第3領域A3に、アクティブ層として機能する第1ないし第3多結晶半導体層34、36、38を形成し、前記第4領域A4に、第1ストレージ電極として機能する第4多結晶半導体層40を形成する。この時、第3多結晶半導体層38と第4多結晶半導体層40は、一体に形成することができる。

30

40

【0008】

図4Bと図5Bと図6Bは、第2マスク工程を示しており、前記第4領域A4の第4多結晶半導体層40にイオンをドーピングする工程を示した図である。図4Bと図5Bと図6Bに示したように、第1ないし第4多結晶半導体層34、36、38、40が形成された基板30全面に、フォトレジストを塗布した後、第2マスク工程によってパターンニングし、前記第1領域A1と第2領域A2及び第3領域A3を遮蔽する第1フォトレジストパターン42を形成する。前記第1フォトレジストパターン42によって遮蔽されない第4領域A4の第4多結晶半導体層40の表面に、 n^+ イオンをドーピングする工程を行う。前記第4多結晶半導体層40は、電極の役割をして、低い抵抗を有するために、イオン(

50

n または、p 型のイオン) をドーピングする工程を行う。イオンドーピング工程が完了すると、前記第 1 フォトレジストパターン 42 を除去する工程を行う。

【0009】

図 4 C と図 5 C と図 6 C は、第 3 マスク工程を示した断面図である。図 4 C と図 5 C と図 6 C に示したように、前記第 4 領域 A 4 の第 4 多結晶半導体層 40 にイオンをドーピングして第 1 ストレージ電極を形成する工程後、前記第 1 ないし第 4 多結晶半導体層 34、36、38、40 が形成された基板 30 全面にゲート絶縁膜 46 を形成する。前記ゲート絶縁膜 46 は、窒化シリコン SiN_x と酸化シリコン SiO₂ を含む無機絶縁物質グループのうちから選択された 1 つ以上の物質を蒸着して形成する。前記ゲート絶縁膜 46 が形成された基板 30 全面に、導電性金属を蒸着して第 3 マスク工程によってパターンニングし、前記第 1 ないし第 3 多結晶半導体層 34、36、38 の中心に対応する上部に第 1 ないし第 3 ゲート電極 48、50、52 を形成し、前記第 4 領域 A 4 の第 4 多結晶半導体層 40 に対応する上部に第 2 ストレージ電極 54 を形成すると同時に、前記第 3 領域 A 3 に構成したゲート電極 52 から延長され、画素領域 P の一側に位置するようにゲート配線 GL を形成して、前記第 2 ストレージ電極 54 から延長され画素領域 P を横切るストレージ配線 SL を形成する。

10

【0010】

図 4 D と図 5 D と図 6 D は、第 4 マスク工程を示しており、第 2 領域 A 2 と第 3 領域 A 3 の第 2 多結晶半導体層 36 及び第 3 多結晶半導体層 38 に、n⁺ イオンをドーピングするための工程断面図である。図 4 D と図 5 D と図 6 D に示したように、第 1 ないし第 3 電極 48、50、52 と第 2 ストレージ電極 54 とゲート配線 (図示せず) が形成された基板 30 全面にフォトレジストを塗布した後、第 4 マスク工程によってパターンニングし、前記第 1 領域 A 1 を覆うフォトレジストパターン 56 を形成する。前記フォトレジストパターン 56 間に露出された第 2 領域 A 2 と第 3 領域 A 3 に n⁺ イオンをドーピングする工程を行う。前記第 2 領域 A 2 と第 3 領域 A 3 の第 2 半導体層 36 と第 3 半導体層 38 領域の前記第 2 ゲート電極 50 と第 3 ゲート電極 52 の周辺に露出された表面に n⁺ イオンがドーピングされ、イオンがドーピングされた領域は、抵抗性接触 (ohmic contact) の特性を有する。前述したような第 4 マスク工程が完了すると、前記フォトレジストパターン 56 を除去する工程を行う。

20

【0011】

図 4 E と図 5 E と図 6 E は、第 5 マスク工程を示しており、第 1 領域 A 1 の半導体層に p⁺ イオンをドーピングするための工程断面図である。図 4 E と図 5 E と図 6 E に示したように、第 1 ないし第 3 ゲート電極 48、50、52 と第 2 ストレージ電極 54 が形成された基板 30 にフォトレジストを塗布した後、第 5 マスク工程によってパターンニングし、第 2 領域 A 2 と第 3 領域 A 3 と第 4 領域 A 4 を覆うフォトレジストパターン 58 を形成する。ここで、前記第 4 領域 A 4 は、既に第 2 ストレージ電極 54 が形成された状態であるので、フォトレジストパターンを形成しなくても良い。第 1 領域 A 1 の露出された第 1 半導体層 34 のゲート電極 48 の周辺に露出された表面に p⁺ イオンをドーピングする工程を行う。この時、イオンがドーピングされた領域は、前述したように、抵抗性接触 (ohmic contact) の特性を有する。

30

【0012】

図 4 F と図 5 F と図 6 F は、第 6 マスク工程を示した工程断面図である。前述したように、第 1 ないし第 3 半導体層 34、36、38 にイオンをドーピングして抵抗性接触領域 (以下、オーミックコンタクト領域と称する。) の形成工程が行われた基板 30 に、窒化シリコン SiN_x と酸化シリコン SiO₂ を含む無機絶縁物質グループのうちから選択された 1 つを蒸着して層間絶縁膜 60 を形成する。前記層間絶縁膜 60 とその下部のゲート絶縁膜 46 を第 6 マスク工程によってパターンニングし、前記第 1 ないし第 3 半導体層 34、36、38 のオーミックコンタクト領域 (イオンドーピング領域) を露出するコンタクトホールを形成する。詳しくは、前記第 1 ないし第 3 ゲート電極 48、50、52 を中心に両側の半導体層 34、36、38、すなわち、オーミックコンタクト領域を各々露出す

40

50

る第1ないし第3コンタクトホール62、64、66を形成する。前記第1ないし第3コンタクトホール62、64、66は、第1ないし第3ソースコンタクトホール62a、64a、66a及び第1ないし第3ドレインコンタクトホール62b、64b、66bで構成される。

【0013】

図4Gと図5Gと図6Gは、第7マスク工程を示した工程断面図である。前記第1ないし第3半導体層34、36、38のオーミックコンタクト領域（イオンドーピング領域）の一部を露出する層間絶縁膜60が形成された基板30全面に、クロムCr、モリブデンMo、タングステンW、銅Cu、アルミニウム合金AlNd等を含む導電性金属グループのうちから選択された1つを蒸着してパターンニングし、前記露出されたオーミックコンタクト領域と接触する第1ないし第3ソース電極70a、72a、74aと第1ないし第3ドレイン電極70b、72b、74bを形成する。この時、前記第3領域A3に構成したドレイン電極74bから第4領域A4に延長された延長部をさらに形成して、これは、第3ストレージ電極76としての役割を果たす。また、前記表示領域D1の第3領域A3に形成したソース電極74aから延長され、前記ゲート配線GLと交差して画素領域Pの一侧に延長されたデータ配線DLを形成する。前述した第1ないし第7マスク工程によって、非表示領域D2には、p型の多結晶薄膜トランジスタT(p)とn型の多結晶薄膜トランジスタT(n)の組み合わせであるCMOS素子が形成され、前記表示領域D1の第3領域A3には、n型の多結晶薄膜トランジスタで構成されたスイッチング薄膜トランジスタTsが形成され、前記第4領域A4には、第1ストレージ電極40、第2ストレージ電極54、第3ストレージ電極76（ソース/ドレイン金属層）で構成された第1ストレージキャパシターC1及び第2ストレージキャパシターC2は、ストレージキャパシターCstを構成する。

10

20

【0014】

図4Hと図5Hと図6Hは、第8マスク工程を示した工程断面図である。図4Hと図5Hと図6Hに示したように、前記第1ないし第3領域A1、A2、A3ごとに第1ないし第3ソース電極70a、72a、74aと第1ないし第3ドレイン電極70b、72b、74bが形成された基板30全面に、前述した絶縁物質グループのうちから選択された1つ以上の物質を蒸着して保護層78を形成する。前記保護層78を第8マスク工程によってパターンニングし、前記第3領域A3のドレイン電極74bまたは、第3ストレージ電極76を露出するドレインコンタクトホール80を形成する。

30

【0015】

図4Iと図5Iと図6Iは、第9マスク工程を示した工程断面図である。図4Iと図5Iと図6Iに示したように、前記保護層78が形成された基板30全面に、インジウム-スズ-オキサイドITOとインジウム-ジंक-オキサイドIZOを含む透明な導電性金属グループのうちから選択された1つを蒸着して、第9マスク工程によってパターンニングし、前記ドレイン電極74bまたは、これに延長された前記第3ストレージ電極76と接触して前記画素領域Pに位置する画素電極82を形成する。以上、前述したような第1ないし第9マスク工程によって、従来の駆動回路一体型の液晶パネルの薄膜トランジスタアレイ基板を製作することができる。

40

【発明の開示】

【発明が解決しようとする課題】

【0016】

従って、従来は、多数の工程によって駆動回路一体型のアレイ基板を製作するために、工程時間の増大と生産費用の増加により生産効率が低下するという問題点があった。また、多数の工程による不良発生率が高いという短所があった。

【0017】

本発明は、前述したような課題を解決するためになされたもので、その目的は、工程数を減少させて工程時間を短縮することができ、生産費用を低下させると同時に、不良発生率を減少させて生産効率を高めることができる液晶表示装置及びその製造方法を得るもの

50

である。

【課題を解決するための手段】

【0018】

本発明に係る液晶表示装置は、基板上の非表示領域に形成された、第1多結晶半導体パターン、第1ゲート電極、第1ソース電極及び第1ドレイン電極を有するp型の駆動薄膜トランジスタ、並びに第2多結晶半導体パターン、第2ゲート電極、第2ソース電極及び第2ドレイン電極を有するn型の駆動薄膜トランジスタと、前記基板上の表示領域に形成された、相互に交差して画素領域を定義するゲート配線及びデータ配線と、前記基板上の表示領域に形成され、かつ前記ゲート配線及びデータ配線と接続され、第3多結晶半導体パターン、第3ゲート電極、第3ソース電極及び第3ドレイン電極を有する画素薄膜トランジスタと、前記第3ドレイン電極を上から覆う画素電極と、前記第1ソース電極及び第1ドレイン電極並びに前記第2ソース電極及び第2ドレイン電極を上から覆う遮断パターンと、前記データ配線及び前記第3ソース電極を上から覆う遮断配線とが設けられたものである。

10

【0019】

本発明に係る液晶表示装置の製造方法は、第1マスクを使用して、基板上の非表示領域において、p領域に第1多結晶半導体パターンを、n領域に第2多結晶半導体パターンを形成するとともに、前記基板上の表示領域において、スイッチング領域に第3多結晶半導体パターンを、ストレージ領域に第1ストレージ電極の役割を果たす、前記第3多結晶半導体パターンから延長される第4多結晶半導体パターン、及び前記第4多結晶半導体パターン上のストレージパターンを形成する工程と、前記第1乃至第4多結晶半導体パターン上にゲート絶縁膜を形成する工程と、第2マスクを使用して、前記ゲート絶縁膜上において、前記p領域に第1ゲート電極を、前記n領域に第1金属パターンを、前記スイッチング領域及びストレージ領域に第2金属パターンを、前記表示領域に前記第2金属パターンと接続されるゲート配線を形成する工程と、前記第1ゲート電極、第1金属パターン及び第2金属パターンを形成した後、前記第1多結晶半導体パターンの第1ソース部及び第1ドレイン部に p^+ イオンをドーピングする工程と、第3マスクを使用して、前記第1金属パターン及び第2金属パターンから、前記n領域には第2ゲート電極を、前記スイッチング領域には第3ゲート電極を、前記ストレージ領域には第2ストレージ電極を形成する工程と、前記第2ゲート電極、前記第3ゲート電極及び前記第2ストレージ電極を形成した後、前記第2多結晶半導体パターンの第2ソース部及び第2ドレイン部、並びに前記第3多結晶半導体パターンの第3ソース部及び第3ドレイン部に n^+ イオンをドーピングする工程と、前記第1乃至第3ゲート電極、及び前記第2ストレージ電極の上に層間絶縁膜を形成する工程と、第4マスクを使用して、前記第1ソース部及び第1ドレイン部、前記第2ソース部及び第2ドレイン部、並びに前記第3ソース部を露出するとともに、前記第3ドレイン部、第4多結晶半導体パターン、ストレージパターンの中で少なくとも1つを露出するコンタクトホールを前記層間絶縁膜に形成する工程と、第5マスクを使用して、前記層間絶縁膜上に、前記p領域、n領域及びスイッチング領域の各々にソース電極及びドレイン電極を、前記ストレージ領域に第3ストレージ電極を形成するとともに、前記スイッチング領域のソース電極と接続されるデータ配線を形成する工程と、第6マスクを使用して、前記スイッチング領域のドレイン電極及び前記第3ストレージ電極の上に画素電極を、前記p領域及び前記n領域に形成された各々のソース電極及びドレイン電極の上に遮断パターンを、前記データ配線及び前記スイッチング領域のソース電極の上に遮断配線を形成する工程とが設けられたものである。

20

30

40

【発明の効果】

【0020】

本発明に係る液晶表示装置及びその製造方法は、従来に比べて、工程が単純化されて生産費用を節減でき、工程時間を短縮することができる。また、工程が単純化されることによって、不良発生率を低下させることができ、生産効率を改善することができる。

【発明を実施するための最良の形態】

50

【 0 0 2 1 】

以下、本発明の実施の形態に係る駆動回路一体型の液晶表示装置用アレイ基板の製造方法を説明する。図 7 は、本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域を概略的に示した平面図である。図 7 に示したように、基板 100 上に、一方向に延長されたゲート配線 GL と、前記ゲート配線 GL と垂直に交差して画素領域 P を定義するデータ配線 DL を構成する。前記ゲート配線 GL とデータ配線 DL の交差点には、スイッチング素子である画素薄膜トランジスタを構成し、前記画素領域 P には、画素電極 170 を構成する。前記画素薄膜トランジスタは、多結晶半導体パターン 116 と、ゲート電極 148 と、ソース電極 164a と、ドレイン電極 164b とを含む。前記画素電極 170 は、前記ドレイン電極 164b と接触するように構成する。前記画素領域 P の一部には、画素ストレージキャパシタ Cst を構成する。前記画素ストレージキャパシタ Cst は、ストレージ半導体パターン 118 及びストレージパターン 124 で積層形成された第 1 ストレージ電極 S1 と、ストレージ配線 SL から前記第 1 ストレージ電極 S1 の上部に延長された第 2 ストレージ電極 150 と、前記ドレイン電極 164b から前記第 2 ストレージ電極 150 の上部に延長された第 3 ストレージ電極 166 で構成される。前記画素電極 170 は、前記ドレイン電極 164b と前記第 3 ストレージ電極 166 とを覆う。遮断配線 173 は、前記ソース電極 164a と、前記ソース電極 164a から延長されたデータ配線 DL を覆う。以下、断面構成を参照して、前述した構成を含む駆動回路一体型の液晶表示装置用アレイ基板の構成を説明する。

10

【 0 0 2 2 】

図 8 A 及び図 8 B は、本発明の実施の形態に係るスイッチング素子と駆動回路部が 1 つの基板に形成される液晶表示装置用アレイ基板を示した概略的な断面図であり、図 8 B は、図 7 の V I I I - V I I I 線に沿って切断した概略的な断面図である。図 8 A と図 8 B に示したように、駆動回路一体型の液晶表示装置用アレイ基板 100 は、表示領域 D1 と非表示領域 D2 に区分される。前記非表示領域 D2 には、n (第 2) 領域 A2 に位置する n 型の駆動薄膜トランジスタ T(n) と p (第 1) 領域 A1 に位置する p 型の駆動薄膜トランジスタ T(p) の組み合わせである CMOS で構成された駆動回路が形成されている。前記 p 型の駆動薄膜トランジスタ T(p) は、第 1 ゲート電極 136 と、第 1 多結晶半導体パターン 112 と、第 1 ソース電極 160a と、第 1 ドレイン電極 160b で構成される。前記 n 型の駆動薄膜トランジスタ T(n) は、第 2 ゲート電極 146 と、第 2 多結晶半導体パターン 114 と、第 2 ソース電極 162a と、第 2 ドレイン電極 162b で構成される。遮断パターン 172 は、前記第 1 ソース電極 160a と、前記第 1 ドレイン電極 160b と、前記第 2 ソース電極 162a と、前記第 2 ドレイン電極 162b を上から覆う。前記表示領域 D1 には、画素薄膜トランジスタと、画素電極 170 と、画素ストレージキャパシタ Cst とが位置する。前記画素薄膜トランジスタは、スイッチング (第 3) 領域 A3 に位置し、第 3 ゲート電極 148 と、前記第 1 多結晶半導体パターン 116 と、前記第 3 ソース電極 164a と、前記第 3 ドレイン電極 164b とで構成される。遮断配線 173 は、データ配線 DL と、前記第 3 ソース電極 164a とを上から覆う。画素電極 170 は、前記第 3 ドレイン電極 164b と、前記第 3 ストレージ電極 166 とを上から覆う。前記画素ストレージキャパシタ Cst は、ストレージ (第 4) 領域 A4 に位置し、並列に接続する第 1 ストレージキャパシタ C1 と第 2 ストレージキャパシタ C2 を含む。前記第 1 ストレージキャパシタ C1 は、第 1 ストレージ電極 S1 と第 2 ストレージ電極 150 とで構成され、前記ストレージキャパシタ C2 は、前記第 2 ストレージ電極 150 と第 3 ストレージ電極 166 とで構成される。前記第 1 ストレージ電極 S1 は、第 4 多結晶半導体パターン 118 と、前記第 4 多結晶半導体パターン 118 の上部に位置するストレージパターン 124 とを含む。前記第 4 多結晶半導体パターン 118 は、第 3 多結晶半導体パターン 116 と一体に構成され、前記第 3 ストレージ電極 166 は、前記第 3 ドレイン電極 164b と一体に構成される。層間絶縁膜は、酸化シリコン SiO₂ で形成される第 1 膜 152a と、窒化シリコン SiNx で形成される第 2 膜 152b を含む。前述した構成の中で、前記 n 型及び前記 p 型の駆動薄膜トランジスタ及び画素薄膜

20

30

40

50

トランジスタの多結晶半導体パターンと、前記画素ストレージキャパシターC s tの多結晶半導体パターン118と、この上部のストレージパターンは単一のマスク工程で構成される。そして、前記n型及び前記p型の駆動薄膜トランジスタ及び前記画素薄膜トランジスタのゲート電極を形成し、前記n型の駆動薄膜トランジスタ及び前記画素薄膜トランジスタの多結晶半導体の表面に部分的に n^+ イオンドーピングと、 n^- イオンとドーピングを行い、p型の駆動薄膜トランジスタの多結晶半導体パターン112に p^+ イオンをドーピングし、画素ストレージキャパシターC s tの前記第2ストレージ電極150を形成する工程は、2度のマスク工程で構成される。また駆動薄膜トランジスタ及び前記画素薄膜トランジスタのソース電極及びドレイン電極を形成した後、保護層の形成を省略し、画素電極170を形成する。この時、層間絶縁膜のため、窒化シリコンS i N xと酸化シリコンS i O₂を積層し、窒化シリコンS i N xを上部に位置させて、前記画素電極170と接触させる。

10

【0023】

本発明の実施の形態に係る駆動回路一体型の液晶表示装置用アレイ基板は、前述したマスク工程を含み、6マスク工程によって製作することができる。

【0024】

図9Aないし図9Nは、本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の製造工程を示した概略的な断面図であり、図10Aないし図10Nは、本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の製造工程を示した概略的な平面図であり、図11Aないし図11Nは、各々図10Aないし図10NのX I - X I線に沿って切断した部分を示した断面図である。

20

【0025】

以下、図9Aないし図9Eと、図10Aないし図10Eと、図11Aないし図11Eは、第1マスク工程を示した図である。

【0026】

図9Aと図10Aと図11Aに示したように、基板100を表示領域D1と非表示領域D2に定義して、前記表示領域D1には、多数の画素領域Pが定義され、前記画素領域Pには、スイッチング領域A3とストレージ領域A4が定義されている。また、前記非表示領域D2には、p領域A1と、n領域A2が定義されている。この時、p領域A1は、p型の駆動薄膜トランジスタが形成される領域であり、n領域A2は、n型の駆動薄膜トランジスタが形成される領域である。さらに、前記スイッチング領域A3は、画素薄膜トランジスタが形成される領域であり、前記ストレージ領域A4は、画素ストレージキャパシターが形成される領域である。前述したように、複数の領域A1、A2、A3、A4が定義された基板100全面に、バッファ層102と多結晶シリコン層104と第1金属層106を積層して形成する。前記バッファ層102は、窒化シリコンS i N xと酸化シリコンS i O₂を含む無機絶縁物質グループのうちから選択された1つまたは、1つ以上の物質を蒸着して形成する。前記多結晶シリコン層104は、不純物を含まない純粋非晶質シリコン(a - S i : H)を蒸着した後、脱水素工程及び結晶化工程を行って形成する。前記第1金属層106は、タングステンW、モリブデンMo、クロムCr、モリブデンタングステンMoW等を含む導電性金属グループのうちから選択された1つを蒸着して形成する。前記第1金属層106が形成された基板100全面に、フォトレジストを塗布して第1感光層108を形成する。前記第1感光層108と離れた上部に、透過部M1と遮断部M2と半透過部M3で構成されたマスクM(第1マスク)を位置させる。前記遮断部M2は、前記ストレージ領域A4に対応するようにし、前記半透過部M3は、前記p領域A1と前記n領域A2と前記スイッチング領域A3に対応するようにし、前記透過部M1は、その他の領域に対応するようにする。この時、前記マスクMは、前記感光層108の位置によって強度の異なる光を照射して、部分的に感光層を露光し、特に、前記半透過部M3は、光の回折による光強度の減少を利用して下部の感光層が表面から一部だけ露光されるようにすることを特徴とする。

30

40

【0027】

50

従って、図 9 B と図 10 B と図 11 B に示したように、前記マスク M の上部に光を照射した後、現像すると、前記 p 領域 A 1 と前記 n 領域 A 2 には、一部除去され最初より低くなった第 1 フォトリソパターン 110 a と第 2 フォトリソパターン 110 b が形成され、前記第スイッチング領域 A 3 と前記ストレージ領域 A 4 には、段差を有する第 3 フォトリソパターン（発明としては、第 3 及び第 4 フォトリソパターンと言う。）110 c が形成される。すなわち、前記スイッチング領域 A 3 と第ストレージ領域 A 4 にかけて第 3 フォトリソパターン 110 c がパターンニングされるが、前記マスク M の半透過部 M 3（図 11 A）が位置した前記スイッチング領域 A 3 に対応する部分は、低い高さで形成される。前記第 1 ないし第 3 フォトリソパターン 110 a、110 b、110 c の周辺に露出された前記第 1 金属層 106 及びその下部の多結晶シリコン層 104 を除去する工程を行う。

10

【0028】

図 9 C と図 10 C と図 11 C に示したように、前記第 1 ないし第 3 フォトリソパターン 110 a、110 b、110 c の下部には、第 1 ないし第 3 金属パターン（発明としては、第 1 ないし第 4 金属パターンと言う。）120、122、124 と、その下部には、第 1 ないし第 4 多結晶半導体層 112、114、116、118 が残る。この時、前記第 3 半導体層 116 及び第 4 半導体層 118 は、一体にパターン化される。前記第 1 ないし第 3 フォトリソパターン 110 a、110 b、110 c をアッシングする工程を行う。

20

【0029】

図 9 D と図 10 D と図 11 D に示したように、前記 p 領域 A 1 と前記 n 領域 A 2 とスイッチング領域 A 3 に対応する前記第 1 ないし第 3 フォトリソパターン 110 a、110 b、110 c の部分は、除去され、前記ストレージ領域 A 4 に対応する前記第 3 フォトリソパターン 110 c の部分は残る。前記 p 領域 A 1 と n 領域 A 2 とスイッチング領域 A 3 に対応して露出された第 1 ないし第 3 金属パターン 120、122、124 を除去する工程を行う。この時、アッシングされた前記第 3 フォトリソパターン 110 c を利用して行う。

【0030】

図 9 E と図 10 E と図 11 E に示したように、前記 p 領域 A 1 と前記 n 領域 A 2 と前記スイッチング領域 A 3 にそれぞれ対応する第 1 ないし第 3 半導体層 112、114、116 が露出される。前記ストレージ領域の第 4 多結晶半導体層 118 の上部には、前記第 3 多結晶半導体層 116 に対応する部分がエッチングされた第 3 金属パターン 124（以下、ストレージパターンと称する。）が残る。

30

【0031】

以上、前述した第 1 マスク工程によって、p 領域 A 1 と n 領域 A 2 とスイッチング領域 A 3 に、第 1 ないし第 3 多結晶半導体層 112、114、116 が形成でき、前記ストレージ領域 A 4 に、前記第 3 多結晶半導体層 116 と一体に構成された第 4 多結晶半導体層 118 と、ストレージパターン 124 を積層して形成することができる。この時、前記ストレージパターン 124 と第 4 多結晶半導体層 118 は、第 1 ストレージ電極としての役割をする。前述した工程で、前記第 4 多結晶半導体層 118 にストレージパターン 124 を形成することによって、前記第 4 半導体層 118 を電極として使用するための別途の不純物イオンドーピング工程が省略できる。

40

【0032】

以下、図 9 F 及び図 9 G と、図 10 F 及び図 10 G と、図 11 F 及び図 11 G は、第 2 マスク工程を示した図である。

【0033】

図 9 F と図 10 F と図 11 F に示したように、前記ストレージ領域 A 4 に、ストレージパターン 124 が形成された基板 100 全面に、ゲート絶縁膜 128 と第 2 金属層 130 を積層し、前記第 2 金属層 130 上に、フォトリソを塗布して第 2 感光層 132 を形成する。第 2 マスク工程によって、前記第 2 感光層 132 を露光して現像する工程を行う

50

。

【 0 0 3 4 】

図 9 G と図 1 0 G と図 1 1 G に示したように、p 領域 A 1 と n 領域 A 2 に残された第 1 フォトリジストパターン 1 3 4 a 及び第 2 フォトリジストパターン 1 3 4 b と、前記スイッチング領域 A 3 と前記ストレージ領域 A 4 に残された第 3 フォトリジストパターン 1 3 4 c の周辺に露出された第 2 金属層 1 3 0 (図 9 F と図 1 1 F) を除去する工程を行う。前記 p 領域 A 1 の第 1 フォトリジストパターン 1 3 4 a の下部には、第 1 ゲート電極 1 3 6 が形成され、前記 n 領域 A 2 と前記スイッチング領域 A 3 及びストレージ領域 A 4 には、第 1 金属パターン 1 3 8 と第 2 金属パターン 1 4 0 が各々残される。この時、前記 p 領域 A 1 の第 1 多結晶半導体層 1 1 2 には、第 1 チャンネル部 B 1 と、第 1 ソース部 B 2 と、第 1 ドレイン部 B 3 とがある。前記第 1 ソース部 B 2 と、第 1 ドレイン部 B 3 の間に第 1 チャンネル部 B 1 が位置する。前記第 1 チャンネル部 B 1 は第 1 ゲート電極 1 3 6 に覆われ、前記第 1 ソース部 B 2 と前記第 2 ドレイン部 B 3 は、前記第 1 ゲート電極 1 3 6 に覆われない。前記第 1 ゲート電極 1 3 6 は前記第 1 チャンネル部 B 1 に対応するように形成する。第 1 金属パターン 1 3 8 は、前記第 2 多結晶半導体パターン 1 1 4 を覆い、第 2 金属パターン 1 4 0 は、前記第 3 多結晶半導体パターン 1 1 6 と前記第 4 多結晶半導体パターン 1 1 8 を覆う。前述した工程で、前記第 2 金属パターン 1 4 0 の一側と他側に連結されたゲート配線 G L とストレージ配線 S L を形成する。前記第 1 ないし第 3 フォトリジストパターン 1 3 4 a、1 3 4 b、1 3 4 c を除去する工程を行う。

10

【 0 0 3 5 】

図 9 H と図 1 0 H と図 1 1 H は、p 領域の第 1 多結晶半導体層 1 1 2 に、 p^+ イオンをドーピングする工程を示した図である。図 9 H と図 1 0 H と図 1 1 H に示したように、前記 p 領域 A 1 に、第 1 ゲート電極 1 3 6 が形成され、前記 n 領域 A 2 に、第 1 金属パターン 1 3 8 が形成され、前記スイッチング領域 A 3 及びストレージ領域 A 4 に、前記第 2 金属パターン 1 4 0 が形成された基板 1 0 0 全面に、 p^+ イオンドーピング工程を行う。前記ゲート電極 1 3 6 と前記第 1 金属パターン 1 3 8 と前記第 2 金属パターン 1 4 0 はドーピングマスクとして役割をする。前記 p 領域 A 1 の第 1 多結晶半導体層 1 1 2 の第 1 ソース部 B 2 と、第 1 ドレイン部 B 3 には、 p^+ イオンドーピングされて、オーミック領域が形成される。

20

【 0 0 3 6 】

図 9 I ないし図 9 K と、図 1 0 I ないし図 1 0 K と、図 1 1 I ないし図 1 1 K は、第 3 マスク工程を示した図である。

30

【 0 0 3 7 】

図 9 I と図 1 0 I と図 1 1 I に示したように、第 3 感光層を形成し、第 3 マスク工程によってパターンニングし、前記 p 領域 A 1 には、第 1 多結晶半導体パターン 1 1 2 を覆う第 1 フォトリジストパターン 1 4 2 a を、前記 n 領域 A 2 には、第 2 フォトリジストパターン 1 4 2 b とその下部の第 2 ゲート電極 1 4 6 を、前記スイッチング領域 A 3 には、第 3 フォトリジストパターン 1 4 2 c とその下部の第 3 ゲート電極 1 4 8 を、前記ストレージ領域 A 4 には、第 4 フォトリジストパターン 1 4 2 d とその下部の第 2 ストレージ電極 1 5 0 を形成する。前記第 4 フォトリジストパターン 1 4 2 d はストレージ配線 S L の上部にも形成される。前記スイッチング領域 A 3 の第 3 ゲート電極 1 4 8 は、ゲート配線 G L から突出された形状であり、前記第 2 ストレージ電極 1 5 0 は、前記ストレージ配線 S L から突出延長された形状である。この時、前記 n 領域 A 2 の第 2 多結晶半導体パターン 1 1 4 は、第 2 チャンネル部 C 1 と、第 2 ソース部 C 2 と、第 2 ドレイン部 C 3 と、第 1 低濃度ドーピング部 C 4 を持つ。前記第 2 ソース部 C 2 と、第 2 ドレイン部 C 3 の間に第 2 チャンネル部 C 1 が位置する。前記第 1 低濃度ドーピング部 C 4 は、前記第 2 チャンネル部 C 1 と前記第 2 ソース部 C 2 の間、前記第 2 チャンネル部 C 1 と前記第 2 ドレイン部 C 3 の間に位置する。前記第 2 ゲート電極 1 4 6 は、前記第 2 チャンネル部 C 1 と前記第 1 低濃度ドーピング部 C 4 とに対応するように形成され、前記第 2 チャンネル部 C 1 と前記第 1 低濃度ドーピング部 C 4 とは前記第 2 ゲート電極 1 4 6 に覆われ、前記第 2 ソース部

40

50

C 2 と前記第 2 ドレイン部 C 3 とは前記第 2 ゲート電極 1 4 6 に覆わない。前記スイッチング領域 A 3 の第 3 多結晶半導体パターン 1 1 6 は、第 3 チャンネル部 D 1 と、第 3 ソース部 D 2 と、第 3 ドレイン部 D 3 と、第 2 低濃度ドーピング部 D 4 を持つ。前記第 3 ソース部 D 2 と、第 3 ドレイン部 D 3 の間に第 3 チャンネル部 D 1 が位置する。前記第 2 低濃度ドーピング部 D 4 は、前記第 3 チャンネル部 D 1 と前記第 3 ソース部 D 2 の間、前記第 3 チャンネル部 D 1 と前記第 3 ドレイン部 D 3 の間に位置する。前記第 3 ゲート電極 1 4 8 は、前記第 3 チャンネル部 D 1 と前記第 2 低濃度ドーピング部 D 4 とに対応するように形成され、前記第 3 チャンネル部 D 1 と前記第 2 低濃度ドーピング部 D 4 とは前記第 3 ゲート電極 1 4 8 に覆われ、前記第 3 ソース部 D 2 と前記第 3 ドレイン部 D 3 とは前記第 3 ゲート電極 1 4 8 に覆わない。前記第 1 ないし第 4 フォトリソパターン 1 4 2 a、1 4 2 b、1 4 2 c、1 4 2 d をそのまま置いた状態で、基板 1 0 0 全面に、 n^+ イオンドーピング工程を行う。前記第 2 フォトリソパターン 1 4 2 b と第 3 フォトリソパターン 1 4 2 c によって遮れない第 2 多結晶半導体層 1 1 4 及び第 3 多結晶半導体層 1 1 6 の第 2 ソース部 C 2 及び第 2 ドレイン部 C 3 と、第 3 ソース部 D 2 及び第 3 ドレイン部 D 3 とが n^+ イオンドーピングされて、オーミック領域が形成される。この時、前記ストレージパターン 1 2 4 の周辺に露出された前記第 4 多結晶半導体パターン 1 1 8 の表面にも、 n^+ イオンがドーピングされる。これに関連して、図 1 0 I を見ると、第 4 多結晶半導体パターン 1 1 8 の一部はストレージパターン 1 2 4 と第 2 ストレージ電極 1 5 0 によって覆われない。特に、図 1 1 C 乃至 1 1 E に示すアッシングとエッチング工程によってストレージパターン 1 2 4 の外郭部は除去され、第 4 多結晶半導体パターン 1 1 8 の外郭部はストレージパターン 1 2 4 によって覆われない。この第 4 多結晶半導体パターン 1 1 8 の外郭部の一部は第 2 ストレージ電極 1 5 0 によっても覆われない。したがって、第 4 多結晶半導体パターン 1 1 8 の一部は n^+ イオンによってドーピングされる。

【0038】

図 9 J 及び図 9 K と、図 1 0 J 及び図 1 0 K と、図 1 1 J 及び図 1 1 K は、 n 領域とスイッチング領域に低濃度ドーピングする工程である。

【0039】

図 9 J と図 1 0 J と図 1 1 J に示したように、前記第 1 ないし第 4 フォトリソパターン 1 4 2 a、1 4 2 b、1 4 2 c、1 4 2 d をアッシング (a s h i n g) した結果を示した図である。前記各領域 (A 1、A 2、A 3、A 4) に残された第 1 ないし第 4 フォトリソパターン 1 4 2 a、1 4 2 b、1 4 2 c、1 4 2 d をアッシング (a s h i n g) する工程を行う。前記アッシング工程は、乾式エッチング工程と類似であり、前記第 1 ないし第 4 フォトリソパターン 1 4 2 a、1 4 2 b、1 4 2 c、1 4 2 d を完全に除去する目的よりは、周辺の一部だけを除去して下部金属層の一部を露出するためである。本工程では、前記第 2 フォトリソパターン 1 4 2 b と第 3 フォトリソパターン 1 4 2 c の末端が、それぞれ前記第 2 チャンネル部 C 1 と前記第 3 チャンネル部 D 1 の末端と一致するように行う。したがって、前記第 1 低濃度ドーピング部 C 4 と第 2 低濃度ドーピング部 D 4 にそれぞれ対応する前記第 2 ゲート電極 1 4 6 と前記第 3 ゲート電極 1 4 8 が露出される。この時、前記第 1 と第 4 フォトリソパターン 1 4 2 a、1 4 2 d の側面の一部も除去される。前記第 1 フォトリソパターン 1 4 2 a は、前記第 1 ゲート電極 1 3 6 を覆ったままである。前記第 2 ストレージ電極 1 5 0 及びゲート配線 G L とストレージ配線 S L の周辺も一部露出される。以後、前記第 2 ゲート電極 1 4 6 と、第 3 ゲート電極 1 4 8 と、第 2 ストレージ電極 1 5 0 と、ゲート配線 G L と、ストレージ配線 S L の露出された部分を除去する工程を行う。この工程によって、除去された第 2 ゲート電極 1 4 6 と第 3 ゲート電極 1 4 8 の各々は前記第 2 チャンネル部 C 1 と前記第 3 チャンネル部 D 1 に対応する。

【0040】

図 9 K と図 1 0 K と図 1 1 K は、低濃度ドーピング領域を形成するための n^- イオンをドーピングする工程を示した図である。図 9 K と図 1 0 K と図 1 1 K に示したように、前述した工程で、アッシングされた前記第 1 ないし第 4 フォトリソパターン 1 4 2 a、

142b、142c、142dが残ったまま n^- イオンをドーピングする工程を行う。したがって、前記第1低濃度領域と第2低濃度領域は n^- イオンによって、ドーピングされる。 n^- イオンのドーピングの濃度は、 n^+ イオンと p^+ イオンのドーピングの濃度より低い。したがって、前記第2ソース部C2及び第2ドレイン部C3と、前記第3ソース部D2及び第3ドレイン部D3は、 n^- イオンの影響を受けない。そして、第2、第3チャンネル部C1、D1は、ドーピングされない。前記低濃度領域を形成する理由は、チャンネル(アクティブ領域)に近接した領域で、熱電子効果によって発生する漏洩電流特性を最小化するためである。 n^- ドーピング工程後、第1ないし第4フォトレジストパターン142a、142b、142c、142dを除去する工程を行う。

【0041】

10

以上、前述した第2及び第3マスク工程によって、前記第1多結晶半導体層112の上部に第1ゲート電極136を形成して、前記第1ソース部B2と前記第2ドレイン部B3に p^+ イオンをドーピングし、前記第1低濃度ドーピング領域C4と第2低濃度ドーピング領域D4に n^- イオンをドーピングして、第2ゲート電極146及び第3ゲート電極148を形成する。また、前記ストレージ領域A4には、第2ストレージ電極150を形成する工程を行う。

【0042】

図9Lと図10Lと図11Lは、第4マスク工程を示した図である。図9Lと図10Lと図11Lに示したように、基板100全面に、酸化シリコン SiO_2 を蒸着して第1膜152aを形成し、窒化シリコン $SiNx$ を蒸着して第2膜152bを形成する。前記第1膜152aと第2膜152bは層間絶縁膜152を構成する。前記窒化シリコン $SiNx$ の第2膜152bは、前記第1膜152aより、以後の工程で形成される画素電極との界面特性が良い。前記層間絶縁膜152が形成された基板100全面に、フォトレジストを塗布した後、第4マスク工程によってパターンニングし、前記第1ないし第3多結晶半導体層112、114、116の各々のソース部とドレイン部を露出する第1ないし第6コンタクトホール154a、154b、156a、156b、158a、158bを形成する。詳しくは、前記第1ソース部及び前記第1ドレイン部(図9HのB2、B3)を各々露出する第1、第2コンタクトホール154a、154bと、前記第2ソース部及び前記第2ドレイン部(図9JのC2、C3)を各々露出する第3、第4コンタクトホール156a、156bと、前記第3ソース部及び前記第3ドレイン部(図11JのD2、D3)を各々露出する第5、第6コンタクトホール158a、158bとを形成する。前記層間絶縁膜152が形成された基板100を熱処理する工程を行う。熱処理工程で、前記ストレージパターン124の周辺に露出された前記第4多結晶半導体パターン118の一部にドーピングされたイオン(n^+ イオン)が、前記ストレージパターン124の下部に拡散される現象が起こる。このことによって、前記ストレージパターン124とその下部の第4多結晶半導体パターン118は、オーミックコンタクトを構成して相互に信号が流れるようになる。さらに、前述した工程で形成された前記第6コンタクトホール158bは、前記第3多結晶半導体層116の代わりに、前記ストレージパターン124の周辺に露出された第4多結晶半導体層118または、前記ストレージパターン124を露出することもできる。これが可能な理由は、前記第4多結晶半導体パターン118がオーミックコンタクトの特性を持ち、前記第3多結晶半導体パターン116と第4多結晶半導体層118が一体に形成され同じ信号が流れる構造で形成されたためである。

【0043】

図9Mと図10Mと図11Mは、第5マスク工程を示した図である。図9Mと図10Mと図11Mに示したように、層間絶縁膜152全面に、前述した導電性金属物質グループのうちから選択された1つ以上の金属物質である第3金属層を蒸着してパターンニングする。この時、第1ないし第6コンタクトホール154a、154b、156a、156b、158a、158bを利用して、前記第1乃至第3ソース部及びドレイン部に各々接触する第1乃至第3ソース電極及びドレイン電極160a、160b、162a、162b、164a、164bを形成する。さらに、スイッチング領域A3の第3ソース電極164

50

aと接続されるデータ配線DLも形成する。この時、前記第3ドレイン電極164bは、前記ストレージ領域A4に拡張され、拡張された領域は、第3ストレージ電極166として使用される。

【0044】

図9Nと図10Nと図11Nは、第6マスク工程を示した図である。図9Nと図10Nと図11Nに示したように、前記第1ないし第3ソース電極160a、162a、164a及び第1ないし第3ドレイン電極160b、162b、164bと第3ストレージ電極166が形成された基板100全面に、インジウム-スズ-オキサイドITOとインジウム-ジंक-オキサイドIZOを含む透明な物質グループのうちから選択された1つまたは、1つ以上を蒸着して、第6マスク工程によってパターンニングし、前記露出された第3ドレイン電極164bまたは、第3ストレージ電極166と接触しながら前記画素領域P全面に位置するように画素電極170を形成する。画素電極170は、層間絶縁膜152と接触する。前記画素電極170は、前記第3ドレイン電極164bと第3ストレージ電極166を覆う。遮断パターン172と遮断配線173は、画素電極170と同時に形成される。前記遮断パターン172は、前記第1ソースおよび第1ドレイン電極160a、160bと、前記第2ソースおよび第2ドレイン電極162a、162bを覆い、前記遮断配線173は、データ配線DLと前記第3ソース電極164aを覆う。透明導電性物質をパターンニングするエッチング液は、その下部の金属パターンと反応して、ガルバニック(galvanic)現象を起こして、下部の金属パターンに損害を与えることが出来る。この事を防止するために、画素電極170と、遮断パターン172と、遮断配線173とは、下部の金属パターン160a、160b、162a、162b、164a、164b、166、DLを全て覆う。

10

20

【0045】

前述したような6マスク工程によって、本発明による駆動回路一体型の液晶表示装置用アレイ基板を製作ができる。

【0046】

一方、図に示さないが、各画素領域に対応するカラーフィルタと、データ配線、ゲート配線及び薄膜トランジスタに対応するブラックマトリックスと、画素電極に対応する共通電極とを含み、アレイ基板と向かい合っているカラーフィルタ基板を形成できる。アレイ基板とカラーフィルタ基板を合着し、2つの基板の間に液晶を注入して、液晶表示装置を製造できる。

30

【図面の簡単な説明】

【0047】

【図1】従来の液晶表示装置を概略的に示した図である。

【図2】従来の液晶表示装置の表示領域を示した概略的な平面図である。

【図3A】従来の液晶表示装置用アレイ基板を示した概略的な断面図である。

【図3B】図2のIII-III線に沿って切断した断面図である。

【図4A】従来の液晶表示装置用アレイ基板の非表示領域の第1マスク工程を示した断面図である。

【図4B】従来の液晶表示装置用アレイ基板の非表示領域の第2マスク工程を示した断面図である。

40

【図4C】従来の液晶表示装置用アレイ基板の非表示領域の第3マスク工程を示した断面図である。

【図4D】従来の液晶表示装置用アレイ基板の非表示領域の第4マスク工程を示した断面図である。

【図4E】従来の液晶表示装置用アレイ基板の非表示領域の第5マスク工程を示した断面図である。

【図4F】従来の液晶表示装置用アレイ基板の非表示領域の第6マスク工程を示した断面図である。

【図4G】従来の液晶表示装置用アレイ基板の非表示領域の第7マスク工程を示した断面

50

図である。

【図 4 H】従来の液晶表示装置用アレイ基板の非表示領域の第 8 マスク工程を示した断面図である。

【図 4 I】従来の液晶表示装置用アレイ基板の非表示領域の第 9 マスク工程を示した断面図である。

【図 5 A】従来の液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した平面図である。

【図 5 B】従来の液晶表示装置用アレイ基板の表示領域の第 2 マスク工程を示した平面図である。

【図 5 C】従来の液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した平面図である。 10

【図 5 D】従来の液晶表示装置用アレイ基板の表示領域の第 4 マスク工程を示した平面図である。

【図 5 E】従来の液晶表示装置用アレイ基板の表示領域の第 5 マスク工程を示した平面図である。

【図 5 F】従来の液晶表示装置用アレイ基板の表示領域の第 6 マスク工程を示した平面図である。

【図 5 G】従来の液晶表示装置用アレイ基板の表示領域の第 7 マスク工程を示した平面図である。

【図 5 H】従来の液晶表示装置用アレイ基板の表示領域の第 8 マスク工程を示した平面図である。 20

【図 5 I】従来の液晶表示装置用アレイ基板の表示領域の第 9 マスク工程を示した平面図である。

【図 6 A】図 5 A の V I - V I 線に沿って切断した部分の断面図である。

【図 6 B】図 5 B の V I - V I 線に沿って切断した部分の断面図である。

【図 6 C】図 5 C の V I - V I 線に沿って切断した部分の断面図である。

【図 6 D】図 5 D の V I - V I 線に沿って切断した部分の断面図である。

【図 6 E】図 5 E の V I - V I 線に沿って切断した部分の断面図である。

【図 6 F】図 5 F の V I - V I 線に沿って切断した部分の断面図である。

【図 6 G】図 5 G の V I - V I 線に沿って切断した部分の断面図である。 30

【図 6 H】図 5 H の V I - V I 線に沿って切断した部分の断面図である。

【図 6 I】図 5 I の V I - V I 線に沿って切断した部分の断面図である。

【図 7】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域を概略的に示した平面図である。

【図 8 A】本発明の実施の形態に係るスイッチング素子と駆動回路部が 1 つの基板に形成される液晶表示装置用アレイ基板を示した概略的な断面図である。

【図 8 B】図 7 の V I I I - V I I I 線に沿って切断した部分の概略的な断面図である。

【図 9 A】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 B】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。 40

【図 9 C】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 D】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 E】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 1 マスク工程を示した断面図である。

【図 9 F】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 2 マスク工程を示した断面図である。

【図 9 G】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 2 マス 50

ク工程を示した断面図である。

【図 9 H】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域で p^+ イオンをドーピングする工程を示した断面図である。

【図 9 I】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 3 マスク工程を示した断面図である。

【図 9 J】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 3 マスク工程を示した断面図である。

【図 9 K】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 3 マスク工程を示した断面図である。

【図 9 L】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 4 マスク工程を示した断面図である。 10

【図 9 M】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 5 マスク工程を示した断面図である。

【図 9 N】本発明の実施の形態に係る液晶表示装置用アレイ基板の非表示領域の第 6 マスク工程を示した断面図である。

【図 10 A】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 B】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 C】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。 20

【図 10 D】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 E】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 1 マスク工程を示した断面図である。

【図 10 F】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 2 マスク工程を示した断面図である。

【図 10 G】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 2 マスク工程を示した断面図である。

【図 10 H】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域で p^+ イオンをドーピングする工程を示した断面図である。 30

【図 10 I】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した断面図である。

【図 10 J】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した断面図である。

【図 10 K】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 3 マスク工程を示した断面図である。

【図 10 L】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 4 マスク工程を示した断面図である。

【図 10 M】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 5 マスク工程を示した断面図である。 40

【図 10 N】本発明の実施の形態に係る液晶表示装置用アレイ基板の表示領域の第 6 マスク工程を示した断面図である。

【図 11 A】図 10 A の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 B】図 10 B の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 C】図 10 C の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 D】図 10 D の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 E】図 10 E の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 F】図 10 F の X I - X I 線に沿って切断した部分を示した断面図である。

【図 11 G】図 10 G の X I - X I 線に沿って切断した部分を示した断面図である。 50

【図 1 1 H】 図 1 0 H の X I - X I 線に沿って切断した部分を示した断面図である。

【図 1 1 I】 図 1 0 I の X I - X I 線に沿って切断した部分を示した断面図である。

【図 1 1 J】図 1 0 J の X I - X I 線に沿って切断した部分を示した断面図である。

【図 1 1 K】図 1 0 K の X I - X I 線に沿って切断した部分を示した断面図である。

【図 1 1 L】 図 1 0 L の X I - X I 線に沿って切断した部分を示した断面図である。

【図 1 1 M】図 1 0 M の X I - X I 線に沿って切断した部分を示した断面図である。

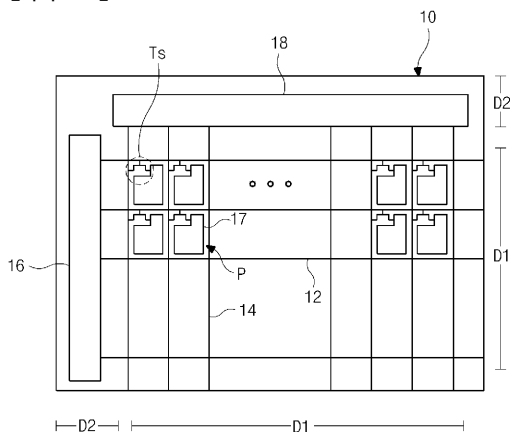
【図 1 1 N】 図 1 0 N の X I - X I 線に沿って切断した部分を示した断面図である。

【符号の説明】

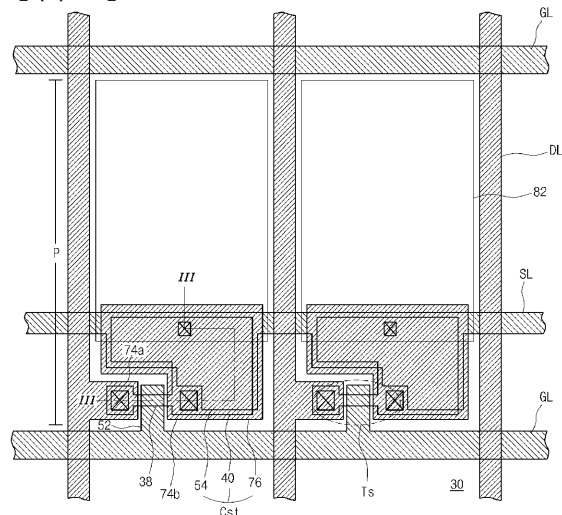
【 0 0 4 8 】

100 液晶表示装置用アレイ基板、112 第1多結晶半導体層、114 第2多結晶半導体層、116 第3多結晶半導体層、118 第4多結晶半導体層、124 ストレージパターン、128 ゲート絶縁膜、150 第2ストレージ電極、152 層間絶縁膜、164 a 第3ソース電極、164 b 第3ドレイン電極、166 第3ストレージ電極、170 画素電極、172 遮断パターン、173 遮断配線、GL ゲート配線、DL データ配線、SL ストレージ配線、P 画素領域。

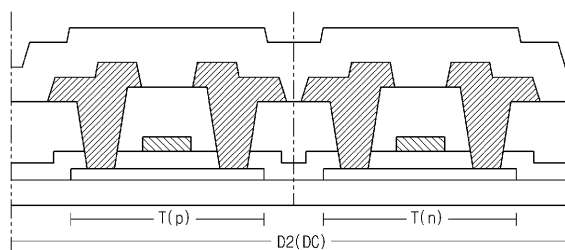
【图 1】



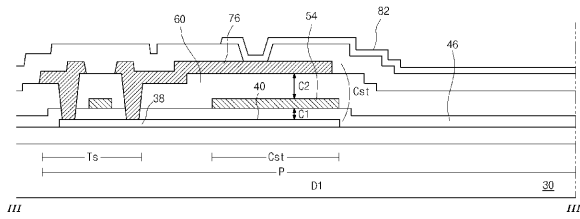
【 圖 2 】



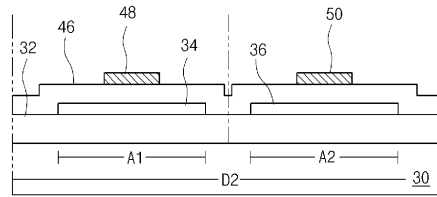
【 図 3 A 】



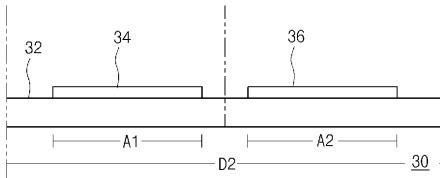
【図 3 B】



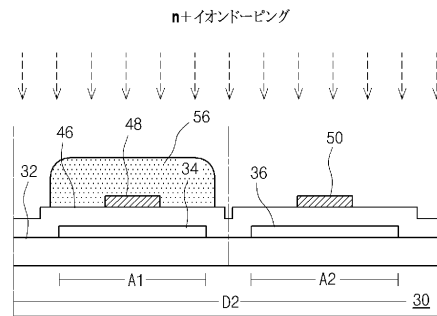
【図 4 C】



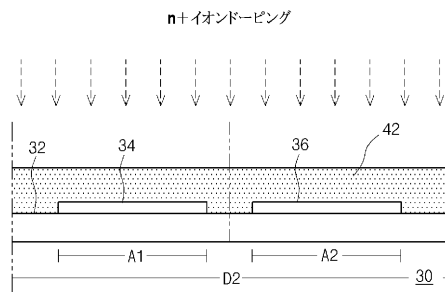
【図 4 A】



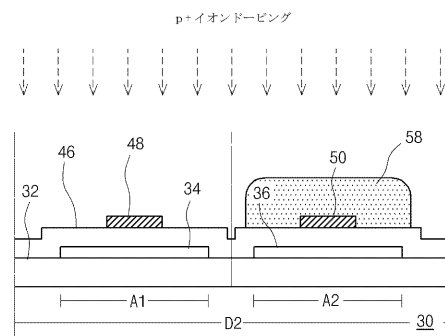
【図 4 D】



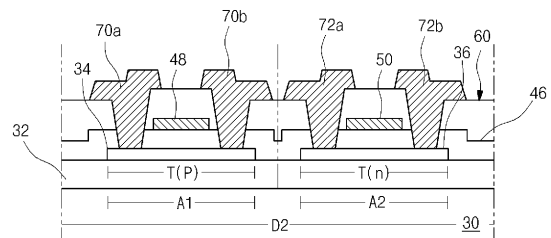
【図 4 B】



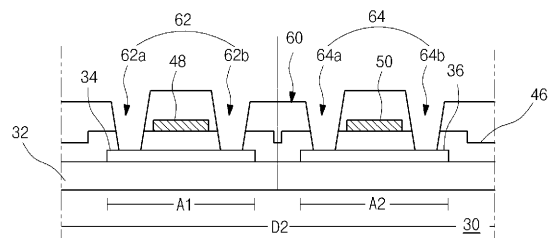
【図 4 E】



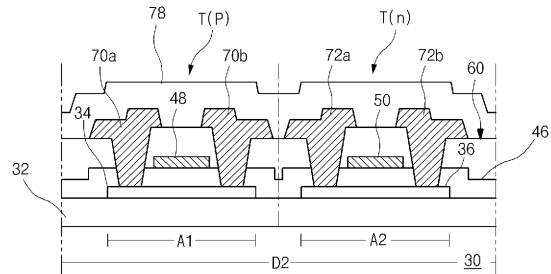
【図 4 G】



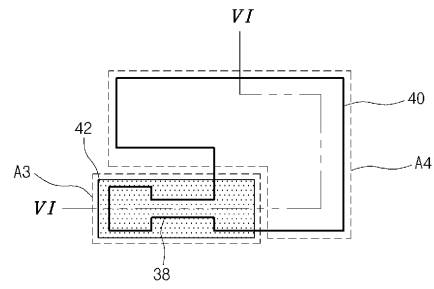
【図 4 F】



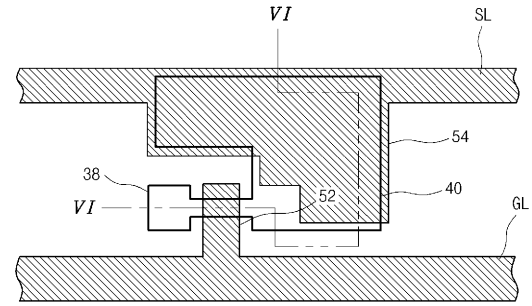
【図 4 H】



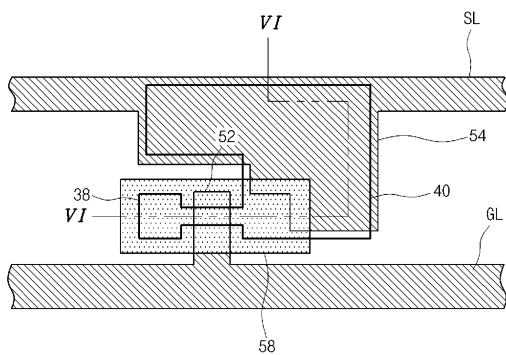
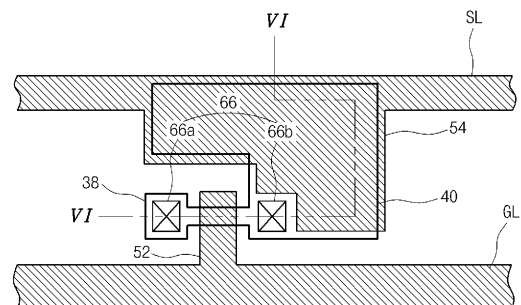
【 ㄨ 5 B 】



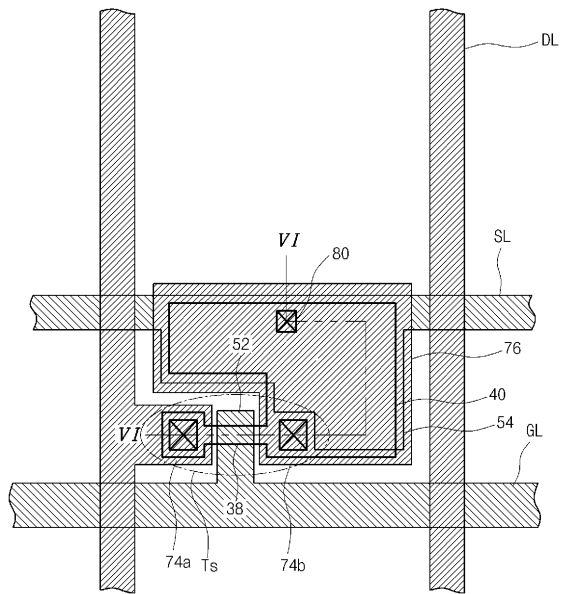
【 図 5 C 】



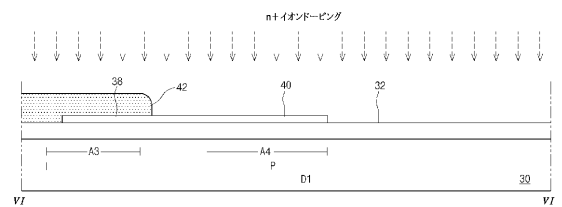
【 図 5 F 】



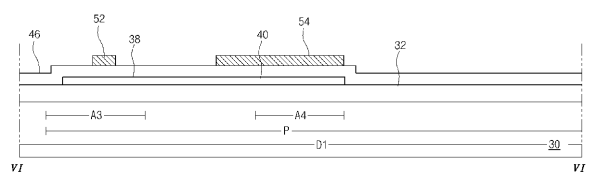
【 図 5 H 】



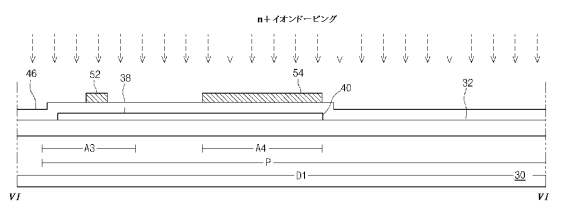
【 図 6 B 】



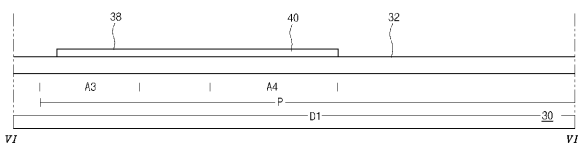
【 図 6 C 】

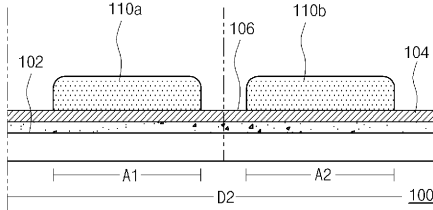
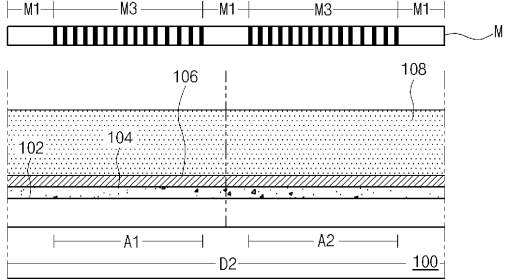
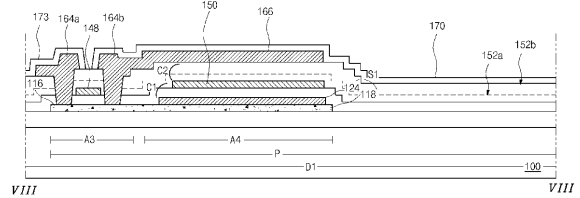
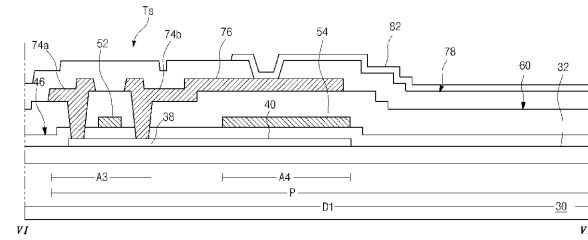
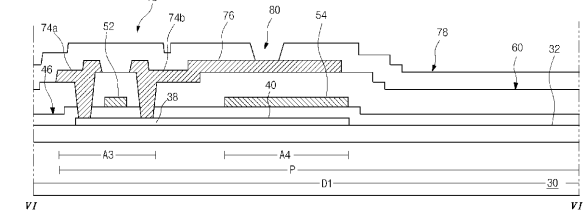
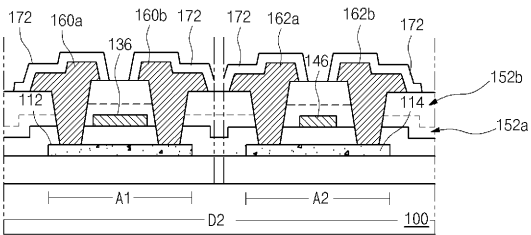
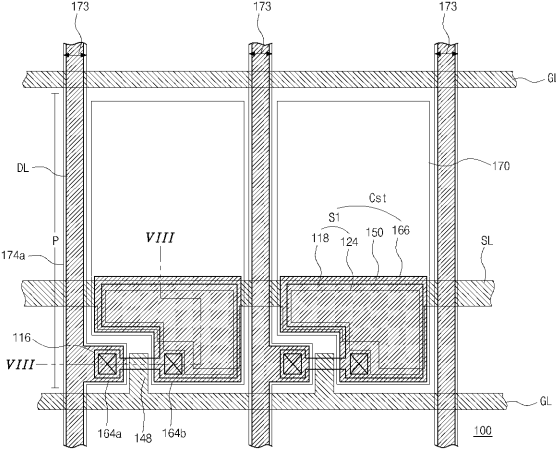
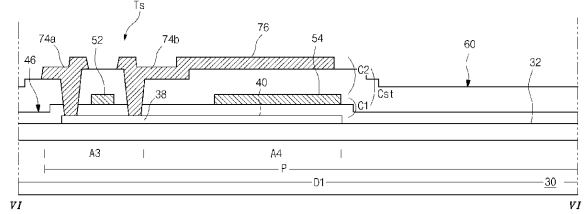
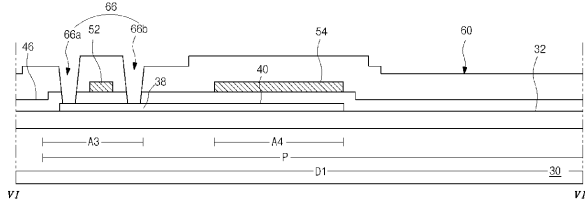
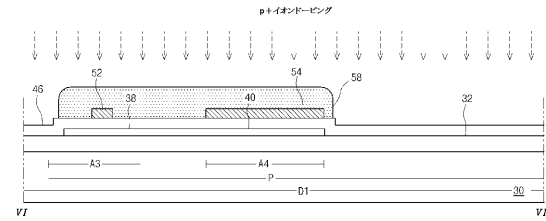


【 ㄨ 6 D 】

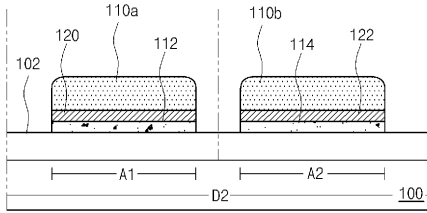


【 図 6 A 】

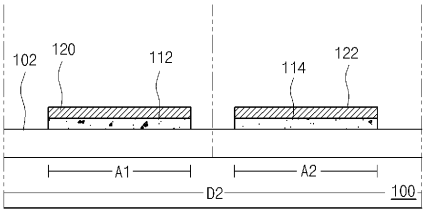




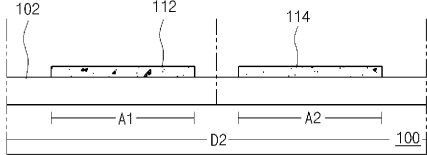
【図 9 C】



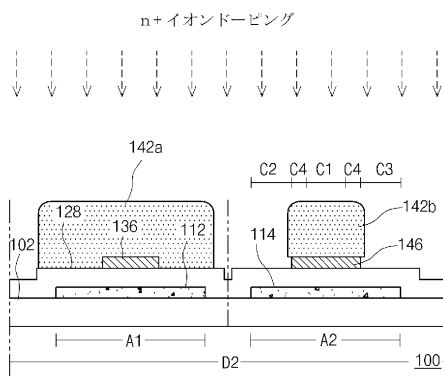
【図 9 D】



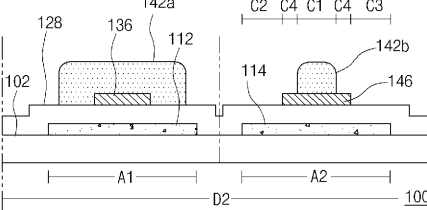
【図 9 E】



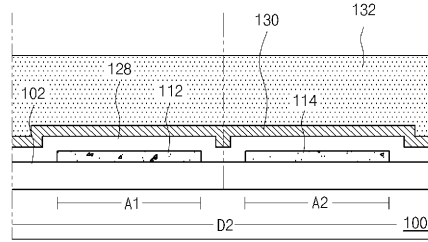
【図 9 I】



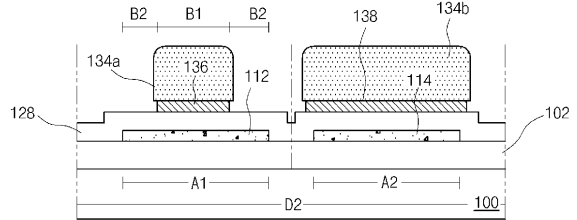
【図 9 J】



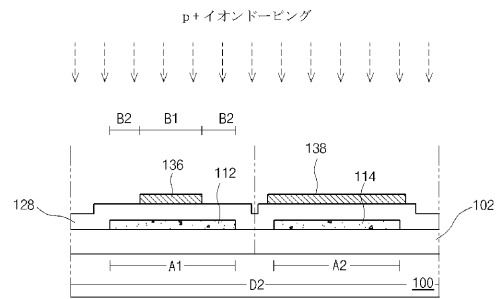
【図 9 F】



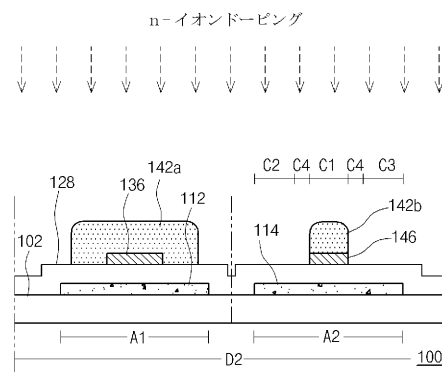
【図 9 G】



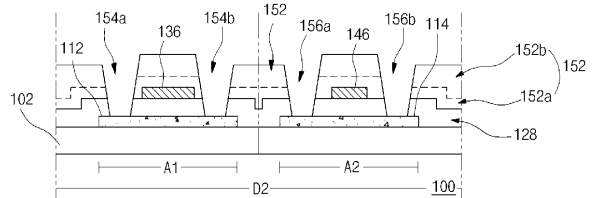
【図 9 H】



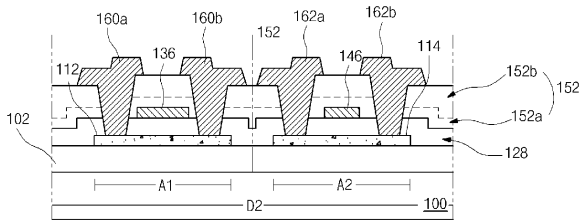
【図 9 K】



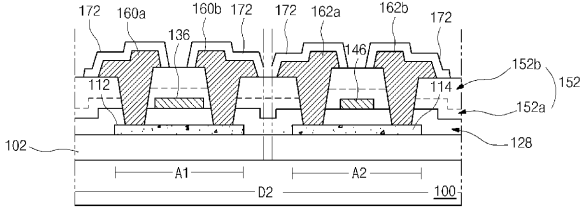
【図 9 L】



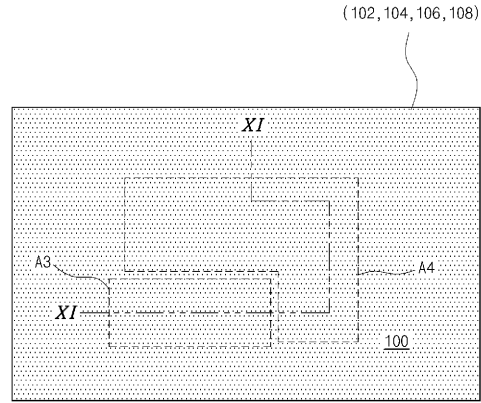
【図 9 M】



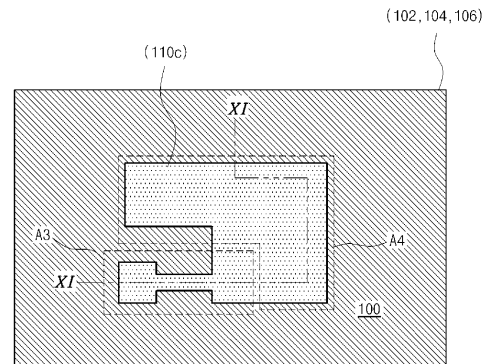
【図 9 N】



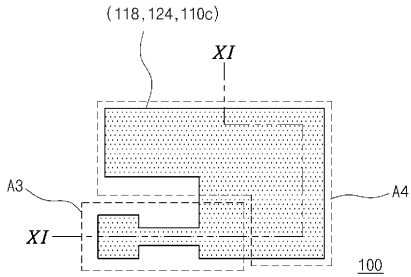
【図 10 A】



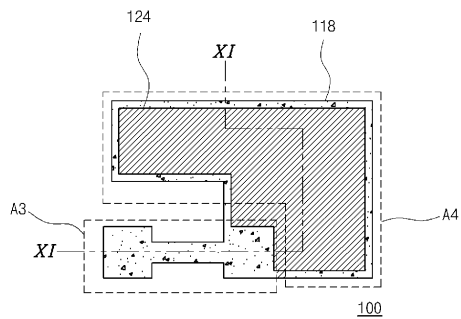
【図 10 B】



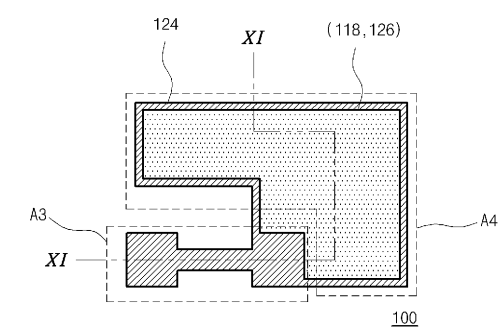
【図 10 C】



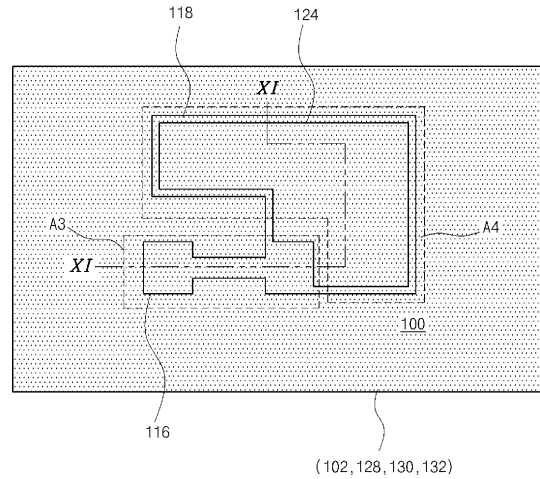
【図 10 E】



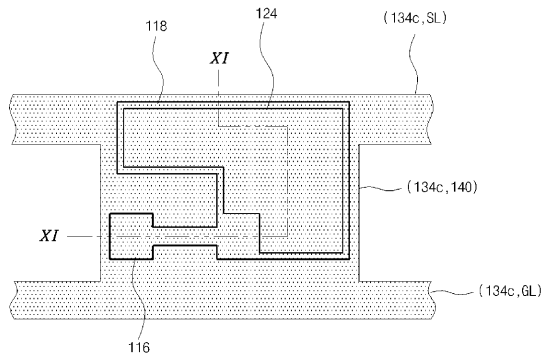
【図 10 D】



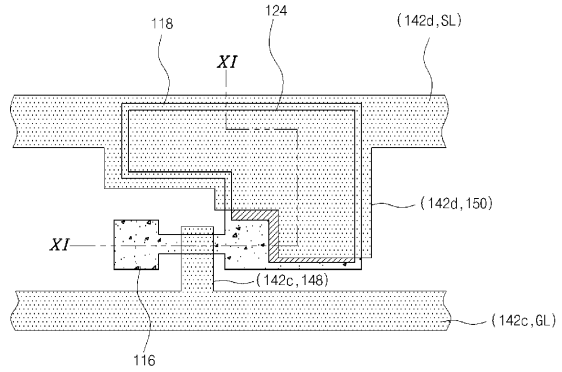
【図 10 F】



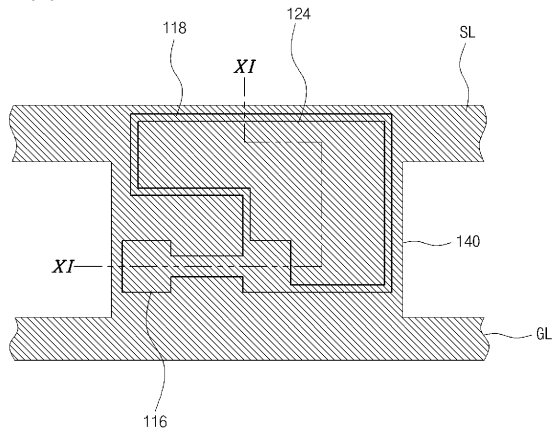
【 図 1 0 G 】



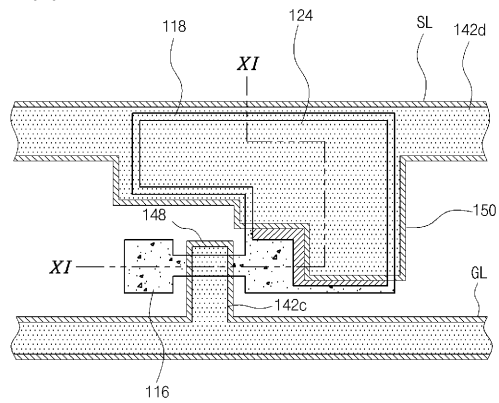
【 図 1 0 I 】



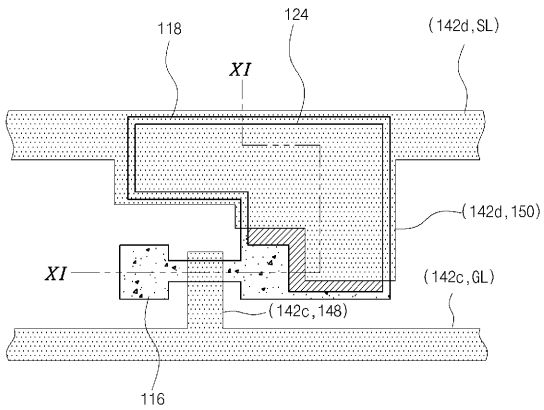
【 図 1 0 H 】



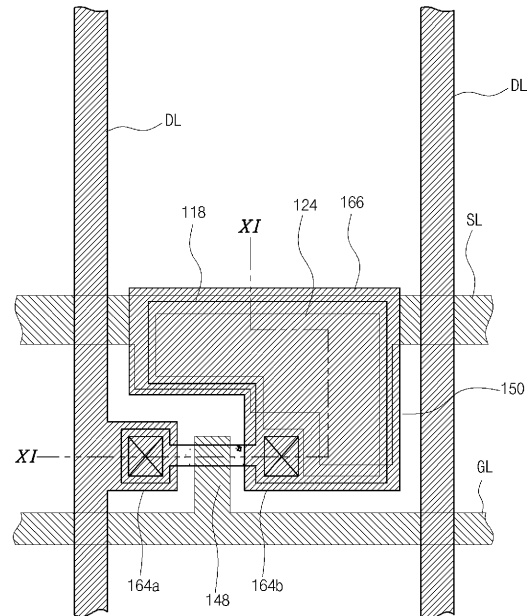
【 図 1 0 J 】



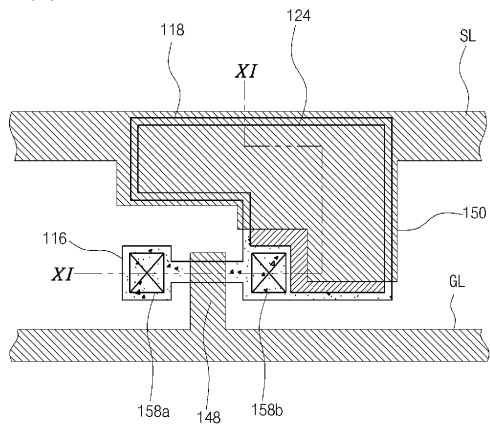
【 図 1 0 K 】



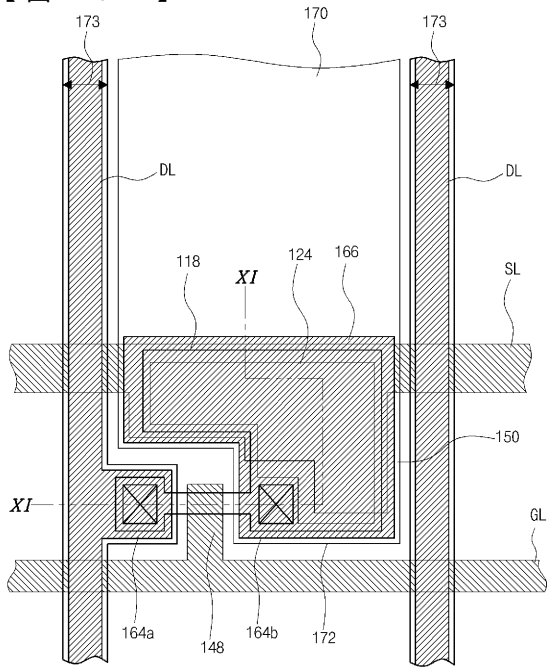
【 図 1 0 M 】



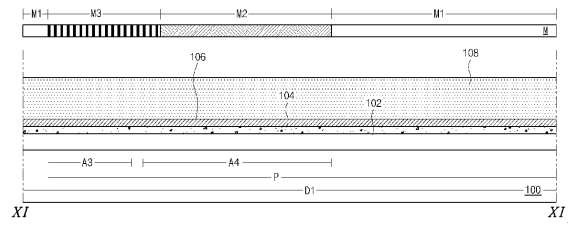
【 図 1 0 L 】



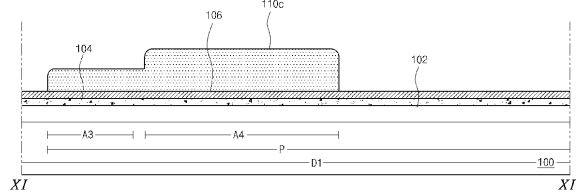
【図 10 N】



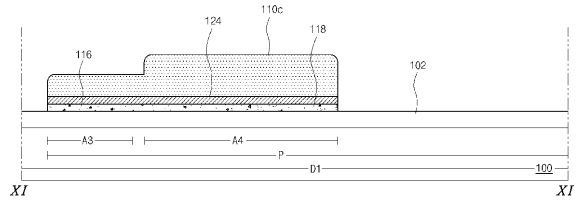
【図 11 A】



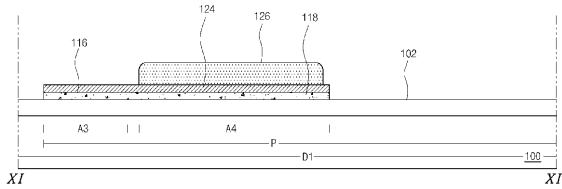
【図 11 B】



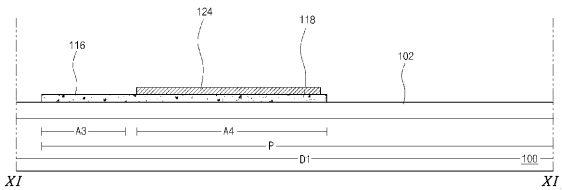
【図 11 C】



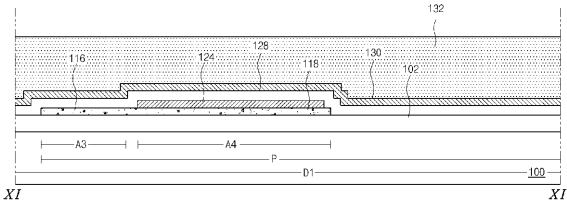
【図 11 D】



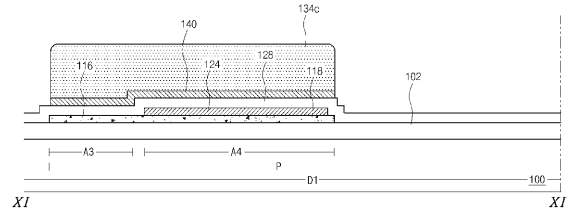
【図 11 E】



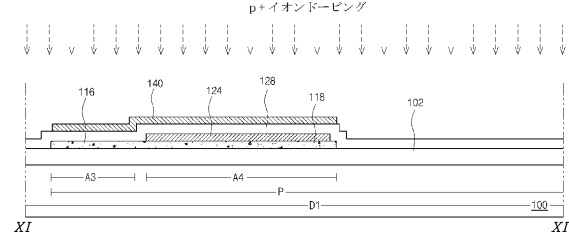
【図 11 F】



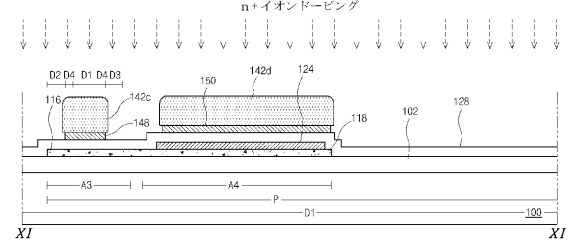
【図 11 G】



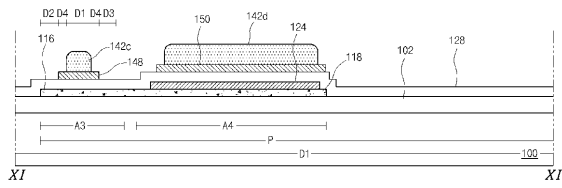
【図 11 H】



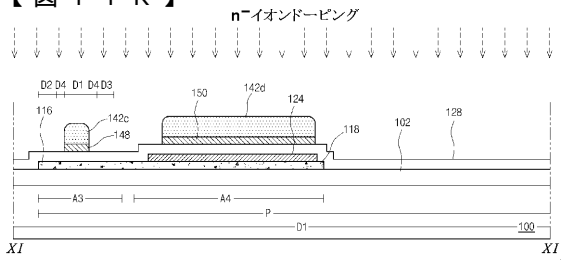
【図 11 I】



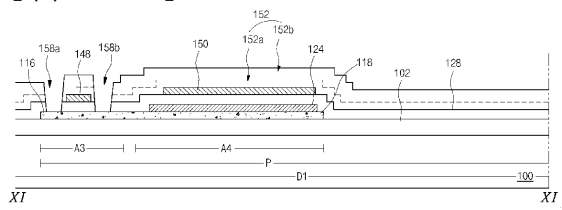
【図 11 J】



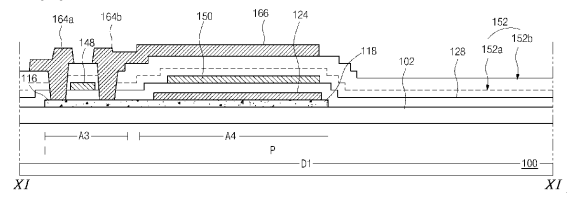
【図 11 K】



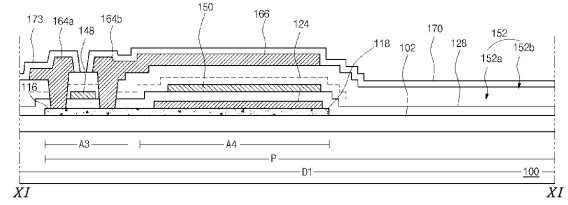
【図 11 L】



【図 11 M】



【図 11 N】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 21/3205 (2006.01)		H 0 1 L 21/88		Z
H 0 1 L 23/52 (2006.01)		G 0 9 F 9/30	3 3 8	
G 0 9 F 9/30 (2006.01)		G 0 9 F 9/35		
G 0 9 F 9/35 (2006.01)				

(72)発明者 ソクウ・イ
大韓民国、キョンギ - ド、アニョン - シ、ドンアン - グ、ピサン - ドン、 1 1 0 2 ポンジ、クァナ
ク・アパートメント 1 2 7 - 1 2 0 7

(72)発明者 ヨンイン・バク
大韓民国、キョンギ - ド、アニョン - シ、ドンアン - グ、ホゲ - ドン 8 1 1、ホゲ2チャ・ヒョ
ンデホームタウン 2 0 2 - 2 0 1

F ターム(参考) 2H092 GA29 GA59 GA61 JA25 JA46 JB21 JB63 JB66 JB69 KA04
KA05 KA10 KA18 KB04 KB11 KB25 MA13 MA15 MA16 MA17
MA27 MA28 NA27 NA29
5C094 AA43 AA44 BA03 BA43 DA09 DB01 GB10
5F033 HH17 HH19 HH20 HH22 HH35 HH38 QQ08 QQ58 QQ74 RR04
RR06 TT02 VV06 VV10 VV15 XX33 XX34
5F110 AA16 BB02 BB04 CC02 DD13 DD14 GG02 GG13 GG42 HJ12
HJ23 HL02 HL07 HL11 HL22 HM15 NN03 NN23 NN24 NN33
NN72 NN73 PP35 QQ01 QQ05

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2007133366A	公开(公告)日	2007-05-31
申请号	JP2006180059	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ソクウイ ヨンインパク		
发明人	ソクウイ ヨンイン・パク		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1345 H01L21/336 H01L29/786 H01L21/3205 H01L23/52 G09F9/30 G09F9/35		
CPC分类号	H01L21/823814 G02F1/13454 G02F1/136213 G02F1/136227 G02F1/1368 G02F2001/136218 G02F2001/13629 G02F2202/104		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1345 H01L29/78.612.D H01L29/78.616.U H01L21/88.Z G09F9/30.338 G09F9/35		
F-TERM分类号	2H092/GA29 2H092/GA59 2H092/GA61 2H092/JA25 2H092/JA46 2H092/JB21 2H092/JB63 2H092/JB66 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA10 2H092/KA18 2H092/KB04 2H092/KB11 2H092/KB25 2H092/MA13 2H092/MA15 2H092/MA16 2H092/MA17 2H092/MA27 2H092/MA28 2H092/NA27 2H092/NA29 5C094/AA43 5C094/AA44 5C094/BA03 5C094/BA43 5C094/DA09 5C094/DB01 5C094/GB10 5F033/HH17 5F033/HH19 5F033/HH20 5F033/HH22 5F033/HH35 5F033/HH38 5F033/QQ08 5F033/QQ58 5F033/QQ74 5F033/RR04 5F033/RR06 5F033/TT02 5F033/VV06 5F033/VV10 5F033/VV15 5F033/XX33 5F033/XX34 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD13 5F110/DD14 5F110/GG02 5F110/GG13 5F110/GG42 5F110/HJ12 5F110/HJ23 5F110/HL02 5F110/HL07 5F110/HL11 5F110/HL22 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN72 5F110/NN73 5F110/PP35 5F110/QQ01 5F110/QQ05 2H192/AA24 2H192/CB02 2H192/CC72 2H192/CC75 2H192/DA12 2H192/DA67 2H192/FB02 2H192/HA44		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020050106839 2005-11-09 KR		
其他公开文献	JP4580368B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置和制造该装置的方法，其可以减少处理时间和缺陷的发生率，从而提高生产效率。

ΣSOLUTION：显示装置包括：p型驱动薄膜晶体管，具有第一多晶半导体，第一栅电极，第一源电极和第一漏电极;n型驱动薄膜晶体管，具有第二多晶半导体，第二栅电极，第二源电极和第二漏电极，两个薄膜晶体管形成在基板100的非显示区域中;栅极线GL和数据线DL彼此交叉以限定像素区域并形成在基板的显示区域中;像素薄膜晶体管，具有第三多晶半导体图案，第三栅电极，第三源电极和第三漏电极;像素电极170，其覆盖并直接接触第三漏电极;屏蔽图案，其覆盖并直接接触第一源电极，第一漏电极，第二源电极和第二漏电极;屏蔽线173覆盖并直接接触数据线和第三源电极。Ž

