

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-101896

(P2007-101896A)

(43) 公開日 平成19年4月19日(2007.4.19)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	
GO2F 1/1345 (2006.01)	GO2F 1/1345	

審査請求 有 請求項の数 32 O L (全 25 頁)

(21) 出願番号	特願2005-291584 (P2005-291584)	(71) 出願人	599127667 エルジー フィリップス エルシーディー カンパニー リミテッド 大韓民国 ソウル, ヨンドンポーク, ヨイドードン 20
(22) 出願日	平成17年10月4日 (2005.10.4)	(74) 代理人	100057874 弁理士 曾我 道照
		(74) 代理人	100110423 弁理士 曾我 道治
		(74) 代理人	100084010 弁理士 古川 秀利
		(74) 代理人	100094695 弁理士 鈴木 憲七
		(74) 代理人	100111648 弁理士 梶並 順

最終頁に続く

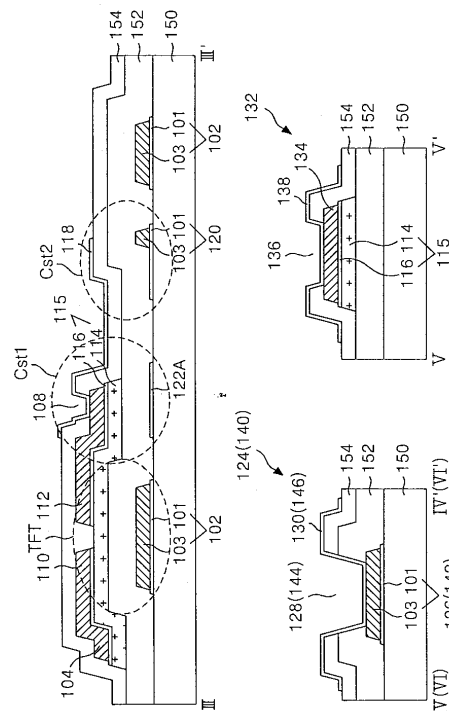
(54) 【発明の名称】 液晶表示装置および液晶表示装置の製造方法

(57) 【要約】

【課題】 工程を単純化することと共に開口率を増加させることのできる液晶表示装置及びその製造方法を提供する。

【解決手段】 透明な第1導電層101と不透明な第2導電層103が積層された二重構造のゲートライン102と、ゲートライン102と交差し、画素領域を定義するデータライン104と、ゲートライン102及びデータライン104と接続された薄膜トランジスタと、ゲートライン102と並行して第1導電層101と第2導電層103を有する共通ライン120と、画素領域に共通ライン120の第1導電層101が延長され形成された共通電極122と、薄膜トランジスタと接続され、画素領域に共通電極122と水平電界を成すように形成された画素電極118とを備えることを特徴とする。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

透明な第 1 導電層と不透明な第 2 導電層とが積層された二重層構造のゲートラインと、前記ゲートラインと交差し、画素領域を定義するデータラインと、前記ゲートライン及びデータラインと接続された薄膜トランジスタと、第 1 導電層と第 2 導電層を有し、前記ゲートラインと並行な共通ラインと、前記画素領域に前記共通ラインの第 1 導電層が延長され形成された共通電極と、前記薄膜トランジスタと接続され、前記画素領域に前記共通電極に対する水平電界を形成する画素電極と

を備えることを特徴とする液晶表示装置。

10

【請求項 2】

前記画素電極及び前記共通電極の一部が重畳され形成されたストレージキャパシタをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素電極及び前記共通ラインの一部が重畳され形成されたストレージキャパシタをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記画素電極及び前記共通電極の一部が重畳され形成された第 1 ストレージキャパシタと、

前記画素電極及び前記共通ラインの一部が重畳され形成された第 2 ストレージキャパシタと

20

をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記共通ラインの第 1 導電層の線幅は、前記画素電極により重畳された前記共通ラインの部分より広いことを特徴とする請求項 3 または請求項 4 に記載の液晶表示装置。

【請求項 6】

前記共通電極と重畳された光遮断層をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記光遮断層は、前記共通電極の両側部を露出させる線幅を有することを特徴とする請求項 6 に記載の液晶表示装置。

30

【請求項 8】

前記光遮断層は、前記共通ラインの前記第 2 導電層が前記共通電極に沿って延長され形成されたことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】

前記ゲートラインから延長された二重層構造のゲートパッド下部電極と、絶縁膜を貫通するコンタクトホールを通じて前記ゲートパッド下部電極に接続されるゲートパッド上部電極とを含むゲートパッドをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記共通ラインから延長された二重層構造の共通パッド下部電極と、絶縁膜を貫通するコンタクトホールを通じて前記共通パッド下部電極に接続される共通パッド上部電極とを含む共通パッドをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 11】

前記コンタクトホールは、前記ゲートパッド下部電極の前記第 2 導電層を貫通することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 12】

前記コンタクトホールは、前記共通パッド下部電極の前記第 2 導電層を貫通することを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 13】

50

前記データラインから延長されたデータパッド下部電極と、絶縁膜を貫通するコンタクトホールを通じて前記データパッド下部電極に接続されるデータパッド上部電極とを含むデータパッドをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 4】

前記ゲートライン及び前記共通ラインの前記第 1 及び第 2 導電層は、段差部を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 5】

前記画素電極は、透明導電層、チタニウム、タングスタンの中の一つで形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 6】

前記画素電極は、絶縁膜を貫通するコンタクトホールを通じて前記薄膜トランジスタのドレイン電極に接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 7】

前記共通電極は、二重層構造を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 8】

第 1 マスクを用いて、基板上に透明な第 1 導電層及び不透明な第 2 導電層が積層された二重層構造のゲートパターンと、前記二重層構造の共通ライン及び前記第 1 導電層に成された共通電極を含む共通パターンとを形成する段階と、

前記ゲートパターン及び共通パターン上にゲート絶縁膜を形成する段階と、

第 2 マスクを用いて、前記ゲート絶縁膜上に半導体パターンを形成し、その上にデータライン及びソース電極とドレイン電極を含むソース/ドレインパターンを形成する段階と、

第 3 マスクを用いて、前記ソース/ドレインパターン上に保護膜を形成し、前記ドレイン電極を露出させるコンタクトホールを形成する段階と、

第 4 マスクを用いて、前記コンタクトホールを通じて前記ドレイン電極に接続され、前記共通電極に対する水平電界を形成する画素電極を形成する段階と

を含むことを特徴とする液晶表示装置の製造方法。

【請求項 1 9】

前記共通電極及び画素電極の一部分が前記ゲート絶縁膜及び保護膜を介して重畳されストレージキャパシタを形成する段階をさらに含むことを特徴とする請求項 1 8 に記載の液晶表示装置の製造方法。

【請求項 2 0】

前記画素電極及び前記共通ラインの一部分が前記ゲート絶縁膜及び前記保護膜を介して重畳されストレージキャパシタを形成する段階をさらに含むことを特徴とする請求項 1 8 に記載の液晶表示装置の製造方法。

【請求項 2 1】

前記画素電極及び前記共通電極の一部分が前記ゲート絶縁膜及び前記保護膜を介して重畳され第 1 ストレージキャパシタを形成する段階と、

前記画素電極の他の一部分が前記ゲート絶縁膜及び保護膜を介して前記共通ラインの一部分と重畳され第 2 ストレージキャパシタを形成する段階と

をさらに含むことを特徴とする請求項 1 8 に記載の液晶表示装置の製造方法。

【請求項 2 2】

前記共通ラインの第 1 導電層の線幅は、前記画素電極により重畳された前記共通ラインの部分より広いことを特徴とする請求項 2 0 または請求項 2 1 に記載の液晶表示装置の製造方法。

【請求項 2 3】

前記第 2 導電層を用いて前記共通電極と重畳された光遮断層を形成する段階をさらに含むことを特徴とする請求項 1 8 に記載の液晶表示装置の製造方法。

【請求項 2 4】

10

20

30

40

50

前記光遮断層は、前記共通電極の両側部を露出させる線幅を有するように形成されたことを特徴とする請求項 23 に記載の液晶表示装置の製造方法。

【請求項 25】

前記ゲートラインから延長された二重層構造のゲートパッド下部電極を形成する段階と

、
前記ゲート絶縁膜及び前記保護膜を貫通する他のコンタクトホールを形成する段階と、
前記他のコンタクトホールを通じて前記ゲートパッド下部電極に接続されるゲートパッド上部電極を形成する段階と

をさらに含むことを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【請求項 26】

前記共通ラインから延長された二重層構造の共通パッド下部電極を形成する段階と、
前記ゲート絶縁膜及び前記保護膜を貫通する他のコンタクトホールを形成する段階と、
前記他のコンタクトホールを通じて前記共通パッド下部電極に接続される共通パッド上部電極を形成する段階と

をさらに含むことを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【請求項 27】

前記コンタクトホールは、前記ゲートパッド下部電極の第 2 導電層まで貫通するように延長されたことを特徴とする請求項 25 に記載の液晶表示装置の製造方法。

【請求項 28】

前記コンタクトホールは、前記共通パッド下部電極の第 2 導電層まで貫通するように延長されたことを特徴とする請求項 26 に記載の液晶表示装置の製造方法。

【請求項 29】

前記データラインから延長されたデータパッド下部電極を形成する段階と、
前記保護膜を貫通する他のコンタクトホールを形成する段階と、
前記他のコンタクトホールを通じて前記データパッド下部電極に接続されるデータパッド上部電極を形成する段階と

をさらに含むことを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【請求項 30】

前記ゲートライン及び前記共通ラインは、その第 1 及び第 2 導電層が段差を有して積層された構造に形成されたことを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【請求項 31】

前記画素電極は、透明導電層、チタニウム、タングスタンの中の一つで形成されることを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【請求項 32】

前記ゲートパターン及び前記共通パターンを形成する段階は、

前記基板上に前記第 1 及び第 2 導電層を形成する段階と、

前記第 2 導電層上にハーフトーンマスクまたは回折露光マスクを用いたフォトリソグラフィ工程で互いに異なる厚さを有する第 1 及び第 2 フォトレジストパターンを形成する段階と、

前記第 1 及び第 2 フォトレジストパターンを用いたエッチング工程で前記第 1 及び第 2 導電層をパターニングして、前記二重層構造の前記ゲートパターン及び前記共通ラインと、前記第 2 導電層が残存する前記共通電極とを形成する段階と、

アッシング工程で前記第 1 フォトレジストパターンを薄くして前記第 2 フォトレジストパターンを除去する段階と、

アッシングされた前記第 1 フォトレジストパターンを用いたエッチング工程で前記共通電極上の第 2 導電層を除去する段階と、

アッシングされた前記第 1 フォトレジストパターンを除去する段階と

を含むことを特徴とする請求項 18 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、水平電界を用いる液晶表示装置に関し、特に、工程の単純化のできる水平電界印加型の薄膜トランジスタ基板及びその製造方法に関する。

【 背景技術 】

【 0 0 0 2 】

液晶表示装置は、電界を用いて液晶の光透過率を調節することによって画像を表示する。このような液晶表示装置は、液晶を駆動させる電界の方向に従って垂直電界印加型と水平電界印加型とに大別される。

【 0 0 0 3 】

垂直電界印加型の液晶表示装置は、上下部基板に対向して配置された画素電極と共通電極との間に形成される垂直電界によってTN (Twisted Nematic) モードの液晶を駆動する。このような垂直電界印加型の液晶表示装置は、開口率が大きいという利点を有する反面、視野角が90度程度で狭いという問題点を有する。

【 0 0 0 4 】

水平電界印加型の液晶表示装置は、下部基板に並行して配置された画素電極と共通電極との間の水平電界によってインプレインスイッチング (In Plane Switching : 以下「IPS」と称する) モードの液晶を駆動する。このような水平電界印加型の液晶表示装置は、視野角が160度程度で広いという利点を有する。以下、水平電界印加型の液晶表示装置に対して詳細に説明する。

【 0 0 0 5 】

水平電界印加型の液晶表示装置は、互いに対向し合着された薄膜トランジスタ基板 (下基板) 及びカラーフィルタ基板 (上基板) と、両基板の間でのセルギャップを一定に維持させるためのスペーサと、そのセルギャップに満たされた液晶とを備える。

【 0 0 0 6 】

薄膜トランジスタ基板は、画素単位の水平電界の形成のための多数の信号配線及び薄膜トランジスタと、それらの上に液晶配向のために塗布された配向膜で構成される。カラーフィルタ基板は、カラー具現のためのカラーフィルタ及び光漏れ防止のためのブラックマトリクスと、それらの上に液晶配向のために塗布された配向膜で構成される。

【 0 0 0 7 】

このような液晶表示装置における薄膜トランジスタ基板は、半導体工程を含むと共に多数のマスク工程を必要とし、製造工程が複雑であるため、液晶パネルの製造単価の上昇の主な原因となっている。これを解決するために、薄膜トランジスタ基板は、マスクの工程数を減少させる方向に発展しつつある。これは、一つのマスク工程が薄膜蒸着工程、洗浄工程、フォトリソグラフィ工程、エッチング工程、フォトリソスト剥離工程、検査工程等のような多くの工程を含んでいるためである。そこで、最近では、薄膜トランジスタ基板の標準マスク工程であった5マスク工程から、一つの工程を減らした4マスク工程が表れている。

【 0 0 0 8 】

図1は、従来の4マスク工程を用いた水平電界印加型の薄膜トランジスタ基板を示した平面図であり、図2は、図1に示した薄膜トランジスタ基板をI-I'、II-II'線に沿って切り取って示した断面図である。

【 0 0 0 9 】

図1及び図2に示した薄膜トランジスタ基板は、下部基板45上にゲート絶縁膜46を介して交差し形成されたゲートライン2及びデータライン4と、その交差部ごとに形成された薄膜トランジスタ6と、その交差構造に設けられた画素領域に水平電界を成すように形成された画素電極14及び共通電極18と、共通電極18と接続された共通ライン16とを備える。そして、薄膜トランジスタ基板は、画素電極14と共通ライン16との重畳部に形成されたストレージキャパシタ20と、ゲートライン2と接続されたゲートパッド24と、データライン4と接続されたデータパッド30と、共通ライン16と接続された共通パッド36とをさらに備える。

10

20

30

40

50

【 0 0 1 0 】

ゲート信号を供給するゲートライン 2 とデータ信号を供給するデータライン 4 とは、交差構造に形成され画素領域を定義する。

【 0 0 1 1 】

液晶駆動のための基準電圧を供給する共通ライン 1 6 は、画素領域を介してゲートライン 2 と並行して形成される。

【 0 0 1 2 】

薄膜トランジスタ 6 は、ゲートライン 2 のゲート信号に応じてデータライン 4 の画素信号を画素電極 1 4 に充電し維持させる。このために、薄膜トランジスタ 6 は、ゲートライン 2 と接続されたゲート電極 8、データライン 4 と接続されたソース電極 1 0、画素電極 1 4 と接続されたドレイン電極 1 2、ゲート電極 8 とゲート絶縁膜 4 6 とを介し重畳され、ソース電極 1 0 及びドレイン電極 1 2 の間にチャンネルを形成する活性層 4 8、ソース電極 1 0 及びドレイン電極 1 2 と活性層 4 8 とのオーミック接触のためのオーミックコンタクト層 5 0 を備える。

【 0 0 1 3 】

そして、活性層 4 8 及びオーミックコンタクト層 5 0 は、データライン 4、データパッド下部電極 3 2、そしてストレージ上部電極 2 2 と重畳され形成される。

【 0 0 1 4 】

画素電極 1 4 は、保護膜 5 2 を貫通する第 1 コンタクトホール 1 3 を通じて薄膜トランジスタ 6 のドレイン電極 1 2 と接続され、画素領域に形成される。このような画素電極 1 4 は、ドレイン電極 1 2 と接続され、隣接したゲートライン 2 と並行して形成された第 1 水平部 1 4 A と、共通ライン 1 6 と重畳され形成された第 2 水平部 1 4 B と、第 1 及び第 2 水平部 1 4 A、1 4 B の間に垂直に形成されたフィンガー部 1 4 C とを備える。

【 0 0 1 5 】

共通電極 1 8 は、共通ライン 1 6 と接続され、画素領域に形成される。このような共通電極 1 8 は、画素領域 5 で画素電極 1 4 のフィンガー部 1 4 C と並行して形成される。

【 0 0 1 6 】

これにより、薄膜トランジスタ 6 を通じて画素信号が供給された画素電極 1 4 と共通ライン 1 6 を通じて基準電圧（以下、共通電圧）が供給された共通電極 1 8 との間には、水平電界が形成される。特に、画素電極 1 4 のフィンガー部 1 4 C と共通電極 1 8 との間には水平電界が形成される。このような水平電界により、薄膜トランジスタ基板とカラーフィルタ基板との間で水平方向に配列された液晶分子が誘電異方性により回転される。そして、液晶分子の回転程度に従って画素領域を透過する光透過率が変わることによって階調を実現するようになる。

【 0 0 1 7 】

ストレージキャパシタ 2 0 は、共通ライン 1 6 と、その共通ライン 1 6 とゲート絶縁膜 4 6、活性層 4 8、オーミックコンタクト層 5 0 を介して重畳され、保護膜 5 2 に形成された第 2 コンタクトホール 2 1 を通じて画素電極 1 4 と接続されたストレージ上部電極 2 2 で構成される。このようなストレージキャパシタ 2 0 は、画素電極 1 4 に充電された画素信号を次の画素信号が充電される際まで安定的に維持させる。

【 0 0 1 8 】

ゲートライン 2 は、ゲートパッド 2 4 を通じてゲートドライバ（図示せず）と接続される。ゲートパッド 2 4 はゲートライン 2 から延長されたゲートパッド下部電極 2 6 と、ゲート絶縁膜 4 6 及び保護膜 5 2 を貫通する第 3 コンタクトホール 2 7 を通じてゲートパッド下部電極 2 6 と接続されたゲートパッド上部電極 2 8 で構成される。

【 0 0 1 9 】

データライン 4 は、データパッド 3 0 を通じてデータドライバ（図示せず）と接続される。データパッド 3 0 は、データライン 4 から延長されたデータパッド下部電極 3 2 と、保護膜 5 2 を貫通する第 4 コンタクトホール 3 3 を通じてデータパッド下部電極 3 2 と接続されたデータパッド上部電極 3 4 で構成される。

【0020】

共通ライン16は、共通パッド36を通じて外部の共通電圧源（図示せず）から共通電圧の供給を受ける。共通パッド36は、共通ライン16から延長された共通パッド下部電極38と、ゲート絶縁膜46及び保護膜52を貫通する第5コンタクトホール39を通じて共通パッド下部電極38と接続された共通パッド上部電極40で構成される。

【0021】

このような構成を有する薄膜トランジスタ基板の製造方法を、図3A乃至図3Dに示すような4マスク工程を用いて詳細に説明する。

【0022】

図3Aを参照すると、第1マスク工程を用いて下部基板45上にゲートライン2、ゲート電極8、ゲートパッド下部電極26、共通ライン16、共通電極18、共通パッド下部電極38を含むゲート金属パターンが形成される。

【0023】

詳細に説明すると、下部基板45上にスパッタリング方法等の蒸着方法を通じてゲート金属層が形成される。続いて、第1マスクを用いたフォトリソグラフィ工程とエッチング工程でゲート金属層がパターンニングされることによって、ゲートライン2、ゲート電極8、ゲートパッド下部電極26、共通ライン16、共通電極18、共通パッド下部電極38を含むゲート金属パターンが形成される。ゲート金属層としては、Al、Mo、Cr等の金属が単一層または二重層構造に用いられる。

【0024】

図3Bを参照すると、ゲート金属パターンが形成された下部基板45上にゲート絶縁膜46が形成される。そして、第2マスク工程を用いてゲート絶縁膜46上に活性層48及びオーミックコンタクト層50を含む半導体パターンと、データライン4、ソース電極10、ドレイン電極12、データパッド下部電極32、ストレージ上部電極22を含むソース/ドレイン金属パターンが形成される。

【0025】

詳細に説明すると、ゲート金属パターンが形成された下部基板45上にPECVD、スパッタリング等の蒸着方法を通じてゲート絶縁膜46、非晶質シリコン層、n+非晶質シリコン層、そしてソース/ドレイン金属層が順次形成される。ここで、ゲート絶縁膜46の材料としては、SiO_x、SiN_x等の無機絶縁物質が用いられる。ソース/ドレイン金属層としては、Al、Mo、Cr等の金属が単一層または二重層構造に用いられる。その次に、ソース/ドレイン金属層上に第2マスクを用いたフォトリソグラフィ工程で段差を有するフォトレジストパターンを形成する。段差を有するフォトレジストパターンを用いたウェットエッチング工程でソース/ドレイン金属層がパターンニングされることによって、データライン4、ソース電極10、そのソース電極10と一体化されたドレイン電極12、ストレージ上部電極22を含むソース/ドレイン金属パターンが形成される。そして、同一なフォトレジストパターンを用いたドライエッチング工程で、n+非晶質シリコン層と非晶質シリコン層とが同時にパターンニングされることによって、オーミックコンタクト層50と活性層48が形成される。続いて、フォトレジストパターンをアッシングし、露出されたソース/ドレイン金属パターンをオーミックコンタクト層50と共にエッチングすることによってソース電極10及びドレイン電極12が分離される。

【0026】

その次に、ストリップ工程でソース/ドレイン金属パターン上に残存していたフォトレジストパターンが除去される。

【0027】

図3Cを参照すると、ソース/ドレイン金属パターンが形成されたゲート絶縁膜46上に第3マスク工程を用いて第1乃至第5コンタクトホール13、21、27、33、39を含む保護膜52が形成される。

【0028】

詳細に説明すると、ソース/ドレイン金属パターンが形成されたゲート絶縁膜46上に

10

20

30

40

50

、P E C V D等の蒸着方法で保護膜52が全面形成される。続いて、保護膜52が第3マスクを用いたフォトリソグラフィ工程とエッチング工程でパターニングされることによって、第1乃至第5コンタクトホール13、21、27、33、39が形成される。第1コンタクトホール13は、保護膜52を貫通してドレイン電極12を露出させ、第2コンタクトホール21は、保護膜52を貫通してストレージ上部電極22を露出させる。第3コンタクトホール27は、保護膜52及びゲート絶縁膜46を貫通してゲートパッド下部電極26を露出させ、第4コンタクトホール33は、保護膜52を貫通してデータパッド下部電極32を露出させ、第5コンタクトホール39は、保護膜52及びゲート絶縁膜46を貫通して共通パッド下部電極38を露出させる。

【0029】

10

ここで、保護膜52の材料としては、ゲート絶縁膜46のような無機絶縁物質や誘電率の小さいアクリル(acryl)系の有機化合物、BCBまたはPFCB等のような有機絶縁物質が用いられる。

【0030】

図3Dを参照すると、第4マスク工程を用いて保護膜52上に画素電極14、ゲートパッド上部電極28、データパッド上部電極34、共通パッド上部電極40を含む透明導電パターンが形成される。

【0031】

詳細に説明すると、保護膜52上にスパッタリング等の蒸着方法で透明導電膜が形成される。続いて、第4マスクを用いたフォトリソグラフィ工程とエッチング工程を通じて透明導電膜がパターニングされることによって、画素電極14、ゲートパッド上部電極28、データパッド上部電極34、共通パッド上部電極40を含む透明導電パターンが形成される。画素電極14は、第1コンタクトホール13を通じて露出されたドレイン電極12と接続され、第2コンタクトホール21を通じて露出されたストレージ上部電極22と接続される。ゲートパッド上部電極28は、第3コンタクトホール37を通じて露出されたゲートパッド下部電極26と接続される。データパッド上部電極34は、第4コンタクトホール33を通じて露出されたデータパッド下部電極32と接続される。共通パッド上部電極40は、第5コンタクトホール39を通じて露出された共通パッド下部電極38と接続される。

20

【0032】

30

ここで、透明導電膜の材料としては、ITO(Indium Tin Oxide)等が用いられる。

【0033】

このように、従来の水平電界印加型の薄膜トランジスタ基板及びその製造方法は、4マスク工程で工程数を減少させることによって、それに比例する製造単価の節減が可能になる。

【0034】

しかし、画素領域に形成された共通電極18が不透明なゲート金属で形成されるため、開口率が低いという問題点がある。

【0035】

40

また、開口率の問題によって不透明な金属で形成された共通ライン16とストレージ上部電極22との重畳面積を増加させることに限界があるため、ストレージキャパシタ20の容量が小さいという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0036】

従って、本発明の目的は、前記従来技術の限界と問題点を克服するための薄膜トランジスタ基板を備えた液晶表示装置及びその製造方法を提供することである。

【0037】

本発明の他の目的は、開口率を増加させ、その製造工程を単純化することのできる水平

50

電界印加型の薄膜トランジスタ基板を備えた液晶表示装置及びその製造方法を提供することである。

【0038】

本発明のさらに他の目的は、開口率の減少なしにストレージキャパシタの容量を増加させることのできる水平電界印加型の薄膜トランジスタ基板を備えた液晶表示装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0039】

前記目的の達成のために、本発明の実施の形態の液晶表示装置は、透明な第1導電層と不透明な第2導電層とが積層された二重層構造のゲートラインと、前記ゲートラインと交差し、画素領域を定義するデータラインと、前記ゲートライン及びデータラインと接続された薄膜トランジスタと、第1導電層と第2導電層を有し、前記ゲートラインと実質的に並行な共通ラインと、前記画素領域に前記共通ラインの第1導電層が延長され形成された共通電極と、前記薄膜トランジスタと接続され、前記画素領域に前記共通電極に対する水平電界を形成する画素電極とを備えることを特徴とする。

【0040】

また、本発明の実施の形態の液晶表示装置の製造方法は、第1マスクを用いて基板上に透明な第1導電層及び不透明な第2導電層が積層された二重層構造のゲートパターンと、前記二重層構造の共通ライン及び前記第1導電層に成された共通電極を含む共通パターンとを形成する段階と、前記ゲートパターン及び共通パターン上にゲート絶縁膜を形成する段階と、第2マスクを用いて、前記ゲート絶縁膜上に半導体パターンを形成し、その上にデータライン及びソース電極とドレイン電極を含むソース/ドレインパターンを形成する段階と、第3マスクを用いて、前記ソース/ドレインパターン上に保護膜を形成し、前記ドレイン電極を露出させるコンタクトホールを形成する段階と、第4マスクを用いて、前記コンタクトホールを通じて前記ドレイン電極に接続され、前記共通電極に対する水平電界を形成する画素電極を形成する段階とを含むことを特徴とする。

【発明の効果】

【0041】

本発明による液晶表示装置及びその製造方法は、透明な第1導電層で形成された共通電極をその第1導電層を含む二重層構造のゲートパターン及び他の共通パターンと同一なマスク工程で形成することにより、4マスク工程で工程を単純化することと共に開口率を向上させることができる。また、ストレージキャパシタは、並列接続された第1及び第2ストレージキャパシタを備えるため、開口率の減少なしに容量を増加させることが可能になる。

【0042】

さらに、本発明による液晶表示装置及びその製造方法は、共通電極のフィンガー部が透明な第1導電層より小さい線幅に重畳された不透明な第2導電層をさらに備えることによって、第2導電層と重畳されていない第1導電層の両側部の開口率を向上させると共に、第2導電層により光漏れを防止してコントラストを向上させることが可能になる。

【発明を実施するための最良の形態】

【0043】

以下、本発明の好ましい実施の形態を図4乃至図12を参照して詳細に説明する。

【0044】

図4は、本発明の実施の形態の水平電界印加型の薄膜トランジスタ基板を示した平面図であり、図5は、図4に示した薄膜トランジスタ基板をⅠⅠⅠ-ⅠⅠⅠ'、ⅠⅤ-ⅠⅤ'、Ⅴ-Ⅴ'、ⅤⅠ-ⅤⅠ'線に沿って切り取って示した断面図である。

【0045】

図4及び図5に示した薄膜トランジスタ基板は、下部基板150上にゲート絶縁膜152を介し交差して画素領域を定義するゲートライン102及びデータライン104、そのゲートライン102及びデータライン104と画素電極118に接続された薄膜トランジ

スタTFT、画素領域に水平電界を形成するように配列された画素電極118及び共通電極122、共通電極122と接続された共通ライン120を備える。そして、薄膜トランジスタ基板は、共通電極122と画素電極118の重畳部及び共通ライン120と画素電極118の重畳部に各々形成された第1及び第2ストレージキャパシタCst1、Cst2、ゲートライン102と接続されたゲートパッド124、データライン104と接続されたデータパッド132、共通ライン120と接続された共通パッド140をさらに備える。

【0046】

ゲートライン102は、ゲートドライバ(図示せず)からのスキャン信号を供給し、データライン104は、データドライバ(図示せず)からのビデオ信号を供給する。このようなゲートライン102及びデータライン104は、ゲート絶縁膜152を介し交差して各画素領域を定義する。ここで、ゲートライン102は、透明な導電層で形成された第1導電層101、不透明な金属で形成された第2導電層103が積層された二重層構造で形成される。

10

【0047】

薄膜トランジスタTFTは、ゲートライン102のスキャン信号に応じてデータライン104上のビデオ信号を画素電極118に充電し維持させる。このために、薄膜トランジスタTFTは、ゲートライン102に含まれたゲート電極、データライン104と接続されたソース電極110、ソース電極110と対向し画素電極118と接続されたドレイン電極112、ゲート絶縁膜152を介してゲートライン102と重畳されソース電極110とドレイン電極112との間にチャンネルを形成する活性層114、ソース電極110及びドレイン電極112のオーミック接触のためにチャンネル部を除いた活性層114上に形成されたオーミックコンタクト層116を備える。

20

【0048】

そして、活性層114及びオーミックコンタクト層116を含む半導体パターン115は、データライン104及びデータパッド下部電極134とも重畳されるように形成される。

【0049】

共通ライン120及び共通電極122は、液晶駆動のための基準電圧、即ち、共通電圧を各画素に供給する。

30

【0050】

このために、共通ライン120は、表示領域でゲートライン102と並行して形成された内部共通ライン120A、非表示領域で内部共通ライン120Aと共通接続された外部共通ライン120Bを備える。このような共通ライン120は、前記ゲートライン102のように第1及び第2導電層101、103が積層された二重層構造で形成される。

【0051】

共通電極122は、各画素領域で内部共通ライン120Aと接続される。具体的に、共通電極122は、内部共通ライン120Aの第1導電層101から画素領域に延長されたフィンガー部122B、フィンガー部122Bと接続された水平部122Aを備える。このような共通電極122は、共通ライン120の第1導電層101のような透明導電層で形成される。

40

【0052】

画素電極118は、薄膜トランジスタTFTのドレイン電極112と接続され、各画素領域で共通電極122と水平電界を形成するように形成される。具体的に言うと、画素電極118は、ゲートライン102と並行して形成され第1コンタクトホール108を通じて露出されたドレイン電極112と接続された第1水平部118A、内部共通ライン120Aと重畳され形成された第2水平部118C、第1及び第2水平部118A、118Cの間に接続され、共通電極122のフィンガー部122Bと並べて形成されたフィンガー部118Bを備える。このような画素電極118に薄膜トランジスタTFTを通じてビデオ信号が供給されると、画素電極118のフィンガー部118Bと共通ライン120を通

50

じて共通電圧が供給された共通電極 1 2 2 のフィンガー部 1 2 2 B の間には水平電界が形成される。このような水平電界により薄膜トランジスタ基板とカラーフィルタ基板との間で水平方向に配列された液晶分子が誘電異方性により回転される。そして、液晶分子の回転程度に従って画素領域を透過する光透過率が変わることによって階調を実現するようになる。

【 0 0 5 3 】

ストレージキャパシタは、画素電極 1 1 8 の第 1 水平部 1 1 8 A が保護膜 1 5 4 及びゲート絶縁膜 1 5 2 を介して共通電極 1 2 2 の水平部 1 2 2 A と重畳され形成された第 1 ストレージキャパシタ C s t 1 と、画素電極 1 1 8 の第 2 水平部 1 1 8 C が保護膜 1 5 4 及びゲート絶縁膜 1 5 2 を介して内部共通ライン 1 2 0 A と重畳され形成された第 2 ストレージキャパシタ C s t 2 とを備える。ここで、共通ライン 1 2 0 の第 1 導電層 1 0 1 で画素電極 1 1 8 と重畳される一部分の線幅を相対的に大きくして画素電極 1 1 8 との重畳面積を増加させることによって、開口率の減少なしに第 2 ストレージキャパシタ C s t 2 の容量を増加させることが可能になる。また、第 1 及び第 2 ストレージキャパシタ C s t 1、C s t 2 は、画素電極 1 1 8 と共通電極 1 2 2、または共通ライン 1 2 0 を共有し並列接続されるため、ストレージキャパシタの容量をさらに増加させることが可能になる。ここで、ストレージキャパシタとして、第 1 及び第 2 ストレージキャパシタ C s t 1、C s t 2 の中の何れか一つだけを備えることも可能である。

10

【 0 0 5 4 】

このようなストレージキャパシタは、画素電極 1 1 8 に充電された画素信号を次の画素信号が充電される際まで、より安定的に維持させる。

20

【 0 0 5 5 】

ゲートライン 1 0 2 は、ゲートパッド 1 2 4 を通じてゲートドライバ（図示せず）と接続される。ゲートパッド 1 2 4 は、ゲートライン 1 0 2 から延長されたゲートパッド下部電極 1 2 6、ゲート絶縁膜 1 5 2 及び保護膜 1 5 4 を貫通する第 2 コンタクトホール 1 2 8 を通じて露出されたゲートパッド下部電極 1 2 6 と接続されたゲートパッド上部電極 1 3 0 を備える。ここで、ゲートパッド下部電極 1 2 6 は、ゲートライン 1 0 2 のように第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重層構造を有する。

【 0 0 5 6 】

データライン 1 0 4 は、データパッド 1 3 2 を通じてデータドライバ（図示せず）と接続される。データパッド 1 3 2 は、データライン 1 0 4 からその下の半導体パターン 1 1 5 と共に延長されたデータパッド下部電極 1 3 4、保護膜 1 5 4 を貫通する第 3 コンタクトホール 1 3 6 を通じて露出されたデータパッド下部電極 1 3 4 と接続されたデータパッド上部電極 1 3 8 を備える。

30

【 0 0 5 7 】

共通ライン 1 2 0 は、共通パッド 1 4 0 を通じて共通電圧源（図示せず）からの基準電圧の供給を受ける。共通パッド 1 4 0 は、外部共通ライン 1 2 0 B から延長された共通パッド下部電極 1 4 2、ゲート絶縁膜 1 5 2 及び保護膜 1 5 4 を貫通する第 4 コンタクトホール 1 4 4 を通じて露出された共通パッド下部電極 1 4 2 と接続された共通パッド上部電極 1 4 6 を備える。ここで、共通パッド下部電極 1 4 2 は、共通ライン 1 2 0 のように第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重層構造を有する。

40

【 0 0 5 8 】

このように、本発明の実施の形態の水平電界印加型の薄膜トランジスタ基板においては、共通電極 1 2 2 が透明導電層である第 1 導電層 1 0 1 で形成されるため、それによる開口率の低下の防止が可能になる。また、共通ライン 1 2 0 は、第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重構造に形成され、ライン抵抗の減少が可能になる。そして、ストレージキャパシタは、第 1 及び第 2 ストレージキャパシタ C s t 1、C s t 2 が並列に接続されるため、開口率の減少なしに容量を増加させることができる。

【 0 0 5 9 】

このような利点を有する本発明による薄膜トランジスタ基板は、次のように 4 マスク工

50

程で形成される。

【0060】

図6A及び図6Bは、本発明の実施の形態の半透過型薄膜トランジスタ基板の製造方法の中、第1マスク工程を説明するための平面図及び断面図を示した図面であり、図7A乃至図7Cは、第1マスク工程を具体的に説明するための断面図を示した図面である。

【0061】

第1マスク工程で、下部基板150上にゲートライン102、ゲートパッド下部電極126を含むゲートパターンと、共通ライン120、共通電極122、共通パッド下部電極142を含む共通パターンとが形成される。ここで、ゲートパターンと共通ライン120及び共通パッド下部電極142は、第1及び第2導電層101、103が積層された二重層構造で形成され、内部共通ライン120Aの一部分及び共通電極122は、共通ライン120の第1導電層101から延長された単一層構造で形成される。このように二重層構造及び単一層構造を有するゲート及び共通パターンは、ハーフトーン(Half Tone)マスクまたは回折露光マスクを用いることによって、一つのマスク工程で形成される。以下、第1マスクでハーフトーンマスクを用いた場合を例に取って説明する。

10

【0062】

具体的に言うと、図7Aに示したように、下部基板150上にスパッタリング等の蒸着方法を通じて第1及び第2導電層101、103が積層され、その上にフォトレジスト167が形成される。第1導電層101としては、ITO、TO、IZO等のような透明導電物質が用いられ、第2導電層103としては、Mo、Ti、Cu、AlNd、Al、Cr、MoW系等の金属物質が用いられる。その次に、ハーフトーンマスク160を用いたフォトリソグラフィ工程でフォトレジスト167を露光及び現像することによって、図7Bに示したように段差を有するフォトレジストパターン168が形成される。

20

【0063】

ハーフトーンマスク260は、図7Aのように透明な石英(SiO_2 : Quartz)基板166と、その上に形成された部分透過層164及び遮断層162を備える。部分透過層164と重畳された遮断層162は、ゲートパターンが形成される領域に位置して紫外線UVを遮断することによって、現像の後、図7Bのように第1フォトレジストパターン168Aを残す。部分透過層164と重畳した遮断層162は、内部共通ライン120Aの一部分及び共通電極122が形成される領域に位置して紫外線UVを部分的に透過させることによって、現像の後、図7Bのように第1フォトレジストパターン168Aより薄い第2フォトレジストパターン168Bを残す。このために、遮断層162は、Cr、CrOx等のような金属で形成され、部分透過層164は、MoSix等で形成される。

30

【0064】

続いて、段差を有するフォトレジストパターン168を用いたエッチング工程で第1及び第2導電層101、103をパターニングすることによって、図7Cに示したように二重層構造のゲートパターンと共通ライン120及び共通パッド140と共通電極122が形成される。

【0065】

その次に、酸素 O_2 プラズマを用いたアッシング工程でフォトレジストパターン168をアッシングすることによって、図7Dに示したように第1フォトレジストパターン168Aは、厚さが薄くなり、第2フォトレジストパターン168Bは、除去される。そして、アッシングされた第1フォトレジストパターン168Aを用いたエッチング工程で、内部共通ライン120Aの一部分及び共通電極122上の第2導電層103が除去される。この際、アッシングされた第1フォトレジストパターン168Aに従ってパターニングされた第2導電層103の両側部がもう一度エッチングされることによって、ゲートパターンと共通ライン120及び共通パッド140の第1及び第2導電層101、103は、階段状の一定な段差を有する。これにより、第1及び第2導電層101、103の側面部が高い急傾斜を有する場合、その上で発生し得るソース/ドレイン金属層の断線不良の防止が可能になる。

40

50

【 0 0 6 6 】

そして、ストリップ工程でゲートパターン上に残存していた第1フォトリソレジストパターン168Aが図7Eに示したように除去されることによって、二重層構造及び単一層構造を有するゲート及び共通パターンが完成される。

【 0 0 6 7 】

図8A及び図8Bは、本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第2マスク工程を説明するための平面図及び断面図を示した図面であり、図9A乃至図9Eは、第2マスク工程を具体的に説明するための断面図を示した図面である。

【 0 0 6 8 】

ゲートパターンが形成された下部基板150上にゲート絶縁膜152が形成され、その上に第2マスク工程でデータライン104、ソース電極110、ドレイン電極112、データパッド下部電極134を含むソース/ドレインパターンと、ソース/ドレインパターンの背面に従って重畳された活性層114及びオーミックコンタクト層116を含む半導体パターン115が形成される。このような半導体パターン115とソース/ドレインパターンは、回折露光マスクまたはハーフトーンマスクを用いた一つのマスク工程で形成される。以下、第2マスクで回折露光マスクを用いた場合を説明する。

【 0 0 6 9 】

具体的に言うと、図9Aのようにゲートパターンが形成された下部基板150上にゲート絶縁膜152、非晶質シリコン層105、不純物(n+またはp+)がドーピングされた非晶質シリコン層107、ソース/ドレイン金属層109が順次形成される。例えば、ゲート絶縁膜152、非晶質シリコン層105、不純物がドーピングされた非晶質シリコン層107は、PECVD方法で形成され、ソース/ドレイン金属層109は、スパッタリング方法で形成される。ゲート絶縁膜152としては、SiO_x、SiN_x等のような無機絶縁物質が、ソース/ドレイン金属層109としては、Cr、Mo、MoW、Al/Cr、Cu、Al(Nd)、Al/Mo、Al(Nd)/Al、Al(Nd)/Cr、Mo/Al(Nd)/Mo、Cu/Mo、Ti/Al(Nd)/Ti等が用いられる。そして、ソース/ドレイン金属層109上にフォトリソレジスト180が塗布された後、回折露光マスク170を用いたフォトリソグラフィ工程でフォトリソレジスト180を露光及び現像することによって、図9Bに示したように段差を有するフォトリソレジストパターン182が形成される。

【 0 0 7 0 】

回折露光マスク170は、図9Aのように透明な石英基板172と、その上にCr等のような金属層で形成された遮断層174及び回折露光用スリット176を備える。遮断層174は、半導体パターン及びソース/ドレインパターンが形成される領域に位置して紫外線を遮断することによって、現像の後、図9Bのように第1フォトリソレジストパターン182Aを残す。回折露光用スリット176は、薄膜トランジスタのチャンネルが形成される領域に位置して紫外線を回折させることによって、現像の後、図9Bのように第1フォトリソレジストパターン182Aより薄い第2フォトリソレジストパターン182Bを残す。

【 0 0 7 1 】

続いて、段差を有するフォトリソレジストパターン182を用いたエッチング工程でソース/ドレイン金属層109がパターンニングされることによって、図9Cに示したようにソース/ドレインパターンと、その下の半導体パターン115とが形成される。この場合、ソース/ドレインパターンの中、ソース電極110とドレイン電極112は、一体化された構造を有する。

【 0 0 7 2 】

その次に、酸素O₂プラズマを用いたアッシング工程でフォトリソレジストパターン182をアッシングすることによって、図9Dに示したように第1フォトリソレジストパターン182Aは薄くなり、第2フォトリソレジストパターン182Bは除去される。そして、アッシングされた第1フォトリソレジストパターン182Aを用いたエッチング工程で第2フォトリソレジストパターン182Bの除去で露出されたソース/ドレインパターンと、その下のオーミ

10

20

30

40

50

ックコンタクト層 116 が除去されることによって、ソース電極 110 とドレイン電極 112 は分離され、活性層 114 は露出される。これにより、ソース電極 110 とドレイン電極 112 との間には、活性層 114 によるチャンネルが形成される。この際、アッシングされた第 1 フォトリソグレイパターン 182A に従ってソース/ドレインパターンの両側部がもう一度エッチングされることによって、ソース/ドレインパターンと半導体パターン 115 は、階段状の一定な段差を有する。

【0073】

そして、ストリップ工程でソース/ドレインパターン上に残存していた第 1 フォトリソグレイパターン 182A が図 9E のように除去されることによって、半導体パターン 115 及びソース/ドレインパターンが完成される。

10

【0074】

図 10A 及び図 10B は、本発明の実施の形態の薄膜トランジスタ基板の製造方法の中で、第 3 マスク工程を説明するための平面図及び断面図である。

【0075】

第 3 マスク工程で、ソース/ドレインパターンが形成されたゲート絶縁膜 152 上に第 1 乃至第 4 コンタクトホール 108、128、136、144 を有する保護膜 154 が形成される。

【0076】

具体的に、ソース/ドレインパターンが形成されたゲート絶縁膜 152 上に PECVD、スピンコーティング (Spin Coating)、スピンレスコーティング (Spinless Coating) 等の方法で、保護膜 154 が形成される。保護膜 154 としては、ゲート絶縁膜 152 のような無機絶縁物質、または有機絶縁物質が用いられる。そして、保護膜 154 上に第 3 マスクを用いたフォトリソグラフィ工程及びエッチング工程で保護膜 154 及びゲート絶縁膜 152 がパターンニングされることによって、第 1 乃至第 4 コンタクトホール 108、128、136、144 が形成される。ここで、第 1 及び第 3 コンタクトホール 108、136 の各々は、保護膜 154 を貫通してドレイン電極 112 とデータパッド下部電極 134 との各々を露出させ、第 2 及び第 4 コンタクトホール 128、144 の各々は、保護膜 154 及びゲート絶縁膜 152 を貫通してゲートパッド下部電極 126 及び共通パッド下部電極 142 の各々を露出させる。

20

【0077】

図 11A 及び図 11B は、本発明の実施の形態の薄膜トランジスタ基板の製造方法の中で、第 4 マスク工程を説明するための平面図及び断面図である。

30

【0078】

第 4 マスク工程で、保護膜 154 上に画素電極 118、ゲートパッド上部電極 130、データパッド上部電極 138、共通パッド上部電極 146 を含む透明導電パターンが形成される。

【0079】

具体的に言うと、保護膜 154 上に透明導電層がスパッタリング等のような蒸着方法で形成される。透明導電層としては、前記ゲート及び共通パターンの第 1 導電層 101 のように ITO、TO、IZO 等が用いられる。また、透明導電層は Ti、W 等のように耐蝕性の強い、強度の高い、不透明な金属にも代替可能である。その次に、第 4 マスクを用いたフォトリソグラフィ工程及びエッチング工程で、透明導電層がパターンニングされることによって、画素電極 118、ゲートパッド上部電極 130、データパッド上部電極 138、共通パッド上部電極 146 を含む透明導電パターンが形成される。これにより、画素電極 118、ゲートパッド上部電極 130、データパッド上部電極 138、共通パッド上部電極 146 の各々は、第 1 乃至第 4 コンタクトホール 108、128、136、144 の各々を通じて露出されたドレイン電極 112、ゲートパッド下部電極 126、データパッド下部電極 134、共通パッド下部電極 142 の各々と接続される。例えば、画素電極 118、ゲートパッド上部電極 130、データパッド上部電極 138、共通パッド上部電極 146 の各々は、ドレイン電極 112、ゲートパッド下部電極 126、データパッド下部

40

50

電極 1 3 4、共通パッド下部電極 1 4 2 の各々の表面と接触する。

【 0 0 8 0 】

一方、ゲートパターン及び共通パターンの第 2 導電層 1 0 3 と、ソース/ドレインパターンで Mo 等のようにドライエッチングが容易な金属が用いられる場合、図 1 2 のように画素電極 1 1 8、ゲートパッド上部電極 1 3 0、データパッド上部電極 1 3 8、共通パッド上部電極 1 4 6 の各々は、ドレイン電極 1 1 2、ゲートパッド下部電極 1 2 6、データパッド下部電極 1 3 4、共通パッド下部電極 1 4 2 の各々と側面接触する。これは、第 3 マスク工程で保護膜 1 5 4 及びゲート絶縁膜 1 5 2 をパターンニングする場合、第 2 及び第 4 コンタクトホール 1 2 8、1 4 4 がゲートパッド下部電極 1 2 6 及び共通パッド下部電極 1 4 2 の第 2 導電層 1 0 3 を貫通し、第 1 及び第 3 コンタクトホール 1 0 8、1 3 6 がドレイン電極 1 1 2 及びデータパッド下部電極 1 3 4 を貫通するためである。特に、第 1 及び第 3 コンタクトホール 1 0 8、1 3 6 は、ドレイン電極 1 1 2 及びデータパッド下部電極 1 3 4 の下の半導体パターン 1 1 5 まで貫通するか、またはゲート絶縁膜 1 5 2 の一部分まで延長されることができる。

【 0 0 8 1 】

図 1 3 は、本発明の他の実施の形態の水平電界印加型の薄膜トランジスタ基板を示した平面図であり、図 1 4 は、図 1 3 に示した薄膜トランジスタ基板を I I I - I I I '、I V - I V '、V - V '、V I - V I '、V I I - V I I ' 線に沿って切り取って示した断面図である。

【 0 0 8 2 】

図 1 3 及び図 1 4 に示した薄膜トランジスタ基板は、図 4 及び図 5 に示した薄膜トランジスタ基板と対比すると、共通電極 2 2 2 が共通ライン 1 2 0 のように第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重層構造で形成されたことを除いては、同一な構成要素を備える。従って、重複される構成要素に対する説明は省略する。

【 0 0 8 3 】

共通電極 2 2 2 は、内部共通ライン 1 2 0 A と接続され、透明な第 1 導電層 1 0 1 と不透明な第 2 導電層 1 0 3 が積層された二重層構造を有するフィンガー部 2 2 2 B と、フィンガー部 2 2 2 B と接続され第 1 導電層 1 0 1 だけで形成された単一層構造を有する水平部 2 2 2 A とを備える。ここで、フィンガー部 2 2 2 B の第 2 導電層 1 0 3 は、第 1 導電層 1 0 1 による光漏れ遮断層の役割をする。この際、フィンガー部 2 2 2 B の第 2 導電層 1 0 3 は、開口率に寄与する第 1 導電層 1 0 1 の両側部を干渉しないように、第 1 導電層 1 0 1 より小さい線幅を有する。例えば、フィンガー部 2 2 2 B のエッジ部から内側の約 1 μ m に該当する第 1 導電層 1 0 1 の両側部は、開口率に寄与するため、このような第 1 導電層 1 0 1 の両側部を除いた残部と重畳されるように第 2 導電層 1 0 3 を形成する。これにより、共通電極 2 2 2 のフィンガー部 2 2 2 B は、第 1 導電層 1 0 1 により開口率を向上させると共に、第 2 導電層 1 0 3 により光漏れを防止してコントラスト (C o n t r a s t) を向上させることが可能になる。

【 0 0 8 4 】

このように、二重層構造を有する共通電極 2 2 2 のフィンガー部 2 2 2 B と単一層構造を有する水平部 2 2 2 A は、図 6 A 乃至図 7 E で前述したように、ハーフトーンマスクまたは回折露光マスクを用いた第 1 マスク工程で形成される。この場合、フィンガー部 2 2 2 B において、第 1 及び第 2 導電層 1 0 1、1 0 3 の重畳部は、ハーフトーンマスク（または回折露光マスク）の遮断部に対応し形成され、第 2 導電層 1 0 3 と重畳されていない第 1 導電層 1 0 1 の両側部は、部分透過部（または回折露光部）に対応して形成される。

【 図面の簡単な説明 】

【 0 0 8 5 】

【 図 1 】 従来の水平電界印加型の薄膜トランジスタ基板を示した平面図である。

【 図 2 】 図 1 に示した薄膜トランジスタ基板を I - I '、I I - I I ' 線に沿って切り取って示した断面図である。

【 図 3 A 】 図 2 に示した薄膜トランジスタ基板の製造方法を段階的に示した断面図である

。

【図 3 B】図 2 に示した薄膜トランジスタ基板の製造方法を段階的に示した断面図である。

。

【図 3 C】図 2 に示した薄膜トランジスタ基板の製造方法を段階的に示した断面図である。

。

【図 3 D】図 2 に示した薄膜トランジスタ基板の製造方法を段階的に示した断面図である。

。

【図 4】本発明の実施の形態の水平電界印加型の薄膜トランジスタ基板を示した平面図である。

【図 5】図 4 に示した薄膜トランジスタ基板を I I I - I I I '、I V - I V '、V - V '、V I - V I ' 線に沿って切り取って示した断面図である。 10

【図 6 A】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 1 マスク工程を説明するための平面図及び断面図である。

【図 6 B】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 1 マスク工程を説明するための平面図及び断面図である。

【図 7 A】本発明の第 1 マスク工程を具体的に説明するための断面図である。

【図 7 B】本発明の第 1 マスク工程を具体的に説明するための断面図である。

【図 7 C】本発明の第 1 マスク工程を具体的に説明するための断面図である。

【図 7 D】本発明の第 1 マスク工程を具体的に説明するための断面図である。

【図 7 E】本発明の第 1 マスク工程を具体的に説明するための断面図である。 20

【図 8 A】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 2 マスク工程を説明するための平面図及び断面図である。

【図 8 B】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 2 マスク工程を説明するための平面図及び断面図である。

【図 9 A】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 9 B】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 9 C】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 9 D】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 9 E】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 10 A】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 3 マスク工程を説明するための平面図及び断面図である。 30

【図 10 B】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 3 マスク工程を説明するための平面図及び断面図である。

【図 11 A】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 4 マスク工程を説明するための平面図及び断面図である。

【図 11 B】本発明の実施の形態の薄膜トランジスタ基板の製造方法の中、第 4 マスク工程を説明するための平面図及び断面図である。

【図 12】本発明の他の実施の形態の水平電界印加型の薄膜トランジスタ基板を示した平面図である。

【図 13】本発明のまた他の実施の形態の水平電界印加型の薄膜トランジスタ基板を示した平面図である。 40

【図 14】図 13 に示した薄膜トランジスタ基板を I I I - I I I '、I V - I V '、V - V '、V I - V I '、V I I - V I I ' 線に沿って切り取って示した断面図である。

【符号の説明】

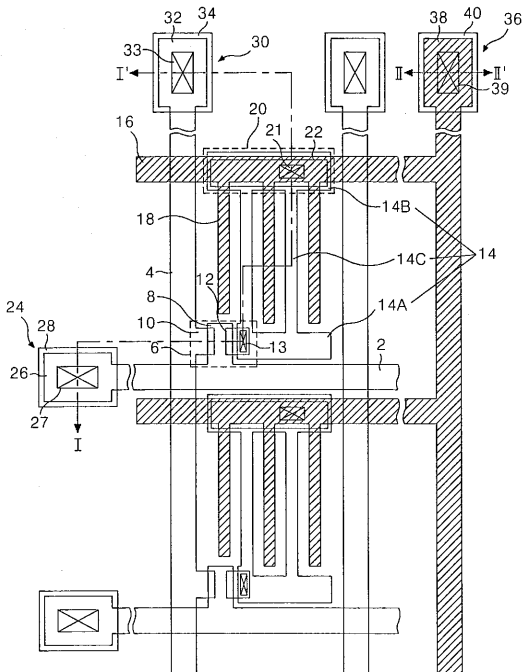
【0086】

2、102 ゲートライン、4、104 データライン、6 TFT (薄膜トランジスタ)、8 ゲート電極、10、110 ソース電極、12、112 ドレイン電極、13、21、27、33、39、108、128、136、144 コンタクトホール、14、118 画素電極、16、120 共通ライン、18、122、222 共通電極、20、Cst1、Cst2 ストレージキャパシタ、22 ストレージ上部電極、24、1 50

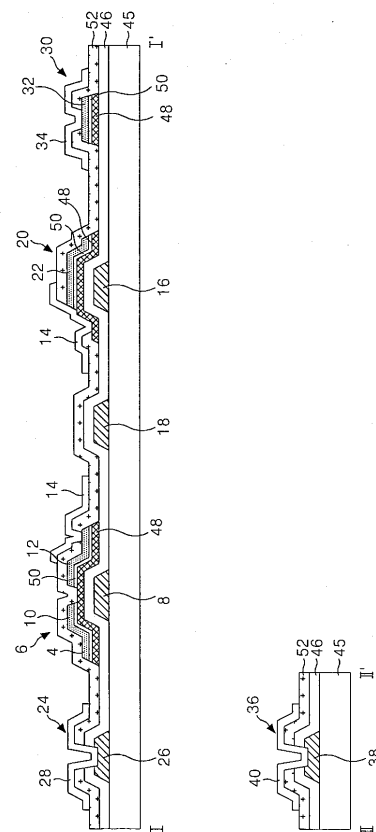
24 ゲートパッド、26、126 ゲートパッド下部電極、28、130 ゲートパッド上部電極、30、132 データパッド、32、134 データパッド下部電極、34、138 データパッド上部電極、36、140 共通パッド、38、142 共通パッド下部電極、146 共通パッド上部電極、45、150 基板、46、152 ゲート絶縁膜、48、114 活性層、50、116 オーミック接触層、52、154 保護膜、101 第1導電層、103 第2導電層、105 非晶質シリコン層、107 不純物ドーピングされたシリコン層、109 ソース/ドレイン金属層、118A、118C 画素電極水平部、118B 画素電極フィンガー部、122A、222A 共通電極水平部、122B、222B 共通電極フィンガー部、160 ハーフトーンマスク、166、172 石英基板、162、174 遮断部、162 部分透過部、167、180 フォトリソグ、168、182 フォトリソグパターン、168A、182A 第1フォトリソグパターン、168B、182B 第2フォトリソグパターン。

10

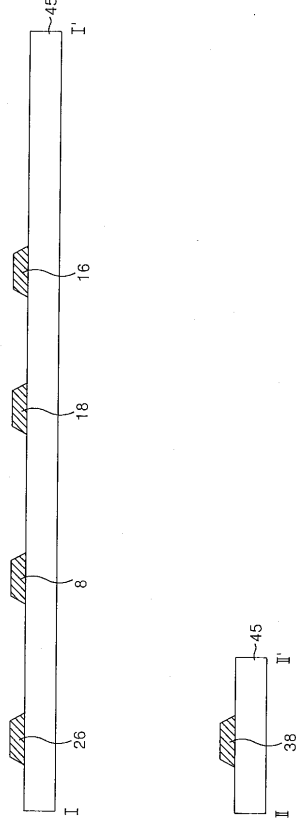
【図1】



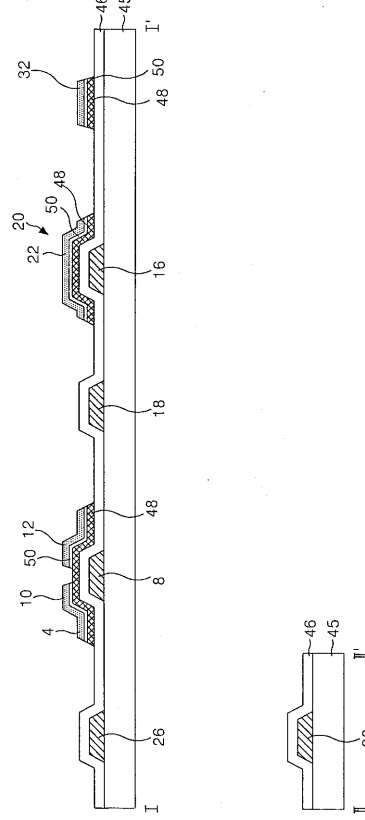
【図2】



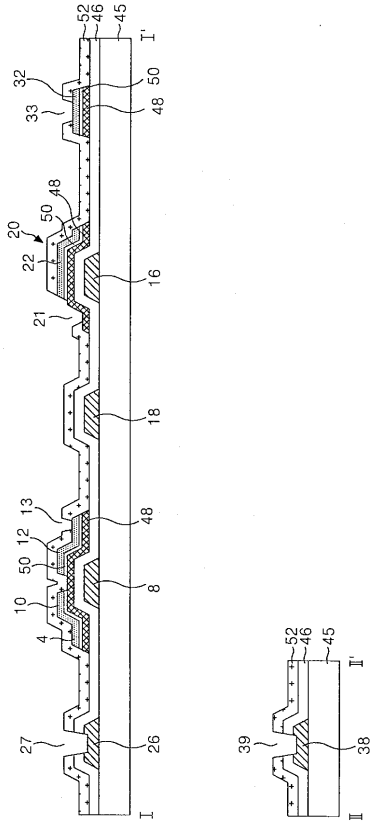
【図 3 A】



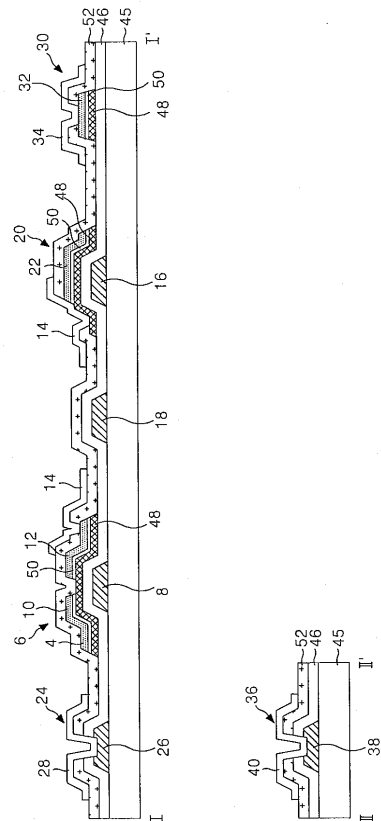
【図 3 B】



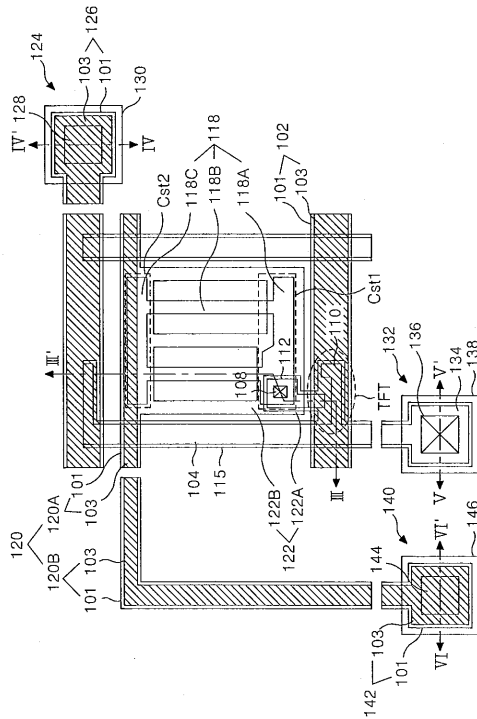
【図 3 C】



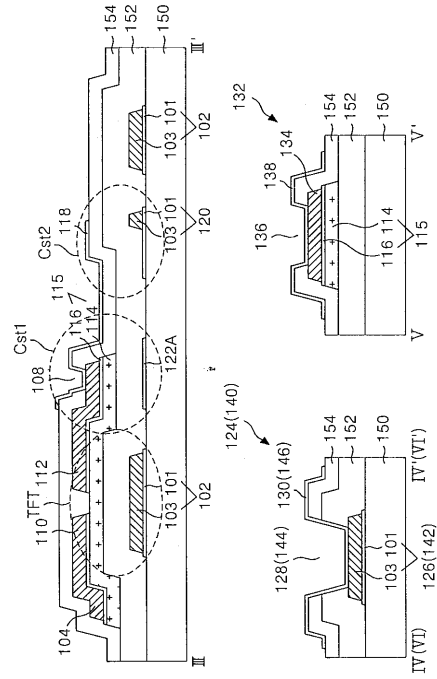
【図 3 D】



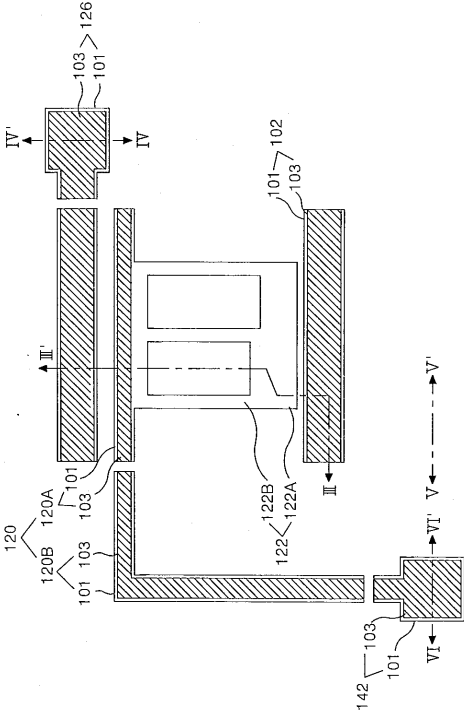
【図 4】



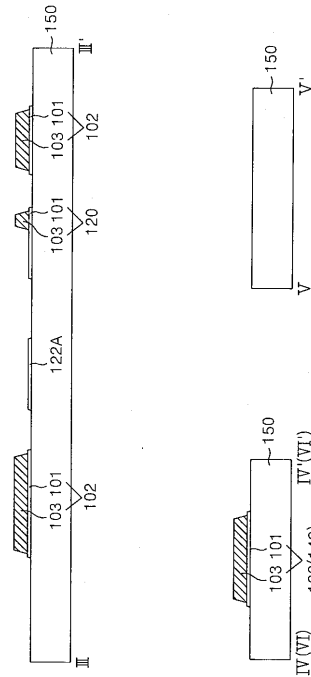
【図 5】



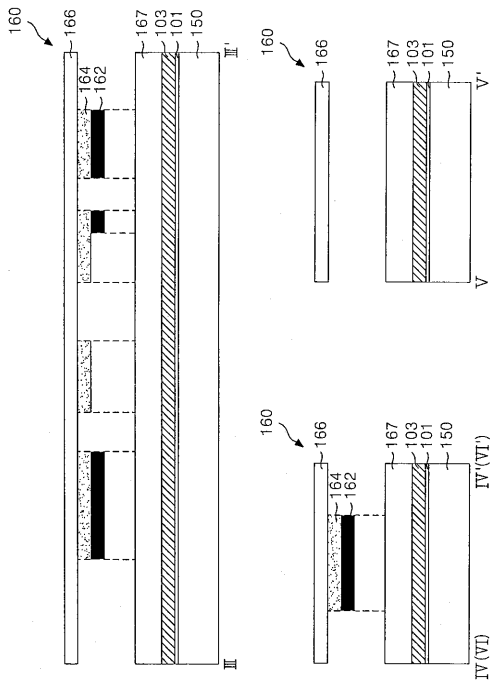
【図 6 A】



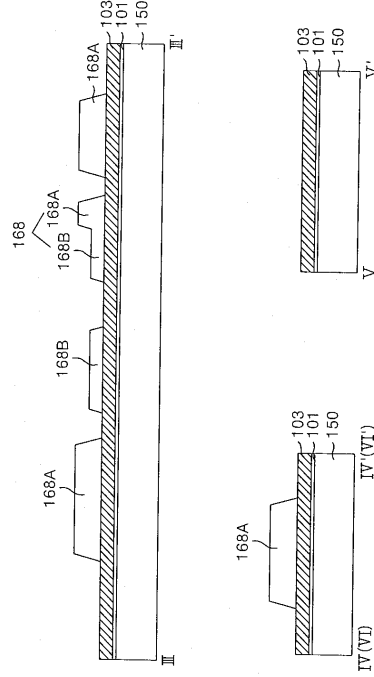
【図 6 B】



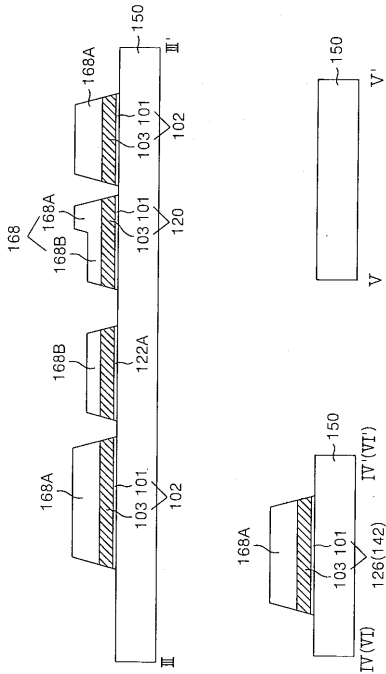
【図 7 A】



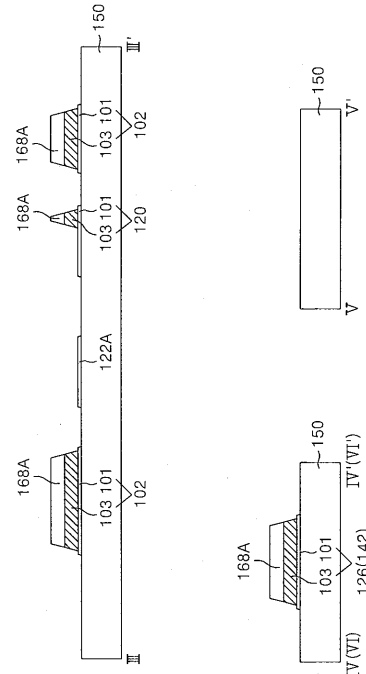
【図 7 B】



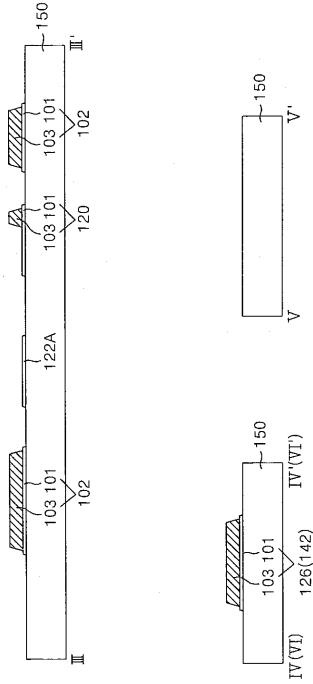
【図 7 C】



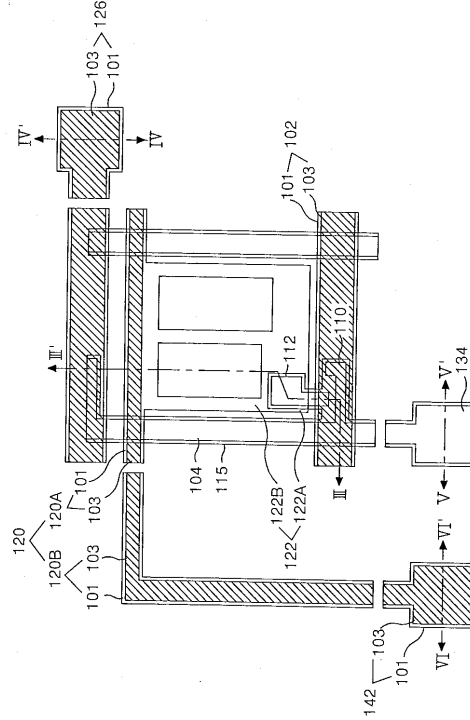
【図 7 D】



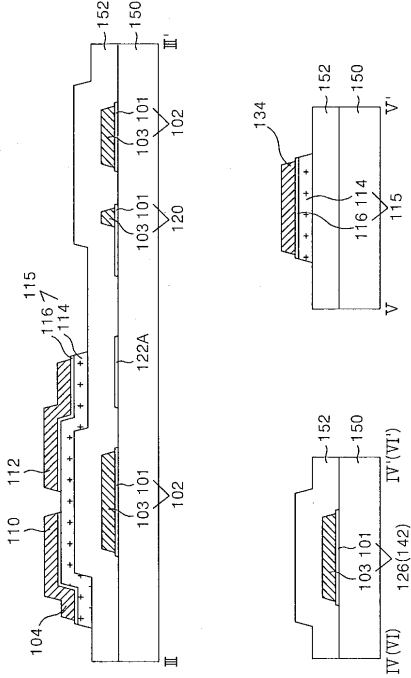
【図 7 E】



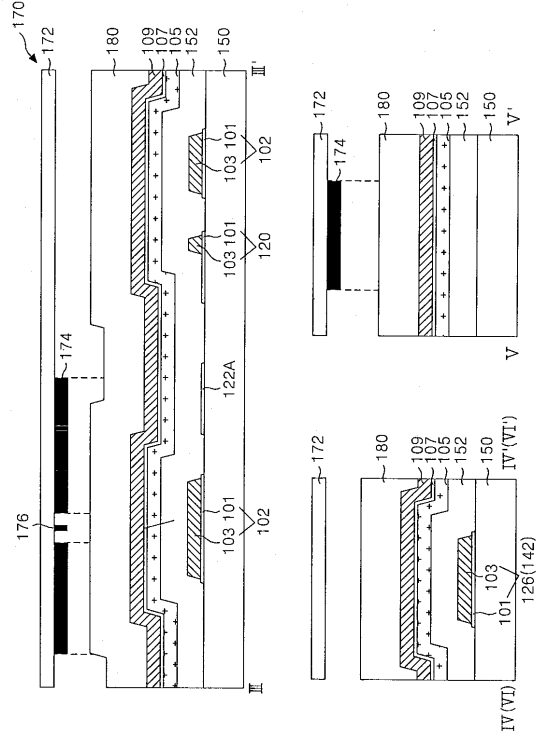
【図 8 A】



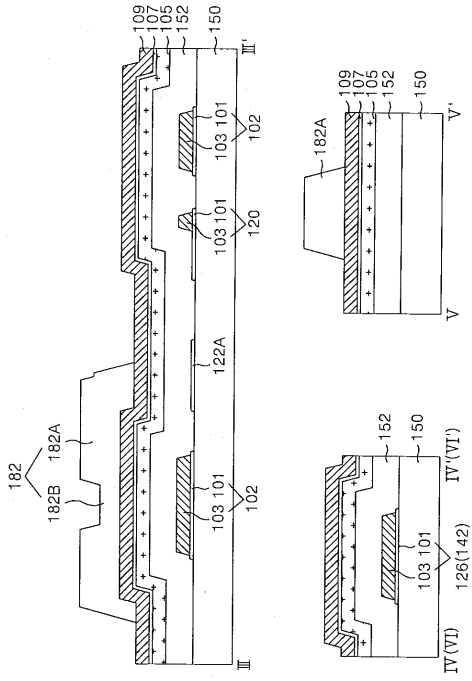
【図 8 B】



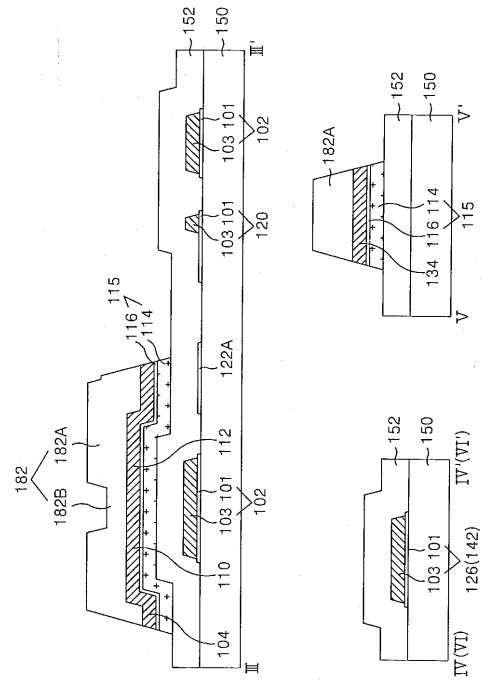
【図 9 A】



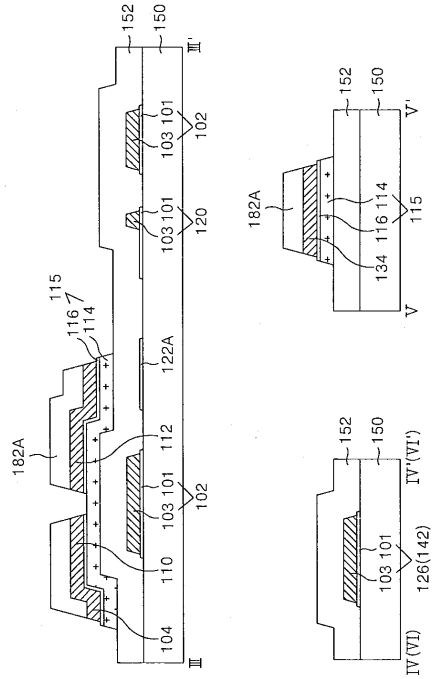
【図 9 B】



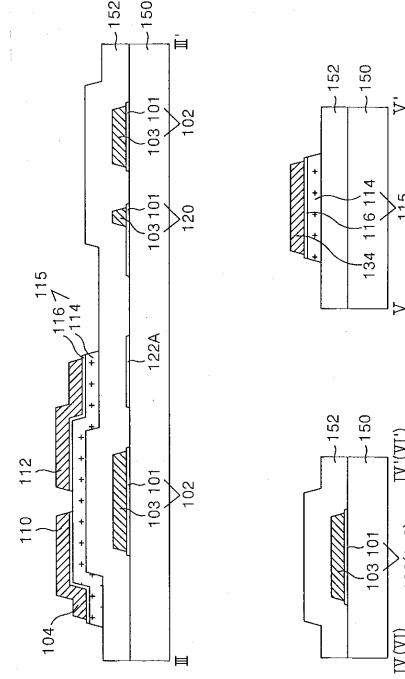
【図 9 C】



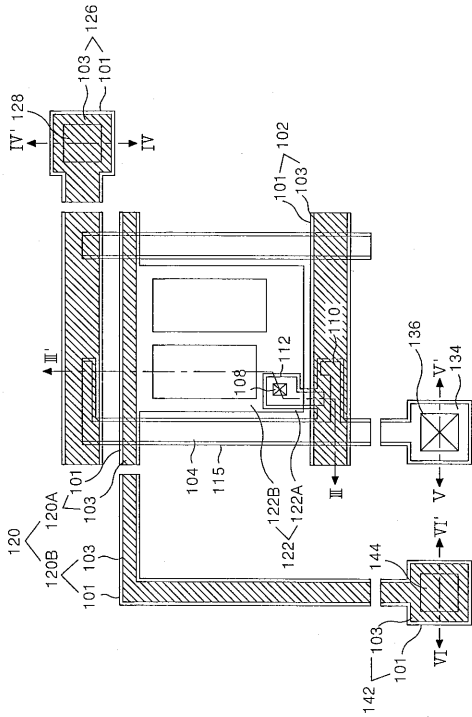
【図 9 D】



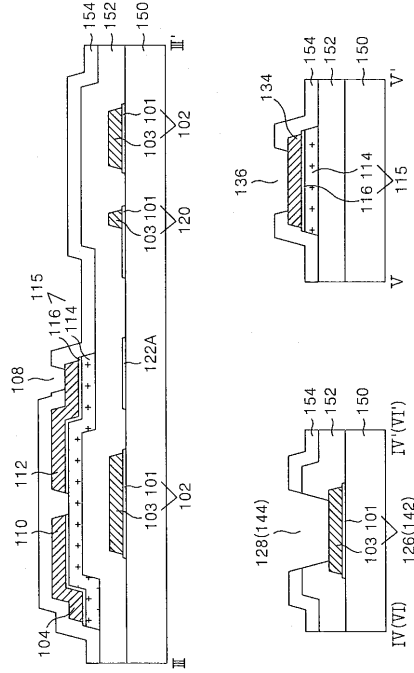
【図 9 E】



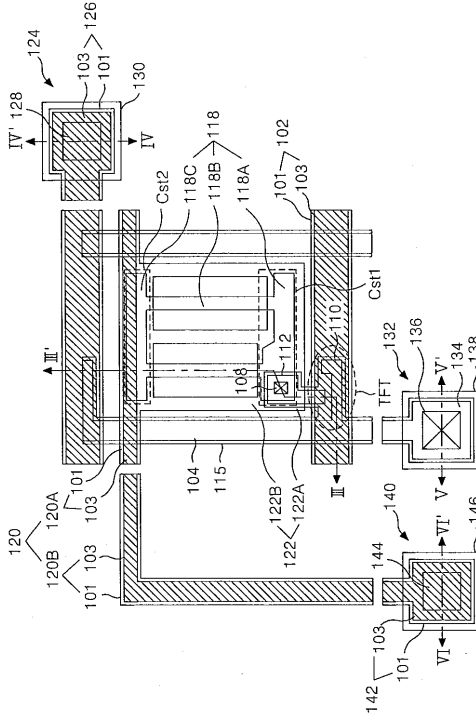
【 図 1 0 A 】



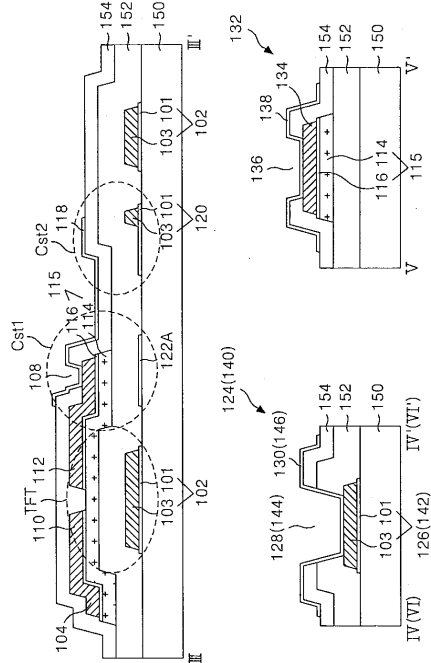
【 図 1 0 B 】



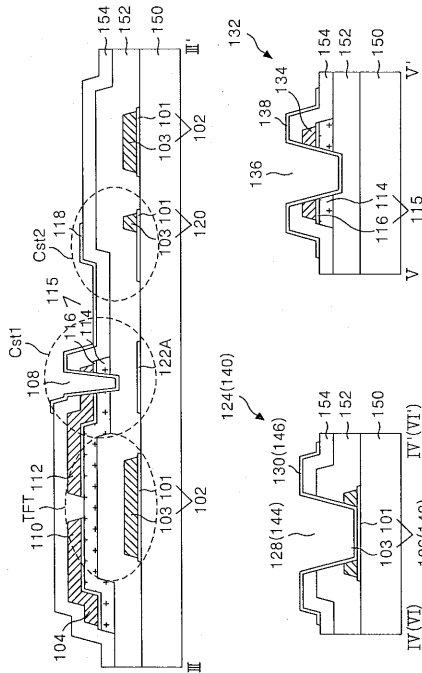
【 図 1 1 A 】



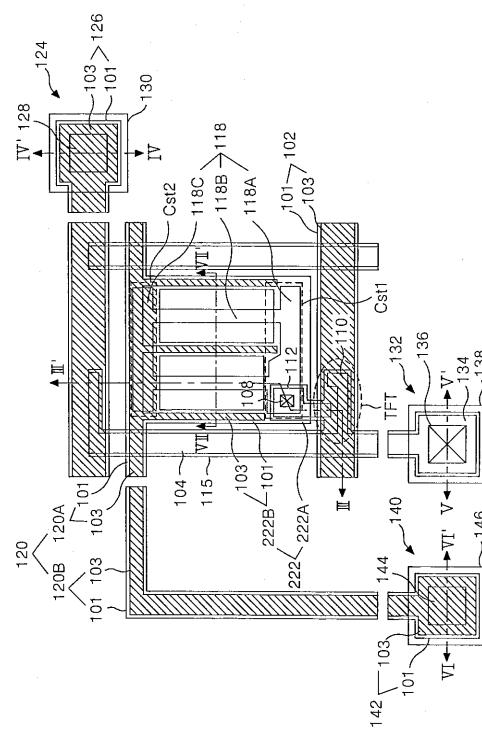
【 図 1 1 B 】



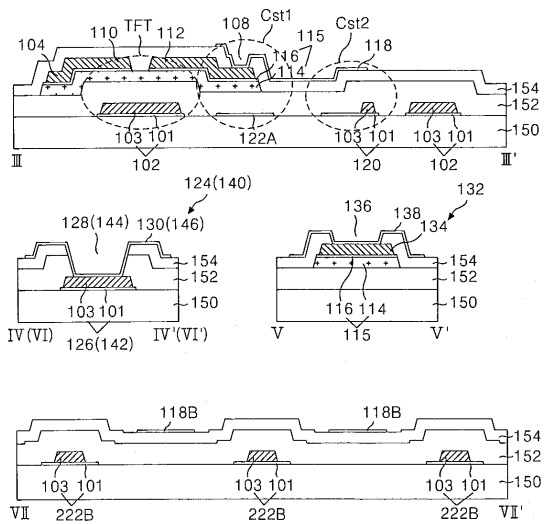
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(72)発明者 ビョンチョル・アン

大韓民国、キョンギ - ド、アニョン - シ、ドンアン - グ、ピョンチョン - ドン 899 - 2、ヒヤ
ンチョン・アパートメント 203 - 903

F ターム(参考) 2H092 GA14 GA17 GA34 GA42 HA04 HA06 HA11 HA19 JA26 JB05
JB24 JB54 JB64 JB65 JB68 KB04 KB13 MA14 MA16 NA07
NA27 QA06

