

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-11261

(P2007-11261A)

(43) 公開日 平成19年1月18日(2007.1.18)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 29/786 (2006.01)	HO1L 29/78 612C	4M104
HO1L 21/336 (2006.01)	HO1L 29/78 612D	5F110
HO1L 21/28 (2006.01)	HO1L 29/78 616A	
HO1L 29/423 (2006.01)	HO1L 29/78 616L	

審査請求 有 請求項の数 34 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2005-364021 (P2005-364021)
 (22) 出願日 平成17年12月16日 (2005.12.16)
 (31) 優先権主張番号 10-2005-0058635
 (32) 優先日 平成17年6月30日 (2005.6.30)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 599127667
 エルジー フィリップス エルシーディー
 カンパニー リミテッド
 大韓民国 ソウル, ヨンドンポーク,
 ヨイドードン 20
 (74) 代理人 100057874
 弁理士 曾我 道照
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順

最終頁に続く

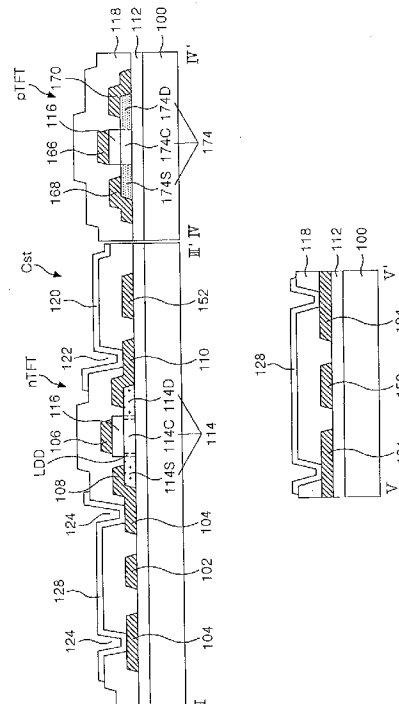
(54) 【発明の名称】 薄膜トランジスタ液晶表示パネル及びその製造方法

(57) 【要約】

【課題】 工程を単純化できる薄膜トランジスタ液晶表示パネル及びその製造方法を得る。

【解決手段】 ゲートライン102と、それにより分離されるデータライン104と、第1半導体層114、第1絶縁パターンを挟んで第1半導体層114と重畳される第1ゲート電極106、それと分離され、第1半導体層114に接続する第1ソース電極108及び第1ドレーン電極110を含む第1薄膜トランジスタnTFTと、保護膜118と、保護膜118を貫通する第1コンタクトホール122を介して第1ドレーン電極110と接続した画素電極120と、保護膜118を貫通する第2コンタクトホール124を介してデータライン102の両分部分を連結する第1コンタクト電極128とを備える。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

基板上に設けられた第 1 信号配線と、
前記基板上に設けられ、前記第 1 信号配線により分離された第 2 信号配線と、
前記第 1 信号配線および第 2 信号配線に接続されて前記基板上に設けられ、第 1 不純物がドーピングされた第 1 半導体層と、前記第 1 半導体層に第 1 絶縁パターンを介在させて重畳される第 1 ゲート電極と、前記第 1 ゲート電極と分離され前記第 1 半導体層に接続された第 1 ソース電極及び第 1 ドレイン電極とを含む第 1 薄膜トランジスタと、
前記第 1 薄膜トランジスタを保護する保護膜と、
前記保護膜を貫通して前記第 1 ドレイン電極を露出させる第 1 コンタクトホールと、
前記第 1 コンタクトホールを通じて前記第 1 ドレイン電極に接続された画素電極と、
前記保護膜を貫通して、前記第 1 信号配線により分離された前記第 2 信号配線の両分された部分を露出させる複数の第 2 コンタクトホールと、
前記第 2 コンタクトホールを通じて前記第 2 信号配線の両分された部分を連結する第 1 コンタクト電極と、
を備えることを特徴とする薄膜トランジスタ液晶表示パネル。

10

【請求項 2】

前記第 1 信号配線は前記第 1 ゲート電極と連結されるゲートラインを含み、
前記第 2 信号配線は前記ゲートラインにより分離され、前記第 1 ソース電極と連結されるデータラインを含むことを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示パネル。

20

【請求項 3】

前記第 1 信号配線は前記第 1 ソース電極と連結されるデータラインを含み、
前記第 2 信号配線は前記データラインにより分離され、前記第 1 ゲート電極と連結されるゲートラインを含むことを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 4】

前記第 1 信号配線を駆動するための第 1 駆動回路と、
前記第 2 信号配線を駆動するための第 2 駆動回路を更に備え、
前記第 1 及び第 2 駆動回路のうち、少なくともいずれかの 1 つは前記第 1 薄膜トランジスタと共に前記第 1 薄膜トランジスタと異なる半導体層を有する第 2 薄膜トランジスタを含むことを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示パネル。

30

【請求項 5】

前記第 2 薄膜トランジスタは、第 2 不純物がドーピングされた第 2 半導体層と、第 2 絶縁パターンを挟んで前記第 2 半導体層と重畳される第 2 ゲート電極と、前記第 2 ゲート電極と分離され前記第 2 半導体層に接続された第 2 ソース電極及び第 2 ドレイン電極とを備えることを特徴とする請求項 4 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 6】

前記画素電極と前記保護膜を挟んで重畳されて、ストレージキャパシタを形成するためのストレージラインを更に備え、
前記第 1 信号配線は前記第 1 ゲート電極と連結されたゲートラインまたは前記第 1 ソース電極と連結されたデータラインを備え、
前記第 2 信号配線は前記ゲートラインにより分離され前記第 1 ソース電極と連結されたデータラインまたは前記データラインにより分離され前記第 1 ゲート電極と連結されたゲートラインを備えることを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示パネル。

40

【請求項 7】

前記ストレージラインは前記ゲートラインと並んでおり、前記データラインは前記ストレージラインにより分離されることを特徴とする請求項 6 に記載の薄膜トランジスタ液晶表示パネル。

50

【請求項 8】

前記ストレージラインは前記ゲートラインと並んでおり、前記ストレージラインは前記データラインにより分離されることを特徴とする請求項 6 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 9】

前記保護膜を貫通して前記ストレージラインにより分離された前記データラインの両分された部分を露出させる複数の第 3 コンタクトホールと、

前記第 3 コンタクトホールを通じて前記ストレージラインにより分離された前記データラインの両分された部分を連結する第 2 コンタクト電極を更に備えることを特徴とする請求項 7 に記載の薄膜トランジスタ液晶表示パネル。

10

【請求項 10】

前記画素電極と前記第 1 及び第 2 コンタクト電極は透明導電層を備えることを特徴とする請求項 9 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 11】

前記保護膜を貫通して前記データラインにより分離された前記ストレージラインの両分された部分を露出させる複数の第 3 コンタクトホールと、

前記第 3 コンタクトホールを通じて前記データラインにより分離された前記ストレージラインの両分された部分を連結する第 2 コンタクト電極を更に備えることを特徴とする請求項 8 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 12】

前記画素電極と前記第 1 及び第 2 コンタクト電極は透明導電層を備えることを特徴とする請求項 11 に記載の薄膜トランジスタ液晶表示パネル。

20

【請求項 13】

前記ゲートライン、前記データライン、前記ゲート電極、前記ソース電極、前記ドレイン電極、前記ストレージラインは、同一な導電物質で形成されることを特徴とする請求項 6 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 14】

前記第 1 半導体層は、前記ゲート電極と重畳されたチャネル領域と、前記ソース電極及びドレイン電極と接続されて、前記第 1 不純物がドーピングされたソース領域及びドレイン領域とを備えることを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示パネル。

30

【請求項 15】

前記第 1 半導体層は、前記チャネル領域の両側部に形成された L D D (Lightly Doped Drain) 領域を更に備えることを特徴とする請求項 14 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 16】

前記第 2 半導体層は、前記ゲート電極と重畳されたチャネル領域と、前記ソース電極及びドレイン電極と接続されて、前記第 2 不純物がドーピングされたソース領域及びドレイン領域とを備えることを特徴とする請求項 5 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 17】

基板上に第 1 半導体層を形成するステップと、

40

前記第 1 半導体層に第 1 不純物がドーピングされたソース領域及びドレイン領域を形成するステップと、

前記ソース領域及びドレイン領域間のチャネル領域と重畳された第 1 絶縁パターンを形成するステップと、

前記基板上に、ゲートラインと、前記ゲートラインと接続されて、前記第 1 絶縁膜と重畳された第 1 ゲート電極と、前記第 1 半導体層のソース領域及びドレイン領域の各々と接続された第 1 ソース電極及び第 2 ドレイン電極と、前記第 1 ソース電極と接続されたデータラインとを含んで、前記ゲートラインと前記データラインのうち、少なくともいずれかの一つが不連続的な第 1 導電パターン群を形成するステップと、

前記第 1 導電パターン群が形成された基板上に保護膜を形成し、前記第 1 ドレイン電極

50

を露出させる第1コンタクトホールと、前記不連続的なラインの両分された部分を露出させる第2コンタクトホールとを形成するステップと、

前記第1コンタクトホールを通じて前記第1ドレーン電極に接続される画素電極と、前記第2コンタクトホールを通じて前記不連続的なラインの両分された部分に接続されるコンタクト電極とを形成するステップと、

を含むことを特徴とする薄膜トランジスタ液晶表示パネルの製造方法。

【請求項18】

前記基板上に第2半導体層を形成するステップと、

前記第2半導体層に第2不純物がドーピングされたソース領域及びドレーン領域を形成するステップと、

前記ソース領域及びドレーン領域間のチャンネル領域と重畳された第2絶縁パターンを形成するステップと、

前記基板上に前記第2絶縁パターンと重畳された第2ゲート電極と、前記第2半導体層のソース領域及びドレーン領域の各々と接続した第2ソース電極及び第2ドレーン電極とを形成するステップと、

を更に含むことを特徴とする請求項17記載の薄膜トランジスタ液晶表示パネルの製造方法。

【請求項19】

前記第1及び第2不純物をドーピングし、前記第1及び第2絶縁パターンを形成するステップは、

前記第1及び第2半導体層が形成された基板上に絶縁膜を全面形成するステップと、

前記絶縁膜上に前記第1半導体層のチャンネル領域と前記第2半導体層を遮断する第1ホトレジストパターンを形成するステップと、

前記第1ホトレジストパターンをマスクとして前記第1不純物で前記第1半導体層をドーピングするステップと、

前記第1ホトレジストパターンをマスクとして前記絶縁膜を1次エッチングして前記第1絶縁パターンを形成するステップと、

前記第1半導体層と前記第2半導体層のチャンネル領域を遮断する第2ホトレジストパターンを形成するステップと、

前記第2ホトレジストパターンをマスクとして前記第2不純物で前記第2半導体層をドーピングするステップと、

前記第2ホトレジストパターンをマスクとして前記絶縁膜をエッチングして前記第2絶縁パターンを形成するステップと、

を含むことを特徴とする請求項18に記載の薄膜トランジスタ液晶表示パネルの製造方法。

【請求項20】

前記第1ゲート電極は前記第1絶縁パターンの両側部が露出するように形成され、前記露出した第1絶縁パターンの両側部を通じて前記第1半導体層に第3不純物をドーピングしてLDD領域を形成するステップを更に含むことを特徴とする請求項17に記載の薄膜トランジスタ液晶表示パネルの製造方法。

【請求項21】

前記基板上に前記保護膜を挟んで前記画素電極と重畳されるストレージラインを形成するステップを更に含むことを特徴とする請求項17に記載の薄膜トランジスタ液晶表示パネルの製造方法。

【請求項22】

前記データライン及びストレージラインのうち、少なくともいずれかの一つのラインを不連続的に形成し、前記データラインと前記ストレージラインの中、少なくともいずれかの一つを露出させるための第3コンタクトホールを形成するステップと、

前記第3コンタクトホールを通じて前記データラインと前記ストレージラインのうち、少なくともいずれかの一つを連結する第2コンタクト電極を形成するステップと、

10

20

30

40

50

を更に含むことを特徴とする請求項 2 1 に記載の薄膜トランジスタ液晶表示パネルの製造方法。

【請求項 2 3】

前記画素電極と前記第 1 及び第 2 コンタクト電極は透明導電層で形成されることを特徴とする請求項 2 2 に記載の薄膜トランジスタ液晶表示パネルの製造方法。

【請求項 2 4】

前記基板と前記第 1 半導体層との間にバッファ膜を形成するステップを更に含むことを特徴とする請求項 1 7 に記載の薄膜トランジスタ液晶表示パネルの製造方法。

【請求項 2 5】

液晶表示パネルの表示領域上において、同一層上に形成されるゲートライン、データライン、ストレージラインと、

半導体層と、絶縁パターンを挟んで前記半導体層と重畳されるゲート電極と、前記ゲート電極と分離され、前記半導体層に接続されるソース電極及びドレーン電極とを含む薄膜トランジスタと、

前記薄膜トランジスタ、前記ゲートライン及び前記ストレージライン上に形成される保護膜と、

前記不連続的なラインの両分された部分を接続させるコンタクト電極とを備え、

前記ゲートライン、前記データライン及び前記ストレージラインのうち、少なくとも一つは前記表示領域内で不連続的であり、前記ゲートライン、前記データライン及び前記ストレージラインのうち、少なくとも一つは前記表示領域内で連続的であり、前記連続的なラインは前記不連続的なラインの一部を両分し、前記コンタクト電極は前記保護膜内の第 1 コンタクトホールを通じて前記不連続的なラインの両分された部分を接続させることを特徴とする薄膜トランジスタ液晶表示パネル。

【請求項 2 6】

前記ストレージラインは前記ゲートラインと並んでいることを特徴とする請求項 2 5 記載の薄膜トランジスタ液晶表示パネル。

【請求項 2 7】

前記データラインは不連続的であり、前記ゲートラインは連続的であることを特徴とする請求項 2 6 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 2 8】

前記ストレージラインは連続的であることを特徴とする請求項 2 7 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 2 9】

前記ゲートラインは不連続的であり、前記データラインは連続的であることを特徴とする請求項 2 6 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 3 0】

前記ストレージラインは不連続的であることを特徴とする請求項 2 9 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 3 1】

前記保護膜内の第 2 コンタクトホールを通じて前記ドレーン電極と接続する画素電極を更に備え、

前記ストレージラインは前記保護膜を挟んで前記画素電極と重畳されてストレージキャパシタを形成することを特徴とする請求項 2 5 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 3 2】

前記画素電極と前記コンタクト電極は透明導電層を備えることを特徴とする請求項 3 1 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 3 3】

前記ゲートライン、前記データライン、前記ストレージライン、前記ゲート電極、前記

ソース電極及び前記ドレーン電極は、同一材料で形成されることを特徴とする請求項 2 5 に記載の薄膜トランジスタ液晶表示パネル。

【請求項 3 4】

前記半導体層は前記ゲート電極と重畳されたチャンネル領域と、
前記ソース電極と前記ドレーン電極の各々に接続するソース領域及びドレーン領域と、
前記チャンネル領域と前記ソース領域との間に形成されると共に、前記チャンネル領域と前記ドレーン領域との間に形成される L D D 領域と、
を備えることを特徴とする請求項 2 5 に記載の薄膜トランジスタ液晶表示パネル。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明はポリシリコンを利用した液晶表示パネルに関し、特に工程を単純化できる薄膜トランジスタ液晶表示パネル及びその製造方法に関する。

【背景技術】

【0002】

通常、液晶表示装置 (Liquid Crystal Display; LCD) は、液晶表示パネル (以下、液晶パネル) にマトリックス形態で配列された液晶セルの各々がビデオ信号により光透過率を調節するようにすることで、画像を表示することになる。

【0003】

液晶セルの各々にはビデオ信号を独立的に供給するためのスイッチ素子として薄膜トランジスタ (Thin Film Transistor; 以下、T F T とする。) が利用される。このような T F T の半導体層としてはアモルファスシリコン (Amorphous Si)、または、ポリシリコン (Poly Si) が利用される。ここで、アモルファスシリコンより電荷移動度が約 1 0 0 倍程度速いポリシリコンを利用する場合、高い応答速度を必要とする駆動回路を液晶パネルに内蔵できることになる。

20

【0004】

図 1 は駆動回路が内蔵された従来のポリ液晶パネルの T F T 基板を概略的に示す図である。

【0005】

図 1 に図示されたポリ T F T 基板はゲートライン 2 及びデータライン 4 の交差により定義された画素領域毎に T F T 3 0 及び画素電極 2 2 が形成された画像表示領域 7 と、画像表示領域 7 のデータライン 4 を駆動するためのデータドライバ 5 と、画像表示領域 7 のゲートライン 2 を駆動するためのゲートドライバ 3 とを備える。

30

【0006】

画像表示領域 7 は複数のゲートライン 2 及びデータライン 4 の交差により定義された画素領域各々に形成された T F T 3 0 及び画素電極 2 2 を備える。T F T 3 0 はゲートライン 2 のスキャン信号に応答してデータライン 4 からのビデオ信号を画素電極 2 2 に印加する。ビデオ信号が印加された画素電極 2 2 は、T F T 基板と液晶を挟んで対向するカラーフィルタ基板に設けられた共通電極と印加電圧との電位差を発生させて、その電位差によって液晶分子が誘電異方性により回転するようにする。このような液晶分子の回転程度によって光透過率が変わることによって階調が具現される。

40

【0007】

ゲートドライバ 3 はゲートライン 2 を順次駆動する。

【0008】

データドライバ 5 はゲートライン 2 が駆動される度にデータライン 4 にビデオ信号を供給する。

【0009】

図 2 は図 1 に図示されたポリ T F T 基板の画像表示領域 7 に含まれた 1 つの画素領域を拡大図示した平面図であり、図 3 は図 2 に図示された T F T 基板の画素領域を I - I '線に沿って切断して図示した断面図である。

50

【0010】

図2及び図3に図示されたTFT基板は、ゲートライン2及びデータライン4と接続したTFT30と、TFT30と接続した画素電極22とを備える。TFT30はNMOS TFT、または、PMOS TFTで形成されるが、以下では、NMOS TFTで形成された場合についてのみ説明する。

【0011】

TFT30は、ゲートライン2と接続したゲート電極6と、データライン4に含まれたソース電極と、保護膜18を貫通する画素コンタクトホール20を通じて画素電極22と接続されたドレーン電極10とを備える。ゲート電極6は、ゲート絶縁膜16を挟んでバフファ膜12上に形成された半導体層14のチャネル領域14Cと重畳されるように形成される。ソース電極及びドレーン電極10はゲート電極6と層間絶縁膜26を挟んで形成される。そして、ソース電極及びドレーン電極10は、層間絶縁膜26及びゲート絶縁膜16を貫通するソースコンタクトホール24S及びドレーンコンタクトホール24Dの各々を通じてn+不純物が注入された半導体層14のソース領域14S及びドレーン領域14Dの各々と接続する。

10

【0012】

このようなポリ型TFT基板の画像表示領域7は次のように6つのマスク工程で形成される。

【0013】

具体的に、第1マスク工程において、下部基板1上にバフファ膜12が形成され、その上に半導体層14が形成される。半導体層14はバフファ膜12上にアモルファスシリコンを蒸着した後、レーザーで結晶化してポリシリコンになるようにした後、第1マスクを利用したホトリソグラフィ工程とエッチング工程とでポリシリコン層をパターンングすることにより形成される。

20

【0014】

第2マスク工程において、半導体層14が形成されたバフファ膜12上にゲート絶縁膜16が形成され、その上にゲートライン2及びゲート電極6が形成される。そして、ゲート電極6をマスクとして利用して半導体層14の非重複領域にn+不純物を注入して半導体層14のソース領域14S及びドレーン領域14Dを形成する。

【0015】

第3マスク工程において、ゲートライン2及びゲート電極6が形成されたゲート絶縁膜16上に層間絶縁膜26が形成され、層間絶縁膜26及びゲート絶縁膜16を貫通するソースコンタクトホール24S及びドレーンコンタクトホール24Dが形成される。

30

【0016】

第4マスク工程において、層間絶縁膜26上にソース電極を含むデータライン4及びドレーン電極10が形成される。

【0017】

第5マスク工程において、データライン4及びドレーン電極10が形成された層間絶縁膜26上に保護膜18が形成され、その保護膜18を貫通してドレーン電極10を露出させる画素コンタクトホール20が形成される。

40

【0018】

第6マスク工程において、画素コンタクトホール20を通じてドレーン電極10と接続した透明な画素電極22が保護膜18上に形成される。

【発明の開示】

【発明が解決しようとする課題】

【0019】

このように、従来のポリ型TFT基板の画像表示領域7は6つのマスク工程で形成されるので、製造工程が複雑であるという問題がある。これは一つのマスク工程が薄膜蒸着工程、洗浄工程、ホトリソグラフィ工程、エッチング工程、ホトレジスト剥離工程及び検査工程などのような多くの工程を含んでいるためである。

50

【0020】

また、従来のポリ型TFT基板は画像表示領域7にストレージキャパシタを形成し、ゲートドライバ3及びデータドライバ5を形成する場合、CMOS-TFTを形成しなければならないので、9つのマスク工程に工程数が増加して製造工程が一層複雑になる。したがって、原価低減のためには、ポリTFT基板のマスク工程数を減らすことができる方案が必要である。

【0021】

本発明は、かかる問題点を解決するためになされたものであり、工程を単純化できる薄膜トランジスタ液晶表示パネル及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0022】

前記の目的の達成のために、本発明に係る薄膜トランジスタ液晶表示パネルは、基板上に設けられた第1信号配線と、前記基板上に設けられ、前記第1信号配線により分離された第2信号配線と、前記第1信号配線および第2信号配線に接続されて前記基板上に設けられ、第1不純物がドーピングされた第1半導体層と、第1絶縁パターンを介在させて前記第1半導体層と重畳される第1ゲート電極と、前記第1ゲート電極と分離され前記第1半導体層に接続する第1ソース電極及び第1ドレーン電極とを含む第1薄膜トランジスタと、前記第1薄膜トランジスタを保護する保護膜と、前記保護膜を貫通して前記第1ドレーン電極を露出させる第1コンタクトホールと、前記第1コンタクトホールを通じて前記第1ドレーン電極に接続された画素電極と、前記保護膜を貫通して、前記第1信号配線により分離された前記第2信号配線の両分された部分を露出させる複数の第2コンタクトホールと、前記第2コンタクトホールを通じて前記第2信号配線の両分された部分を連結する第1コンタクト電極と、を備える。

【0023】

本発明に係る薄膜トランジスタ液晶表示パネルの製造方法は、基板上に第1半導体層を形成するステップと、前記第1半導体層に第1不純物がドーピングされたソース領域及びドレーン領域を形成するステップと、前記ソース領域及びドレーン領域間のチャンネル領域と重畳された第1絶縁パターンを形成するステップと、前記基板上に、ゲートラインと、前記ゲートラインと接続されて、前記第1絶縁膜と重畳された第1ゲート電極と、前記第1半導体層のソース領域及びドレーン領域の各々と接続された第1ソース電極及び第2ドレーン電極と、前記第1ソース電極と接続されたデータラインとを含み、前記ゲートラインと前記データラインのうち、少なくともいずれかの一つが不連続的な第1導電パターン群を形成するステップと、前記第1導電パターン群が形成された基板上に保護膜を形成し、前記第1ドレーン電極を露出させる第1コンタクトホールと、前記不連続的なラインの両分された部分を露出させる第2コンタクトホールとを形成するステップと、前記第1コンタクトホールを通じて前記第1ドレーン電極に接続される画素電極と、前記第2コンタクトホールを通じて前記不連続的なラインの両分された部分に接続されるコンタクト電極を形成するステップと、を含む。

【0024】

本発明に係る薄膜トランジスタ液晶表示パネルは、液晶表示パネルの表示領域上において、同一層上に形成されるゲートライン、データライン、ストレージラインと、半導体層と、絶縁パターンを挟んで前記半導体層と重畳されるゲート電極と、前記ゲート電極と分離され、前記半導体層に接続されるソース電極及びドレーン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ、前記ゲートライン及び前記ストレージライン上に形成される保護膜と、前記不連続的なラインの両分された部分を接続させるコンタクト電極とを備え、前記ゲートライン、前記データライン及び前記ストレージラインのうち、少なくとも一つは前記表示領域内で不連続的であり、前記ゲートライン、前記データライン及び前記ストレージラインのうち、少なくとも一つは前記表示領域内で連続的であり、前記連続的なラインは前記不連続的なラインの一部を両分し、前記コンタクト電極は前記保護膜内の第1コンタクトホールを通じて前記不連続的なラインの両分された部分を接続させる。

10

20

30

40

50

【発明の効果】

【0025】

本発明に係る薄膜トランジスタ液晶表示パネル及びその製造方法は、6つのマスク工程で工程数を低減できることになる。したがって、材料費及び設備投資費用などを低減すると共に、歩留まりを向上させることができることになる。

【発明を実施するための最良の形態】

【0026】

以下、本発明の望ましい実施の形態を図4から図6Fを参照しつつ詳細に説明する。

【0027】

図4は本発明の実施の形態に係る薄膜トランジスタ液晶表示パネルに用いるポリTF T基板の一部分を示す平面図であり、図5は図4に図示されたTF T基板をI I I - I I I'、I V - I V'線に沿って切断して図示した断面図である。

【0028】

図4及び図5に図示されたポリTF T基板は、画像表示領域196と、画像表示領域196のゲートライン102及びデータライン104を駆動する駆動回路が形成されたドライバ領域194とを備える。

【0029】

画像表示領域196は、ゲートライン102及びデータライン104に接続されたnTF Tと、nTF Tに接続された画素電極120及びストレージキャパシタ(Cst)とを備える。ドライバ領域194はCMOS構造で連結されたnTF TとpTF Tとを備える。

【0030】

nTF Tはゲートライン102のゲート信号に応答してデータライン104のビデオ信号を画素電極120に供給する。このために、nTF Tは、ゲートライン102と接続した第1ゲート電極106と、データライン104と接続した第1ソース電極108と、画素電極120と接続した第1ドレーン電極110と、第1ソース電極108及び第1ドレーン電極110間にチャンネルを形成する第1半導体層114とを備える。第1ソース電極108及び第1ドレーン電極110は、それぞれ、第2半導体層114のソース領域114S及びドレーン領域114Dと接続する。そして、nTF Tにおいて、第1半導体層114は、オフ電流を減少させるために、チャンネル領域114Cと、ソース領域114S及びドレーン領域114D、ソース領域114S及びドレーン領域114Dとの間にn-不純物が注入されたLDD(Lightly Doped Drain)領域を更に備える。

【0031】

pTF Tは、バッファ膜112上に形成された第2半導体層174と、ゲート絶縁膜116を挟んで第2半導体層174のチャンネル領域174Cと重畳された第2ゲート電極166と、第2半導体層174のソース領域174S及びドレーン領域174Dにそれぞれ接続された第2ソース電極168及び第2ドレーン電極170とを備える。ここで、第2半導体層174のソース領域174S及びドレーン領域174Dはp不純物が注入されて形成される。第2半導体層174は、チャンネル領域174Cと、ソース領域174S及びドレーン領域174Dとを備える。

【0032】

画素電極120は、保護膜118を貫通する第1コンタクトホール122を通じて画像表示領域196の第1ドレーン電極110と接続する。このような画素電極120はnTF Tから供給されたビデオ信号を充電して図示しないカラーフィルタ基板に形成された共通電極と電位差を発生させることになる。この電位差によりTF T基板とカラーフィルタ基板に位置する液晶が誘電異方性により回転することになり、図示しない光源から画素電極120を経由して入射される光の透過量を調節してカラーフィルタ基板側に透過させることになる。

【0033】

ストレージキャパシタ(Cst)は保護膜118を挟んでストレージライン152が画素電極120と重畳されて形成される。このようなストレージキャパシタ(Cst)は画素電

10

20

30

40

50

極 1 2 0 に充電されたビデオ信号が安定的に維持されるようにする。ストレージライン 1 5 2 は、ゲートライン 1 0 2 と並行に設けられており、データライン 1 0 4 はストレージライン 1 5 2 により分離されている。

【 0 0 3 4 】

データライン 1 0 4 はゲートライン 1 0 2 及びストレージライン 1 5 2 と共に形成される。これによって、データライン 1 0 4 はゲートライン 1 0 2 及びストレージライン 1 5 2 とショートしないように形成されなければならない。例えば、データライン 1 0 4 は、図 4 のように、ゲートライン 1 0 2 及びストレージライン 1 5 2 とショートしないように分離される。分離されたデータライン 1 0 4 は保護膜 1 1 8 上に形成されたコンタクト電極 1 2 8 を通じて連結される。

10

【 0 0 3 5 】

具体的には、コンタクト電極 1 2 8 はゲートライン 1 0 2 またはストレージライン 1 5 2 と絶縁されて交差するように形成され、保護膜 1 1 8 を貫通するコンタクトホール 1 2 4 を通じてデータライン 1 0 4 と接続する。これによって、ゲートライン 1 0 2 またはストレージライン 1 5 2 を基準にして分離されたデータライン 1 0 4 はコンタクト電極 1 2 8 を通じて連結される。

【 0 0 3 6 】

これに反して、他の実施形態であって、ゲートライン 1 0 2 またはストレージライン 1 5 2 がデータライン 1 0 4 により両分されることができ、分離されたゲートライン 1 0 2 またはストレージライン 1 5 2 は上記のように保護膜を貫通するコンタクトホール 1 2 4 と、データライン 1 0 4 を交差するコンタクト電極 1 2 8 を通じて連結される。

20

【 0 0 3 7 】

このような構成を有する本発明のポリ T F T 基板の製造方法を具体的に説明すれば次の通りである。

【 0 0 3 8 】

図 6 A から図 6 F は、本発明の実施の形態に異なるポリ T F T 基板の製造方法を段階的に説明するための断面図である。

【 0 0 3 9 】

図 6 A を参照すれば、下部基板 1 0 0 上にバッファ膜 1 1 2 が形成され、その上に第 1 マスク工程で一体化した第 1 及び第 2 半導体層 1 1 4、1 7 4 が形成される。

30

【 0 0 4 0 】

具体的に、バッファ膜 1 1 2 は下部基板 1 0 0 上に S i O 2 などのような無機絶縁物質が全面蒸着されて形成される。第 1 及び第 2 半導体層 1 1 4、1 7 4 はバッファ膜 1 1 2 上にアモルファスシリコン薄膜を形成し、結晶化してポリシリコン薄膜を作った後に、第 1 マスクを利用したホトリソグラフィ工程及びエッチング工程でポリシリコン薄膜をパターンニングすることによって形成される。この際、アモルファスシリコン薄膜を結晶化する以前にアモルファスシリコン薄膜内に存在する水素原子を除去するための脱水素化 (Dehydrogenation) 工程を進行することとする。アモルファスシリコン薄膜を結晶化する方法としては、エキシマーレーザーアニーリング方法中の一つで、ラインビーム (Line beam) を水平方向にスキャンしてグレーンを水平方向に成長させることによってグレーンの大きさを向上させた順次横方向結晶化 (SLS : Sequential Lateral Solidification) 方法が主に利用される。

40

【 0 0 4 1 】

図 6 B を参照すれば、第 1 及び第 2 半導体層 1 1 4、1 7 4 が形成されたバッファ膜 1 1 2 上にゲート絶縁膜 1 1 6 を形成し、第 2 マスク工程を通じて第 1 半導体層 1 1 4 のソース及びドレイン領域 1 1 4 S、1 1 4 D に n + ドーピングし、ゲート絶縁膜 1 1 6 をパターンニングすることになる。

【 0 0 4 2 】

具体的には、ゲート絶縁膜 1 1 6 は、第 1 及び第 2 半導体層 1 1 4、1 7 4 が形成されたバッファ膜 1 1 2 上に S i O 2 などのような無機絶縁物質が全面蒸着されて形成される

50

。

【0043】

そして、 $n+$ ドーピングのために第2マスクを利用したホトリソグラフィ工程で第1半導体層114のチャンネル領域114Cと第2半導体層174を覆うまたは遮断する第1ホトレジストパターン180が形成される。次に、第1ホトレジストパターン180をマスクとして第1半導体層114のソース領域114S及びドレーン領域114Dのみに $n+$ ドーピングをすることになる。

【0044】

次に、第1ホトレジストパターン180をマスクとして利用したエッチング工程でゲート絶縁膜116をパターニングすることになる。これによって、ゲート絶縁膜116は、
10 図6Cに示すように、第1半導体層114のチャンネル領域114C及び第2半導体層174との重複部のみに残っていることになる。そして、第1ホトレジストパターン180はストリップ工程により除去される。

【0045】

図6Cを参照すれば、第3マスク工程を通じて第2半導体層174のソース領域174S及びドレーン領域174Dに $p+$ ドーピングをし、ゲート絶縁膜116を2次エッチングするようにする。

【0046】

具体的に、 $p+$ ドーピングのために第3マスクを利用したホトリソグラフィ工程で第1半導体層114と、第2半導体層174のチャンネル領域174を覆う、または、遮断する
20 第2ホトレジストパターン182を形成することになる。次に、第2ホトレジストパターン182をマスクとして第2半導体層174のソース領域174S及びドレーン領域174Dのみに $p+$ ドーピングをすることになる。

【0047】

次に、第2ホトレジストパターン182をマスクとして利用したエッチング工程で第2半導体層174のソース領域及びドレーン領域174S、174Dと重畳されたゲート絶縁膜116を除去する。この結果、ゲート絶縁膜116は、図6Dに示すように、第1及び第2半導体層174のチャンネル領域114C、174Cのみに残留することになる。そして、第2ホトレジストパターン182はストリップ工程で除去される。

【0048】

図6Dを参照すれば、第4マスク工程を通じてゲートライン102、ゲート電極106、
30 166、データライン104、ストレージライン152、ソース電極108、168、ドレーン電極110、170を含む第1導電パターン群が形成される。ゲートライン102、データライン104、ゲート電極106、166、ソース電極108、168、ドレーン電極110、170、ストレージライン152は、同一な導電物質で形成される。

【0049】

具体的には、第1導電パターン群はゲート絶縁膜116が残留するバッファ膜112上に第1導電層を形成した後、第4マスクを利用したホトリソグラフィ工程及びエッチング
40 工程で第1導電層をパターニングすることにより形成される。第1導電層は、Mo、Ti、Cu、AlNd、Al、Cr、Mo合金、Cu合金、Al合金などのように、金属物質が単一層または二重以上に積層された金属層を含む。この際、ソース電極108、168とドレーン電極110、170は、ゲート電極106、166とショートしないように隔離し、データライン104はゲートライン102またはストレージライン152を基準にして分離される。これに反して、ゲートライン102またはストレージライン152がデータライン104を基準にして分離されて形成されることもする。

【0050】

そして、ゲート電極106、166の両側で露出したゲート絶縁膜116の両側部を通じて $n-$ ドーピングをすることにより、第1半導体層114のチャンネル領域114Cに第1ゲート電極106と非重畳されたLDD領域を形成することになる。

【0051】

10

20

30

40

50

図 6 E を参照すれば、第 1 導電パターン群が形成されたバッファ膜 1 1 2 上に保護膜 1 1 8 が形成され、第 5 マスク工程を通じて保護膜 1 1 8 を貫通する第 1 及び第 2 コンタクトホール 1 2 2、1 2 4 が形成される。

【0052】

具体的には、第 1 導電パターン群が形成されたバッファ膜 1 1 2 上に有機絶縁物または SiO₂、SiN_x などのような無機絶縁物を全面蒸着して保護膜 1 1 8 を形成することになる。次に、第 5 マスクを利用したホトリソグラフィ工程及びエッチング工程で保護膜 1 1 8 をパターンングすることによって、複数のコンタクトホール 1 2 2、1 2 4 を形成することになる。

【0053】

図 6 F を参照すれば、第 6 マスク工程を通じて保護膜 1 1 8 の上に画素電極 1 2 0 及びコンタクト電極 1 2 8 を含む第 2 導電パターン群が形成される。

【0054】

具体的には、第 2 導電パターン群は保護膜 1 1 8 の上に透明導電層を形成した後、第 6 マスクを利用したホトリソグラフィ工程及びエッチング工程でパターンングすることによって形成される。透明導電層としては、ITO (Indium Tin Oxide)、TO (Tin Oxide)、IZO (Indium Zinc Oxide)、ITZO などが利用される。画素電極 1 2 0 は第 1 コンタクトホール 1 2 2 を通じて第 1 ドレイン電極 1 1 0 と接続し、コンタクト電極 1 2 4 は第 2 コンタクトホール 1 2 4 を通じて分離されたデータライン 1 0 4 と接続して分離されたデータライン 1 0 4 を連結させることになる。これに反して、ゲートライン 1 0 2 またはストレージライン 1 5 2 が分離された場合、コンタクト電極 1 2 8 は第 2 コンタクトホール 1 2 4 を通じて分離されたゲートライン 1 0 2 またはストレージライン 1 5 2 と接続して分離されたゲートライン 1 0 2 を連結させるか、分離されたストレージライン 1 5 2 を連結させることになる。

【0055】

このように、本発明のポリ TFT 基板製造方法はゲートライン 1 0 2、データライン 1 0 4、ストレージライン 1 5 2、ゲート電極 1 0 6、1 6 6、ソース電極 1 0 8、1 6 8、ドレイン電極 1 1 0、1 7 0 を同一なマスク工程を通じて形成するのでマスク工程数を減らすことになる。また、本発明のポリ TFT 基板製造方法は画素電極 1 1 8 とストレージライン 1 5 2 の重畳によりストレージキャパシタ (Cst) を形成するので、ストレージラインと半導体層の重畳によりストレージキャパシタを形成する場合よりマスク工程数を減らすことになる。

【0056】

上述のように、本発明に係る TFT LCD パネル及びその製造方法はデータラインとソース電極及びドレイン電極をゲートライン及びストレージラインと共に同一なマスク工程を通じて形成する。そして、分離されたデータライン、ゲートライン及びストレージライン中、いずれかの一つは画素電極と共に形成されたコンタクト電極を通じて接続する。また、本発明の TFT LCD パネル及びその製造方法は画素電極とストレージラインの重畳によりストレージキャパシタを形成することになる。

【0057】

この結果、本発明に係る TFT LCD パネル及びその製造方法は 6 マスク工程で工程数を減らすことになる。したがって、材料費及び設備投資費用などを低減すると共に、歩留まりを向上させることができることになる。

【0058】

以上、説明した内容を通じて当業者であれば本発明の技術思想から外れない範囲で多様な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限るのではなく、特許請求の範囲により定めるはずである。

【図面の簡単な説明】

【0059】

10

20

30

40

50

【図 1】従来のポリ TFT 基板を概略的に示すブロック図である。

【図 2】図 1 に図示された 1 つの画素領域を拡大図示した平面図である。

【図 3】図 2 に図示された 1 つの画素領域を I - I' 線に沿って切断して図示した断面図である。

【図 4】本発明の実施形態に係るポリ TFT 基板を部分的に図示した平面図である。

【図 5】図 4 に図示されたポリ TFT 基板を III - III'、IV - IV' 線に沿って切断して図示した断面図である。

【図 6 A】本発明の実施形態に係るポリ TFT 基板の製造方法を段階的に説明するための断面図である。

【図 6 B】本発明の実施形態に係るポリ TFT 基板の製造方法を段階的に説明するための断面図である。 10

【図 6 C】本発明の実施形態に係るポリ TFT 基板の製造方法を段階的に説明するための断面図である。

【図 6 D】本発明の実施形態に係るポリ TFT 基板の製造方法を段階的に説明するための断面図である。

【図 6 E】本発明の実施形態に係るポリ TFT 基板の製造方法を段階的に説明するための断面図である。

【図 6 F】本発明の実施形態に係るポリ TFT 基板の製造方法を段階的に説明するための断面図である。

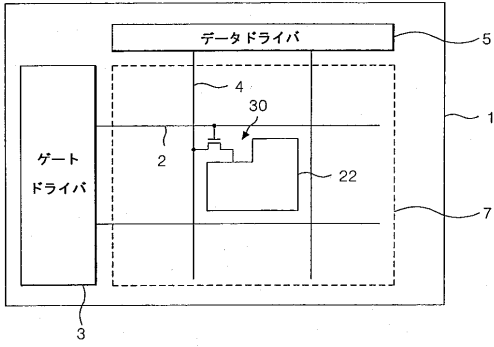
【符号の説明】

20

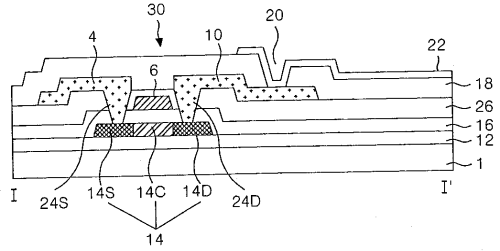
【0060】

1, 100 基板、2, 102 ゲートライン、3 ゲートドライバ、4, 104 データライン、5 データドライバ、6, 106, 166 ゲート電極、7, 196 画像表示領域、10, 110, 170 ドレイン電極、12, 112 バッファ膜、14, 114, 174 アクティブ層、14S, 114S, 174S ソース領域、14D, 114D, 174D ドレイン領域、14C, 114C, 174C チャンネル領域、16, 116 ゲート絶縁膜、18, 118 保護膜、20, 122, 124 コンタクトホール、22, 120 画素電極、24S ソースコンタクトホール、24D ドレインコンタクトホール、26 層間絶縁膜、30, nTFT, pTFT 薄膜トランジスタ、128 コンタクト電極、152 ストレージライン、180, 182 ホトレジストパターン、194 ドライバ領域。 30

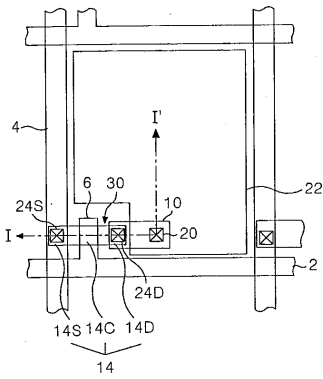
【 図 1 】



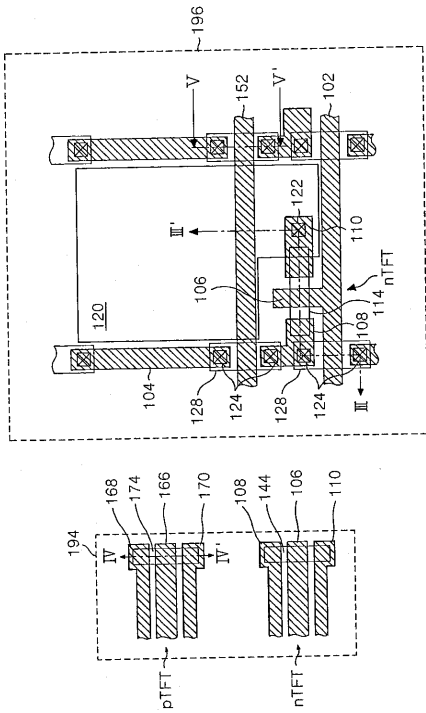
【 図 3 】



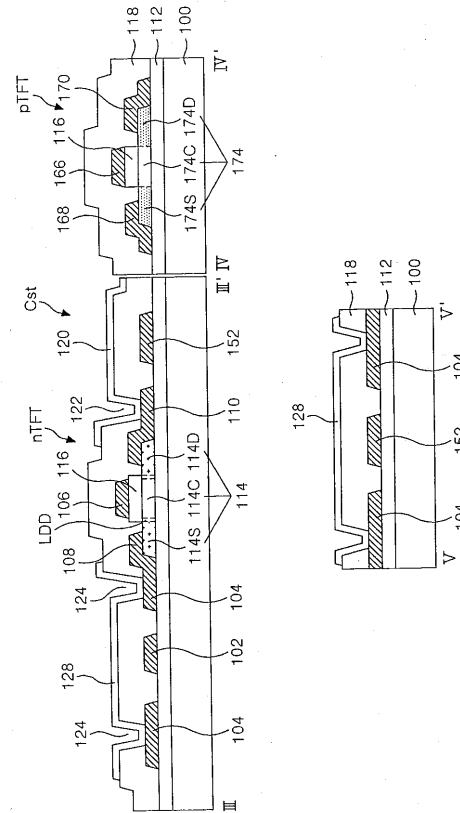
【 図 2 】



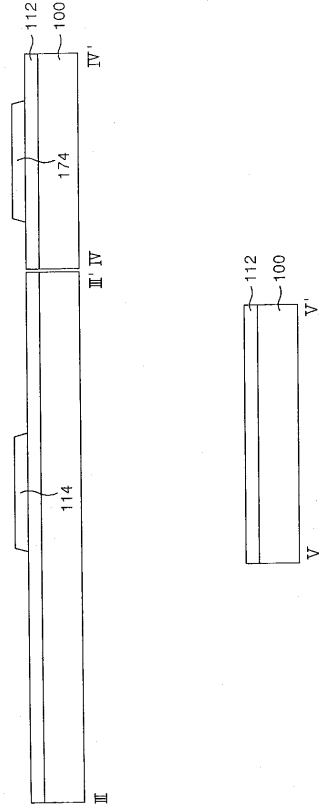
【 図 4 】



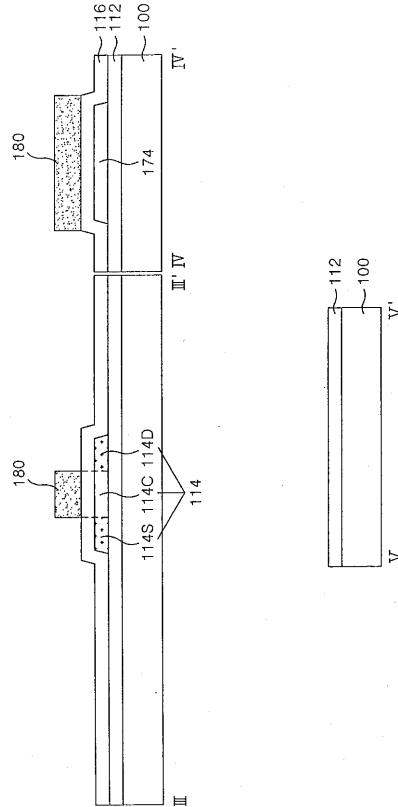
【 図 5 】



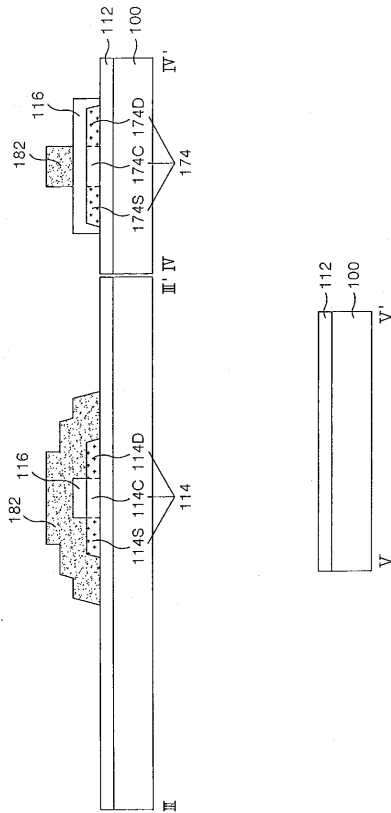
【 6 A 】



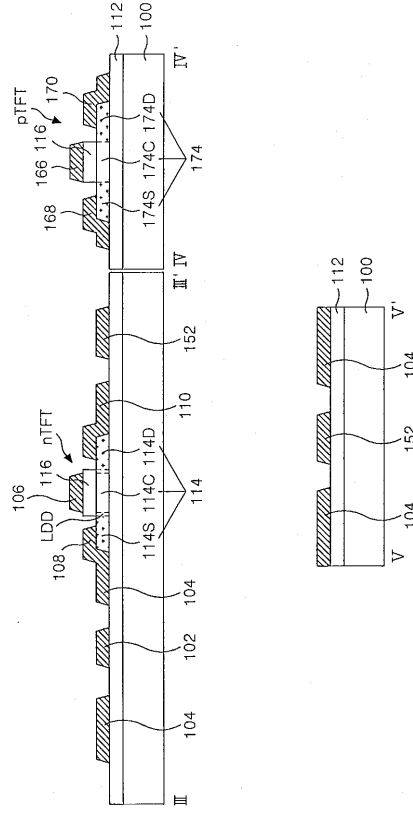
【 6 B 】



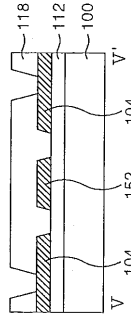
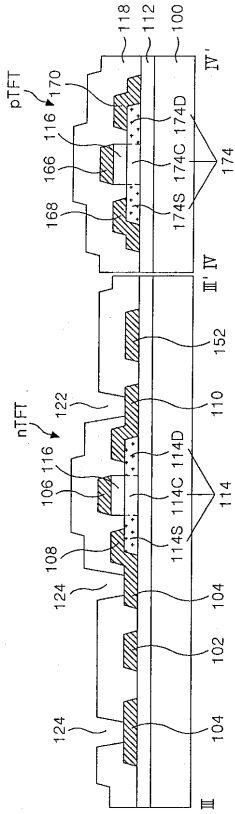
【 6 C 】



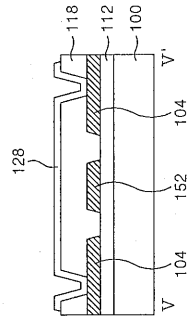
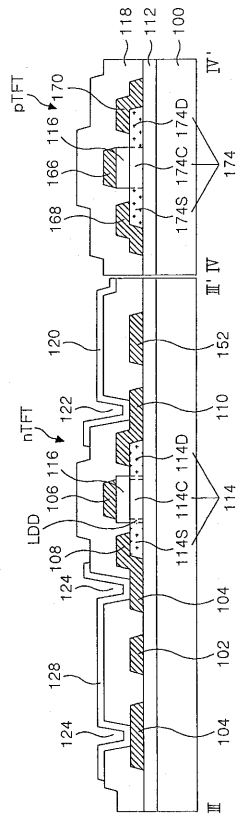
【 6 D 】



【 6 E 】



【 6 F 】



フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
H 0 1 L 29/49	(2006.01)	H 0 1 L 29/78	6 1 6 K	
		H 0 1 L 29/78	6 1 7 J	
		H 0 1 L 21/28	3 0 1 R	
		H 0 1 L 29/58	G	

(72)発明者 ボンレ・チョ

大韓民国、キョンサンプク - ド、クミ - シ、グピョン - ドン、ブヨン・アパートメント 2 0 7 -
6 0 6

Fターム(参考) 2H092 JA25 JA28 JA46 JA47 JB32 JB44 JB56 JB65 JB69 MA27
NA21 NA27
4M104 AA01 AA08 AA09 BB02 BB04 BB13 BB14 BB16 CC01 CC05
DD63 GG09 GG20
5F110 AA16 BB02 BB04 CC02 DD13 EE02 EE03 EE04 EE06 FF02
FF27 GG02 GG13 HK02 HK03 HK04 HK06 HL07 HM15 NN23
NN24 NN27 NN33 NN72 NN73 PP03 PP05 PP23 PP35 QQ08

专利名称(译)	薄膜晶体管液晶显示面板及其制造方法		
公开(公告)号	JP2007011261A	公开(公告)日	2007-01-18
申请号	JP2005364021	申请日	2005-12-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ボンレチヨ		
发明人	ボンレ・チヨ		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L21/28 H01L29/423 H01L29/49		
CPC分类号	G02F1/136227 G02F1/13454 G02F2202/104 H01L27/124 H01L27/1288		
FI分类号	G02F1/1368 H01L29/78.612.C H01L29/78.612.D H01L29/78.616.A H01L29/78.616.L H01L29/78.616.K H01L29/78.617.J H01L21/28.301.R H01L29/58.G		
F-TERM分类号	2H092/JA25 2H092/JA28 2H092/JA46 2H092/JA47 2H092/JB32 2H092/JB44 2H092/JB56 2H092/JB65 2H092/JB69 2H092/MA27 2H092/NA21 2H092/NA27 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB13 4M104/BB14 4M104/BB16 4M104/CC01 4M104/CC05 4M104/DD63 4M104/GG09 4M104/GG20 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD13 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/FF02 5F110/FF27 5F110/GG02 5F110/GG13 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HL07 5F110/HM15 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73 5F110/PP03 5F110/PP05 5F110/PP23 5F110/PP35 5F110/QQ08 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB53 2H192/CC33 2H192/CC73 2H192/CC75 2H192/DA23 2H192/DA24 2H192/FB02 2H192/HA47 2H192/HA82 2H192/HA84		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020050058635 2005-06-30 KR		
其他公开文献	JP4629568B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种薄膜晶体管 (TFT) 液晶显示面板及其制造方法，可以简化阶段。解决方案：面板具有第一-TFT nTFT，其包括栅极线102，与其分离的数据线104，第一半导体层114，跨第一绝缘图案叠加在第一半导体层114上的第一栅电极106，以及第一-TFT源电极108和与第一栅电极分离并连接到第一半导体层114的第一漏电极110，保护膜118，像素电极120，其通过穿透第一接触孔122的第一接触孔122连接到第一漏电极110。保护膜118和第一接触电极128通过穿透保护膜118的第二接触孔124连接数据线104的两个部分。

