

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-4106

(P2007-4106A)

(43) 公開日 平成19年1月11日(2007.1.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H088
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/13 (2006.01)	G02F 1/13 101	5C094

審査請求 有 請求項の数 11 O L (全 17 頁)

(21) 出願番号	特願2005-318600 (P2005-318600)	(71) 出願人	501358079
(22) 出願日	平成17年11月1日 (2005.11.1)		友達光電股▲ふん▼有限公司
(31) 優先権主張番号	94120905		台湾新竹市科学工業園區力行二路1号
(32) 優先日	平成17年6月23日 (2005.6.23)	(74) 代理人	100064584
(33) 優先権主張国	台湾 (TW)		弁理士 江原 省吾
		(74) 代理人	100093997
			弁理士 田中 秀佳
		(74) 代理人	100101616
			弁理士 白石 吉之
		(74) 代理人	100107423
			弁理士 城村 邦彦
		(74) 代理人	100120949
			弁理士 熊野 剛
		(74) 代理人	100121186
			弁理士 山根 広昭

最終頁に続く

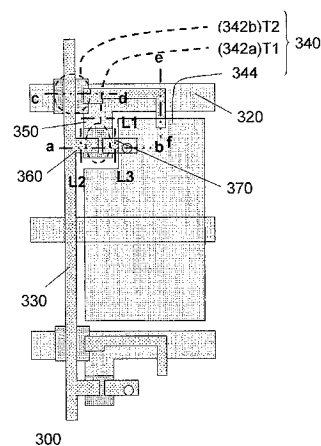
(54) 【発明の名称】 アクティブ・マトリクス基板と画素ユニットの修正方法

(57) 【要約】

【課題】冗長的能動素子を備えたアクティブ・マトリクス基板を提供し、LCDパネル上の輝点欠陥を効率的に防ぐこと。

【解決手段】基板、複数の走査線、複数のデータ線および複数の画素ユニットを含むアクティブ・マトリクス基板が提供される。走査線、データ線、画素ユニットは全て、基板上に配置する。各画素ユニットは、対応する走査線およびデータ線と電氣的に接続する。その上、画素ユニットの少なくとも一部はさらに、複数の能動ユニットと画素電極を有する。能動素子是对应する走査線およびデータ線と各々電氣的に接続し、画素ユニットは能動素子の一つと電氣的に接続する。つまり、この発明によって提供されるアクティブ・マトリクス基板の画素ユニットは各々、二つ以上の能動素子を有する。通常動作で能動素子が損傷した場合、画素ユニットを修正するために、別の能動素子を用いることができる。

【選択図】 図3A



【特許請求の範囲】

【請求項 1】

基板と、
基板上に配置した複数の走査線と、
基板上に配置した複数のデータ線と、
複数の画素ユニットを有するアクティブ・マトリクス基板であって、
各画素ユニットが、走査線の一つとデータ線の一つに電氣的に接続され、前記画素ユニットの少なくとも一部がさらに、
走査線の一つとデータ線の一つに電氣的に接続した複数の能動素子と、
能動素子の一つに電氣的に接続した画素電極を有するアクティブ・マトリクス基板。 10

【請求項 2】

複数の能動素子が各々、
画素電極に電氣的に接続した第一能動素子と、
画素電極から電氣的に分離した第二能動素子を有する請求項 1 記載のアクティブ・マトリクス基板。

【請求項 3】

第一能動素子が第一 T F T であり、前記第一 T F T が、
走査線に電氣的に接続した第一ゲート電極と、
第一チャンネル層と、
データ線に電氣的に接続した第一ソース電極と、 20
画素電極に電氣的に接続した第一ドレイン電極を有する請求項 2 記載のアクティブ・マトリクス基板。

【請求項 4】

第二能動素子が第二 T F T であり、前記第二 T F T が、
走査線に電氣的に接続した第二ゲート電極と、
第二チャンネル層と、
データ線に電氣的に接続した第二ソース電極と、
画素電極から電氣的に分離した第二ドレイン電極を有する請求項 2 記載のアクティブ・マトリクス基板。

【請求項 5】

第二 T F T が、走査線上に配置されている請求項 4 記載のアクティブ・マトリクス基板。 30

【請求項 6】

第二チャンネル層が、走査線とデータ線の交差部に配置され、走査線とデータ線の間に挟持されている請求項 5 記載のアクティブ・マトリクス基板。

【請求項 7】

第二ドレイン電極が、走査線の上側から走査線の片側に沿って、画素電極の下側まで延びている請求項 5 記載のアクティブ・マトリクス基板。

【請求項 8】

第二ドレイン電極が、走査線の上側から走査線の両側に沿って、画素電極の下側まで延びている請求項 5 記載のアクティブ・マトリクス基板。 40

【請求項 9】

請求項 2 記載のアクティブ・マトリクス基板の画素ユニットの修正方法であって、
走査線およびデータ線と第一能動素子の接続を切断し、走査線およびデータ線から第一能動素子を分離し、
第二能動素子を画素電極と電氣的に接続する方法。

【請求項 10】

走査線およびデータ線と第一能動素子の接続の切断が、レーザ切断プロセスを有する請求項 9 記載の方法。

【請求項 11】

画素電極と第二能動素子の電氣的に接続が、レーザ溶接プロセスまたはレーザ化学気相成プロセスを有する請求項 9 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、アクティブ・マトリクス基板とその修正方法に関し、特に、冗長的能動素子を備えたアクティブ・マトリクス基板とその修正方法に関する。

【背景技術】

【0002】

表示技術は、陰極線管（CRT）を用いた最初の白黒TV以来、継続的かつ急速に発展している。しかし、CRT表示装置は、分厚さ、重量、高電磁波、および相対的に画質が低いという欠点を有する。従って、他の新型平板表示技術が次第に発展しており、とりわけ空間利用率のよさ、低消費電力、低電磁波および携帯性のよさといった利点を備えた液晶表示装置（LCD）が最も成熟し、一般的な技術となっている。LCDは、携帯電話、デジタルカメラ、デジタル・ビデオカメラ、携帯情報端末、ノートブックPCおよび液晶TVの分野で広く用いられている。

【0003】

LCD技術は成熟の傾向にあるが、LCDパネル製造プロセス中に、いくつかの欠陥が生じることは避けられず、LCDパネルの表示画像のために、やや視覚的不快感を引き起こすことがある。そして、このようなLCDパネルをそのまま廃棄すると、製造コストが実質的に上昇することになる。一般に、製造プロセス技術を改善することだけでは欠陥率0を達成することは非常に難しく、LCDパネルの欠陥修正技術がますます重要になっている。既存の技術では、LCDパネル欠陥修正にレーザ切断またはレーザ溶接がしばしば採用されている。例としてTFT-LCDを挙げると、レーザ切断またはレーザ溶接プロセスは、通常TFTアレイを製造した後に処理を行う。残念ながら、既存の画素構造設計のいくつかの欠点のために、全ての欠陥を素早く修正することはできず、そのいくつかは修正することさえできない。

【0004】

図1Aは既存のTFTアレイ基板の平面図であり、図1B、1Cは各々ラインa-b、およびラインc-dにおける図1Aの断面図である。図1A～1Cを共に参照すると、既存のTFTアレイ基板100は基板110、複数の走査線120、複数のデータ線130および複数の画素ユニット140を有し、走査線120、データ線130および画素ユニット140は全て基板110上に配置する。

【0005】

画素ユニット140は、対応する走査線120とデータ線130に電氣的に接続する。各画素ユニット140は、TFT142と、例えばインジウム錫酸化物（ITO）電極等の画素電極144を有する。従来の技術では、TFT142は、ゲート電極142a、アモルファス・シリコンのチャネル層142b、ソース電極142cおよびドレイン電極142dを有する。ゲート電極142aは、走査線120と接続する。ゲート電極142aと走査線120は、第一金属層に属している。ソース電極142cは、データ線130と接続する。そしてデータ線130、ソース電極142cおよびドレイン電極142dは、第二金属層に属している。画素電極144は、ドレイン電極142dと電氣的に接続する。

【0006】

しかし、欠陥のあるTFT142は、画素ユニット140の通常の動作を妨げることがある。このような欠陥は、TFT基板100とカラーフィルタ基板を組み合わせて液晶を充填した後のLCDパネル上の輝点欠陥に対応する。このようなLCDパネル上の輝点欠陥を避け、このような輝点欠陥を暗点に修正するために、レーザ修正プロセスが必要とされる。図1A～1Cを参照すると、既存の修正方法では、レーザ溶接プロセスによって隣

10

20

30

40

50

接する走査線 120 と画素電極 144 を溶接することで、修正した画素ユニット 140 を暗点にする。

【0007】

図 2 A は別の既存の TFT アレイ基板の平面図であり、図 2 B、2 C は各々ライン a - b およびライン c - d における図 2 A の断面図である。図 2 A ~ 2 C を共に参照すると、既存の TFT 基板 200 は基板 110、複数の走査線 120、複数のデータ線 130、複数の画素ユニット 140、複数の修正ライン 210、複数の修正構造 220 を有し、走査線 120、データ線 130、画素ユニット 140、修正ライン 210 および修正構造 220 は基板 110 上に配置する。

【0008】

基板 110、走査線 120、データ線 130 および画素ユニット 140 は、TFT アレイ基板 100 上に配置した前述のものと同様である。修正構造 220 の端子の一つはデータ線 130 と接続し、修正構造 220 の他の端子はドレイン電極 142 d と接続する。修正構造 220 は、第二金属層に属している。各修正ライン 210 は修正構造 220 の一つの下に配置し、修正ライン 210 は第一金属層に属している。ゲート絶縁層 170 は、修正ライン 210 と修正構造 220 の間に配置する。

【0009】

図 2 A ~ 2 C を再び参照すると、欠陥のある TFT 142 は、画素ユニット 140 の通常動作を妨げることがある。このような欠陥は、TFT 基板 100 とカラーフィルタ基板を組み合わせる液晶を充填した後の LCD パネル上の輝点に対応する。このような LCD パネル上の輝点欠陥を避けるために、レーザ切断プロセスを通常用いて、ゲート電極 142 a と走査線 120 の間の接続 150 を切断し、次にレーザ溶接プロセスで修正ライン 210 と修正構造 220 の二つの端子の間で溶接を行う。しかし、修正した画素ユニットは、輝点欠陥または暗点欠陥である。大型 LCD パネルに補償フィルムを取り付け、視野角を向上させると、このような修正した画素ユニットは光漏れによって、所定の視野角で再び輝点欠陥を引き起こすことがある。

【発明の開示】

【発明が解決しようとする課題】

【0010】

以上の観点から、この発明は冗長的能動素子を備えたアクティブ・マトリクス基板を提供し、LCD パネル上の輝点欠陥を効率的に防ぐことを対象とする。

【課題を解決するための手段】

【0011】

以上の観点から、この発明は画素ユニットの修正方法を提供することを対象とし、それによって修正された画素ユニットは通常動作可能で、LCD パネルの歩留まりを改善できる。

【0012】

以上のまたは他の目的に従って、この発明は、基板、複数の走査線、複数のデータ線および複数の画素ユニットを含むアクティブ・マトリクス基板を提供する。走査線、データ線、画素ユニットは全て、基板上に配置する。各画素ユニットは対応する走査線およびデータ線と電氣的に接続し、画素ユニットの少なくとも一部は複数の能動ユニットと画素電極を有する。いくつかの能動ユニットを備えた画素ユニットにおいて、能動素子是对应する走査線およびデータ線と電氣的に接続し、画素電極は能動素子の一つと電氣的に接続する。

【0013】

この発明の一実施例のアクティブ・マトリクス基板によると、能動素子は第一能動素子と第二能動素子を有する。第一能動素子は画素電極と電氣的に接続し、第二能動素子は画素電極から電氣的に分離する。

【0014】

この発明の一実施例のアクティブ・マトリクス基板によると、第一能動素子は第一ゲ

10

20

30

40

50

ト電極、第一チャネル層、第一ソース電極および第一ドレイン電極を含む第一ＴＦＴであってもよい。さらに、前記第一ゲート電極は走査線と電氣的に接続し、第一ソース電極はデータ線と電氣的に接続し、第一ドレイン電極は画素電極と電氣的に接続する。

【００１５】

この発明の一実施例のアクティブ・マトリクス基板によると、第二能動素子は第二ゲート電極、第二チャネル層、第二ソース電極および第二ドレイン電極を含む第二ＴＦＴであってもよい。さらに、前記第二ゲート電極は走査線と電氣的に接続し、第二ソース電極はデータ線と電氣的に接続し、第二ドレイン電極は画素電極から電氣的に分離する。

【００１６】

この発明の一実施例のアクティブ・マトリクス基板によると、第二ＴＦＴは走査線上に配置する。 10

【００１７】

この発明の一実施例のアクティブ・マトリクス基板によると、第二チャネル層は走査線とデータ線の交差部に配置し、第二チャネル層は走査線とデータ線の間に挟持する。

【００１８】

この発明の一実施例のアクティブ・マトリクス基板によると、第二ドレイン電極は走査線の上側から走査線の片側に沿って、画素電極の下側まで延びることができる。

【００１９】

この発明の一実施例のアクティブ・マトリクス基板によると、第二ドレイン電極は走査線の上側から走査線の両側に沿って、画素電極の下側まで延びることができる。 20

【００２０】

この発明は、前記アクティブ・マトリクス基板の画素ユニットを修正するための修正方法を提供する。修正方法は、次のステップを有する。まず、走査線およびデータ線と第一能動素子の接続を切断し、第一能動素子が走査線およびデータ線から電氣的に分離されるようにする。それから、第二能動素子を画素電極と電氣的に接続する。

【００２１】

この発明の一実施例の修正方法によると、走査線およびデータ線と第一能動素子の接続の切断方法は、レーザ切断プロセスであってもよい。

【００２２】

この発明の一実施例の修正方法によると、第二能動素子を画素電極と電氣的に接続するための方法は、レーザ溶接プロセスまたはレーザ化学気相成プロセス（レーザＣＶＤプロセス）であってもよい。 30

【発明の効果】

【００２３】

この発明のアクティブ・マトリクス基板によると、各画素ユニットは複数の能動素子を有し、前記能動素子の一つは画素電極と電氣的に接続する。画素電極と電氣的に接続した能動素子が動作し損なうと、別の能動素子（例えば、冗長的な能動素子）を用いて、画素電極と電氣的に接続し、元々画素ユニットを正常動作させていた能動素子の代わりとなり、ＬＣＤパネル上の輝点欠陥を避けることができる。

【発明を実施するための最良の形態】

40

【００２４】

（実施例１）

【００２５】

図３Ａは、この発明の第一実施例によるアクティブ・マトリクス基板の平面図である。図３Ｂ、３Ｃ、３Ｄは各々ラインａ－ｂ、ラインｃ－ｄ、ラインｅ－ｆにおける図３Ａの断面図である。図３Ａ～３Ｄを共に参照すると、アクティブ・マトリクス基板３００は基板３１０、複数の走査線３２０、複数のデータ線３３０、複数の画素ユニット３４０を有する。走査線３２０、データ線３３０、画素ユニットは全て基板３１０上に配置する。

【００２６】

基板３１０は、ガラス基板、石英基板または他の透明基板であってもよい。走査線は、 50

アルミニウム合金または他の導電性材料からなる導線であってもよい。データ線 330 は、クロム、アルミニウム合金または他の導電性材料からなる導線であってもよい。詳細には、走査線 320 の延伸方向はデータ線 330 の延伸方向と直交し、基板 310 上の複数の画素領域（図示せず）を規定でき、画素ユニット 340 は画素領域に配置する。

【0027】

図 3A から分かるように、画素ユニット 340 は、対応する走査線 320 とデータ線 330 に各々電氣的に接続する。各画素ユニット 340 は、第一能動素子 342a、第二能動素子 342b および画素電極 344 を有する。第一能動素子 342a と第二能動素子 342b は各々走査線 320 とデータ線 330 に電氣的に接続し、画素電極 344 は能動素子 342a の一つに電氣的に接続する。当然のことながら、実施例では、発明を例示として、ここでは二つの能動素子を用いているが、この発明による画素ユニット 340 は必要であれば三つ以上の能動素子を導入できる。さらに、画素電極 344 は、透過型電極、反射型電極または半透過型電極であってもよい。上記のように、画素電極 344 の材料はインジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、金属または他の導電性材料であってもよい。

10

【0028】

この実施例によると、第一能動素子 342a は第一 TFT T1 であり、第二能動素子 342b は第二 TFT T2 である。第一 TFT T1 は画素電極 344 と電氣的に接続し、第二 TFT T2 は画素電極 344 から電氣的に分離する。当然のことながら、この発明において画素ユニット 340 に三つ以上の能動素子を導入する場合、一つのみを画素電極 344 と電氣的に接続し、他（つまり冗長的能動素子）は画素電極 344 から電氣的に分離する。

20

【0029】

さらに、第一 TFT T1 は第一ゲート電極 g1、第一チャネル層 c1、第一ソース電極 s1 および第一ドレイン電極 d1 を有する。第一ゲート電極 g1 は走査線 320 と電氣的に接続し、ゲート電極 g1 の材料は走査線 320 と同様である。第一チャネル層 c1 の材料は、アモルファス・シリコン、多結晶シリコンまたは単結晶シリコンであってもよい。第一ソース電極 s1 はデータ線 330 と電氣的に接続し、第一ソース電極 s1 の材料はデータ線 330 と同様である。第一ドレイン電極 d1 は画素電極 344 と電氣的に接続し、第一ドレイン電極 d1 の材料はデータ線 330 と同様である。同様に、第二 TFT T2 は、第二ゲート電極 g2、第二チャネル層 c2、第二ソース電極 s2 および第二ドレイン電極 d2 を有する。第二ゲート電極 g2、第二チャネル層 c2、第二ソース電極 s2 および第二ドレイン電極 d2 の材料は、TFT T1 で説明したものと同様である。さらに、第二ゲート電極は走査線 320 と電氣的に接続し、第二ソース電極 s2 はデータ線 330 と電氣的に接続し、第二ドレイン電極 d2 は画素電極 344 から電氣的に分離する。

30

【0030】

当然のことながら、この実施例の第二 TFT T2 は走査線 320 上に配置し、第二 TFT T2 の第二チャネル層 c2 は走査線 320 とデータ線 330 の交差部に配置して、第二チャネル層 c2 が走査線 320 とデータ線 330 の間に挟持されるようにする。さらに、この実施例の第二ドレイン電極 d2 は走査線 320 の上側から、走査線 320 の片側に沿って画素電極 344 の下側まで延びている。

40

【0031】

第一 TFT T1 が損傷し、画素ユニット 340 の異常動作を引き起こした場合、アクティブ・マトリクス基板 300 とカラーフィルタ基板を組み合わせることで液晶を充填した後、LCD パネル上に輝点欠陥が発生する。画素ユニット 340 の修正には、レーザ修正プロセスが必要とされる。再び図 3A ~ 3D を参照すると、修正プロセスの第一ステップは、例えば、レーザ切断プロセスによって、第一 TFT T1 と走査線 320 の間の接続 350、第一 TFT T1 とデータ線 330 の間の接続 360、および第一 TFT T1 と画素電極 344 の間の接続 370 の少なくとも一つを切断することである。第一 TFT T1 と走査線 320 の間の接続 350 を切断ライン L1 に沿って切断すると、第一 TFT

50

T 1 は走査線 3 2 0 から電氣的に分離される。第一 T F T T 1 とデータ線 3 3 0 の間の接続 3 6 0 を切断ライン L 2 に沿って切断すると、第一 T F T T 1 はデータ線 3 3 0 から電氣的に分離される。第一 T F T T 1 と画素電極 3 4 4 の間の接続 3 7 0 を切断ライン L 3 に沿って切断すると、第一 T F T T 1 は画素電極 3 4 4 から電氣的に分離される。この実施例によると、接続 3 5 0、3 6 0、3 7 0 の切断方法はレーザ切断プロセスであってよい。

【0032】

接続 3 5 0、3 6 0、3 7 0 を切断後、レーザ溶接プロセスによって画素電極 3 4 4 と第二ドレイン電極 d 2 を溶接することで、第二 T F T T 2 を画素電極 3 4 4 と電氣的に接続する。この発明の別の実施例では、第二 T F T T 2 は、レーザで第二ドレイン電極 d 2 上の保護層を燃焼し、レーザ C V D プロセスで薄い金属層を形成することで、画素電極 3 4 4 と電氣的に接続される。このように修正した画素ユニットは、LCD パネル上に輝点欠陥を引き起こすことはない。

10

(実施例 2)

【0033】

図 4 A は、この発明の第二実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 4 B、4 C、4 D は各々、ライン a - b、ライン c - d、ライン e - f における図 4 A の断面図である。図 4 A ~ 4 D を共に参照すると、この実施例のアクティブ・マトリクス基板 4 0 0 は、走査線 3 2 0 の上側から走査線 3 2 0 の片側に沿って、隣の画素電極 3 4 4 の下側まで延びている隣の画素ユニット 3 4 0 内に、この実施例のアクティブ・マトリクス基板 4 0 0 の第二ドレイン電極 4 1 0 を配置している以外は、第一実施例のアクティブ・マトリクス基板 3 0 0 と同様である。

20

【0034】

図 4 A ~ 4 D を参照すると、隣の画素ユニット 3 4 0 の第一 T F T T 1 (図 4 A の左側に示した第一 T F T T 1) が損傷した場合、レーザ切断プロセスを行って、第一 T F T T 1 と走査線 3 2 0 の間の接続 3 5 0、第一 T F T T 1 とデータ線 3 3 0 の間の接続 3 6 0、および第一 T F T T 1 と画素電極 3 4 4 の間の接続 3 7 0 の少なくとも一つを切断する。ここで、第一 T F T T 1 と走査線 3 2 0 の間の接続 3 5 0 を切断ライン L 1 に沿って切断すると、第一 T F T T 1 は走査線 3 2 0 から電氣的に分離される。第一 T F T T 1 とデータ線 3 3 0 の間の接続 3 6 0 を切断ライン L 2 に沿って切断すると、第一 T F T T 1 はデータ線 3 3 0 から電氣的に分離される。第一 T F T T 1 と画素電極 3 4 4 の間の接続 3 7 0 を切断ライン L 3 に沿って切断すると、第一 T F T T 1 は画素電極 3 4 4 から電氣的に分離される。この実施例によると、接続 3 5 0、3 6 0、3 7 0 の切断方法は、レーザ切断プロセスであってよい。

30

【0035】

当然のことながら、第二 T F T T 2 の第二ドレイン電極 4 1 0 は隣の画素ユニット 3 4 0 内に配置し、走査線 3 2 0 の上側から、隣の画素ユニット 3 4 0 に向かって、画素電極 3 4 4 の下側まで延びているので、第二 T F T T 2 は図 4 A の左側に示した画素電極 3 4 4 と電氣的に接続する必要がある。第二 T F T T 2 の第二ドレイン電極を図 4 A の左側に示した画素電極 3 4 4 と電氣的に接続する方法は、レーザ溶接プロセスであってよい。第二 T F T T 2 の第二ドレイン電極を図 4 A の左側に示した画素電極 3 4 4 と電氣的に接続する別の方法では、レーザで第二 T F T T 2 の第二ドレイン電極 4 1 0 上の保護層を燃焼し、次にレーザ C V D プロセスで薄い金属層を形成することもできる。

40

(実施例 3)

【0036】

図 5 A は、この発明の第三実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 5 B、5 C、5 D は各々、ライン a - b、ライン c - d、ライン e - f における図 5 A の断面図である。図 5 A ~ 5 D を共に参照すると、この実施例のアクティブ・マトリクス基板 5 0 0 は、偶数データ線 3 3 0 と走査線 3 2 0 の交差部のみ、または奇数データ線 3 3 0 と走査線 3 2 0 の交差部のみに、この実施例のアクティブ

50

・マトリクス基板 500 の第二 T F T T 2 を形成する以外は、第一実施例のアクティブ・マトリクス基板 300 と同様である。従って、二つの隣の画素ユニット 340 は、共有型の第二 T F T T 2 を有する。さらに、この実施例の第二 T F T T 2 は、二つの第二ドレイン電極 510、520 を有する。第二ドレイン電極 510、520 は、データ線 330 に隣接する画素ユニット 340 に配置し、各々走査線 320 の上側から、走査線 320 の片側に向かって、画素電極 344 の下側まで延びている。

【0037】

図 5 A は、一对の画素ユニット 340 を示している。右側の画素ユニット 340 の第一 T F T T 1 が損傷した場合、右側の画素ユニット 340 を修正するために、第二ドレイン電極 510 を用いることができる。修正方法は、第一実施例の方法と同様である。左側の画素ユニット 340 の第一 T F T T 1 が損傷した場合、左側の画素ユニット 340 を修正するために、第二ドレイン電極 520 を用いることができる。修正方法は、第二実施例の方法と同様である。

10

(実施例 4)

【0038】

図 6 A は、この発明の第四実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 6 B、6 C、6 D は各々、ライン a - b、ライン c - d、ライン e - f における図 6 A の断面図である。図 6 A ~ 6 D を共に参照すると、この実施例のアクティブ・マトリクス基板 600 は、第二ドレイン電極 610 が、走査線 320 の上側から、走査線 320 の片側に向かって、画素電極の下側まで延びている以外は、第一実施例のアクティブ・マトリクス基板 300 と同様である。延伸方向は、第一実施例の延伸方向とは逆である。

20

【0039】

この実施例による修正方法は、第一実施例の方法と同様である。図 6 A ~ 6 D を参照すると、第一 T F T T 1 が損傷した場合、第一 T F T T 1 と走査線 320 の間の接続 350、第一 T F T T 1 とデータ線 330 の間の接続 360、および第一 T F T T 1 と画素電極 344 の間の接続 370 の少なくとも一つをレーザ切断プロセスで切断する。接続 350、360、370 の切断方法は、レーザ切断プロセスであってもよい。当然のことながら、第二 T F T T 2 の第二ドレイン電極 610 は走査線 320 の上側から、画素電極 344 の下側まで延びているので、図 6 A の下側に示した第二 T F T T 2 は、画素電極 344 と電氣的に接続する必要がある。図 6 A の下側で第二 T F T T 2 の第二ドレイン電極 610 を画素電極 344 と電氣的に接続する方法は、レーザ溶接プロセスであってもよい。図 6 A の下側で第二 T F T T 2 の第二ドレイン電極 610 を画素電極 344 と電氣的に接続する別の方法では、レーザによって図 6 A の下側で、第二 T F T T 2 の第二ドレイン電極 610 上の保護層を燃焼し、次にレーザ C V D プロセスで薄い金属層を形成できる。

30

(実施例 5)

【0040】

図 7 A は、この発明の第五実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 7 B、7 C、7 D は各々、ライン a - b、ライン c - d、ライン e - f における図 7 A の断面図である。図 7 A ~ 7 D を共に参照すると、この実施例のアクティブ・マトリクス基板 700 は、第一実施例のアクティブ・マトリクス基板 300 と同様である。第一実施例のアクティブ・マトリクス基板 300 によると、各画素ユニット 340 が第二 T F T T 2 を有する。しかし、この発明のアクティブ・マトリクス基板 700 によると、第二 T F T T 2 は奇数の走査線 320 とデータ線 330 の交差部のみ、または偶数の走査線 320 とデータ線 330 の交差部のみに形成する。従って、互いに上下に隣接する画素ユニット 340 の各対が、共有型の第二 T F T T 2 を有する。さらに、この実施例の第二 T F T T 2 の第二ドレイン電極 710 は、走査線 320 の上側から、奇数または偶数の走査線 320 の両側に沿って、画素電極 344 の下側まで延びている。当然のことながら、第二 T F T T 2 は奇数の走査線 320 とデータ線 330 の交

40

50

差部のみ、または偶数の走査線 320 とデータ線 330 の交差部にのみ形成するが、第二 T F T T 2 が形成されない走査線 320 とデータ線 330 の交差部に、第二チャンネル層 c 2 を形成することもできる。

【0041】

図 7 A ~ 7 D を再び参照すると、互いに上下に隣接する一对の画素ユニットの第一 T F T T 1 の一つが損傷した場合、第一 T F T T 1 と走査線 320 の間の接続 350、第一 T F T T 1 とデータ線 330 の間の接続 360、および第一 T F T T 1 と画素電極 344 の間の接続 370 の少なくとも一つをレーザ切断プロセスで切断する。次に、第二 T F T T 2 の第二ドレイン電極 710 を画素電極 344 と電気的に接続するために、レーザ溶接法を用いる。第二 T F T T 2 の第二ドレイン電極 710 を画素電極 344 と電 10
気的に接続する方法は、レーザ溶接プロセスまたはレーザ C V D プロセスを行うことで実現することもできる。互いに上下に隣接する一对のこのような画素ユニットは共有型の第二 T F T T 2 を有し、第二 T F T T 2 の第二ドレイン電極 710 は走査線 320 の上側から、走査線 320 の両側に向かって、画素電極 344 の下側まで延びているので、互いに隣接する一对の画素ユニットの任意の第一 T F T T 1 が損傷した場合、共有型の第二 T F T T 2 が損傷した第一 T F T T 1 の代わりとなることができる。

(実施例 6)

【0042】

図 8 A は、この発明の第六実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 8 B、8 C、8 D は各々、ライン a - b、ライン c - d、ラ 20
イン e - f における図 8 A の断面図である。図 8 A ~ 8 D を共に参照すると、この実施例のアクティブ・マトリクス基板 800 は、第一実施例のアクティブ・マトリクス基板 300 と同様である。主な違いは、第二ドレイン電極 810 が走査線 320 の上側から、走査線 320 の片側に向かって、画素電極 344 の下側に到達することなく延びていることである。

【0043】

図 8 A ~ 8 D を再び参照すると、第一 T F T T 1 が損傷した場合、第一 T F T T 1 と走査線 320 の間の接続 350、第一 T F T T 1 とデータ線 330 の間の接続 360、および第一 T F T T 1 と画素電極 344 の間の接続 370 の少なくとも一つをレーザ切断プロセスで切断する。次に、第二 T F T T 2 を画素電極 344 と電気的に接続する 30
。しかし、この発明によると、第二ドレイン電極 810 は画素電極 344 の下側までは延びていないので、レーザで第二ドレイン電極 810 上の保護層を燃焼した後、レーザ C V D プロセスを行って薄い金属層を形成し、第二ドレイン電極 810 を画素電極 344 と電気的に接続しなければならない。言い換えると、この実施例では、画素ユニット 340 を修正するには、レーザ C V D プロセスを用いるしかない。

(実施例 7)

【0044】

図 9 A は、この発明の第七実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 9 B、9 C、9 D は各々、ライン a - b、ライン c - d、ラ 40
イン e - f における図 9 A の断面図である。図 9 A ~ 9 D を共に参照すると、この実施例のアクティブ・マトリクス基板 900 は、第一実施例のアクティブ・マトリクス基板 300 と同様である。第二 T F T T 2 は走査線 320 上に配置し、第二ソース電極 930 はデータ線 330 と電気的に接続する。第二チャンネル層 920 は走査線 320 とデータ線 330 の交差部から所定の距離だけ離して配置し、走査線 320、第二ソース電極 930 および第二ドレイン電極 940 の間に挟持する。第二ドレイン電極 940 は、走査線 320 の上側から走査線 320 の片側に向かって、画素電極 344 の下側まで延びている。

【0045】

図 9 A ~ 9 D を再び参照すると、第一 T F T T 1 が損傷した場合、第一 T F T T 1 と走査線 320 の間の接続 350、第一 T F T T 1 とデータ線 330 の間の接続 360、および第一 T F T T 1 と画素電極 344 の間の接続 370 の少なくとも一つをレーザ 50

切断プロセスで切断する。次にレーザ溶接法を用いて、レーザで第二ドレイン電極 940 を画素電極 344 と溶接することで、第二 T F T T 2 を画素電極 344 と電氣的に接続する。第二 T F T T 2 を画素電極 344 と電氣的に接続する別の方法では、レーザで第二ドレイン電極 940 上の保護層を燃焼し、次にレーザ C V D プロセスで薄い金属層を形成する。

(実施例 8)

【0046】

図 10 A は、この発明の第八実施例によるアクティブ・マトリクス基板の平面図であり、図 3 A の修正形態である。図 10 B、10 C、10 D は各々、ライン a - b、ライン c - d、ライン e - f における図 10 A の断面図である。図 10 A ~ 10 D を共に参照すると、この実施例のアクティブ・マトリクス基板 400' は、第二実施例のアクティブ・マトリクス基板 400 と同様である。主な違いは、アクティブ・マトリクス基板 400' が第二ドレイン電極 410 と画素電極 344 の下に配置した修正ライン 420' を有することである。修正ライン 420' は第一金属層に属し、誘電体層 (ゲート絶縁層) によって第二ドレイン電極 410 から電氣的に分離される。

10

【0047】

図 10 A ~ 10 D を参照すると、隣の画素ユニット 340 の第一 T F T T 1 (図 10 A の左側の第一 T F T T 1) が損傷した場合、レーザ切断プロセスを用いて、第一 T F T T 1 と走査線 320 の間の接続 350、第一 T F T T 1 とデータ線 330 の間の接続 360、および第一 T F T T 1 と画素電極 344 の間の接続 370 の少なくとも一つを切断する。次に、レーザを用いて、修正ライン 420'、第二ドレイン電極 410' および画素電極 344 が重なっている領域を燃焼し、第二ドレイン電極 410'、画素電極 344 および修正ライン 420' を溶接する。こうして、第二 T F T T 2 は、図 10 A の左側の画素電極 344 と電氣的に接続する。その結果、画素ユニット 340 が修正される。

20

【産業上の利用可能性】

【0048】

つまり、アクティブ・マトリクス基板およびその画素ユニット修正方法は、少なくとも次の利点を有する。

1. 画素ユニットが T F T を一つしか持たない既存の T F T アレイ基板と比べて、この発明によって提供されるアクティブ・マトリクス基板は冗長的な能動素子を有する。画素電極と電氣的に接続した能動素子が損傷した場合、元の能動素子の代わりに他の能動素子 (冗長的な能動素子) を用いて、画素ユニットが通常動作を再開できるようにする。その結果、L C D パネル上の輝点欠陥の問題が避けられ、L C D パネルの修正率が適宜改善される。

30

2. 修正した画素ユニットが完全な明または暗しか表示しない別の既存の T F T アレイ基板と比べて、この発明によるアクティブ・マトリクス基板の画素ユニットは修正後、通常の機能を再開できる。

3. この発明によるアクティブ・マトリクス基板の製造およびその画素修正方法は、それらの既存のプロセスと互換性がある。二つの遮光パターンが修正形態では必要とされるが、追加の製造装置は必要とされない。

40

【0049】

当然のことながら、ここでは例示のために、この発明の具体的な実施形態および例を説明しており、この発明の範囲内で様々な等価な修正形態が可能であるが、当業者には明らかなように、この発明の上記の好ましい実施例の修正および調整を行い、特定の要件に適合させることができる。この開示内容は、その範囲を限定することなく、この発明を典型的に示すことを意図している。好ましい実施例で開示した発明に組み込んだ全ての修正形態は、添付の請求項の範囲または請求項に権利が与えられる等価なものの範囲内にあると解釈される。

【図面の簡単な説明】

50

【 0 0 5 0 】

添付の図面は、この発明をさらに理解するために含められ、この明細書に組み込まれ、その一部を構成する。図面はこの発明の実施例を示し、その内容と共にこの発明の原理を説明するのに役立つ。

【図 1 A】既存の T F T アレイ基板の平面図である。

【図 1 B】ライン a - b における図 1 A の断面図である。

【図 1 C】ライン c - d における図 1 A の断面図である。

【図 2 A】別の既存の T F T アレイ基板の平面図である。

【図 2 B】ライン a - b における図 2 A の断面図である。

【図 2 C】ライン c - d における図 2 A の断面図である。

10

【図 3 A】この発明の第一実施例によるアクティブ・マトリクス基板の平面図である。

【図 3 B】ライン a - b における図 3 A の断面図である。

【図 3 C】ライン c - d における図 3 A の断面図である。

【図 3 D】ライン e - f における図 3 A の断面図である。

【図 4 A】この発明の第二実施例によるアクティブ・マトリクス基板の平面図である。

【図 4 B】ライン a - b における図 4 A の断面図である。

【図 4 C】ライン c - d における図 4 A の断面図である。

【図 4 D】ライン e - f における図 4 A の断面図である。

【図 5 A】この発明の第三実施例によるアクティブ・マトリクス基板の平面図である。

20

【図 5 B】ライン a - b における図 5 A の断面図である。

【図 5 C】ライン c - d における図 5 A の断面図である。

【図 5 D】ライン e - f における図 5 A の断面図である。

【図 6 A】この発明の第四実施例によるアクティブ・マトリクス基板の平面図である。

【図 6 B】ライン a - b における図 6 A の断面図である。

【図 6 C】ライン c - d における図 6 A の断面図である。

【図 6 D】ライン e - f における図 6 A の断面図である。

【図 7 A】この発明の第五実施例によるアクティブ・マトリクス基板の平面図である。

【図 7 B】ライン a - b における図 7 A の断面図である。

【図 7 C】ライン c - d における図 7 A の断面図である。

【図 7 D】ライン e - f における図 7 A の断面図である。

30

【図 8 A】この発明の第六実施例によるアクティブ・マトリクス基板の平面図である。

【図 8 B】ライン a - b における図 8 A の断面図である。

【図 8 C】ライン c - d における図 8 A の断面図である。

【図 8 D】ライン e - f における図 8 A の断面図である。

【図 9 A】この発明の第七実施例によるアクティブ・マトリクス基板の平面図である。

【図 9 B】ライン a - b における図 9 A の断面図である。

【図 9 C】ライン c - d における図 9 A の断面図である。

【図 9 D】ライン e - f における図 9 A の断面図である。

【図 10 A】この発明の第八実施例によるアクティブ・マトリクス基板の平面図である。

40

【図 10 B】ライン a - b における図 10 A の断面図である。

【図 10 C】ライン c - d における図 10 A の断面図である。

【図 10 D】ライン e - f における図 10 A の断面図である。

【符号の説明】

【 0 0 5 1 】

1 0 0 T F T アレイ基板

1 1 0 基板

1 2 0 走査線

1 3 0 データ線

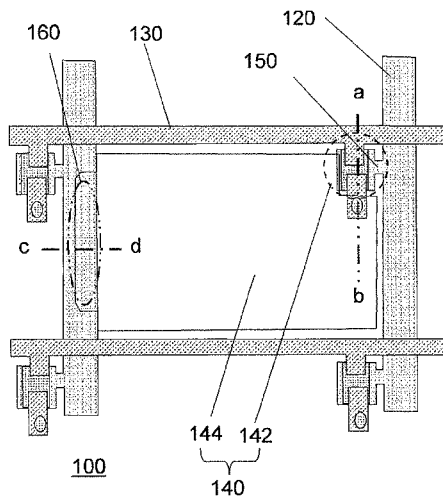
1 4 0 画素ユニット

1 4 2 a ゲート電極

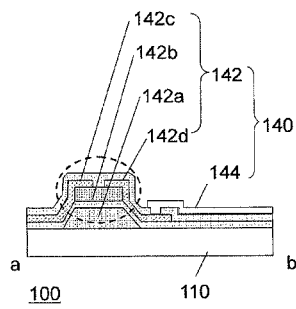
50

1 4 2 b	チャンネル層	
1 4 2 c	ソース電極	
1 4 2 d	ドレイン電極	
1 4 4	画素電極	
1 5 0	接続	
1 7 0	ゲート絶縁層	
2 0 0	T F T 基板	
2 1 0	修正ライン	
2 2 0	修正構造	
3 0 0	アクティブ・マトリクス基板	10
3 1 0	基板	
3 2 0	走査線	
3 3 0	データ線	
3 4 0	画素ユニット	
3 4 2 a	第一能動素子	
3 4 2 b	第二能動素子	
3 4 4	画素電極	
3 5 0	接続	
3 6 0	接続	
3 7 0	接続	20
4 0 0	アクティブ・マトリクス基板	
4 0 0 '	アクティブ・マトリクス基板	
4 1 0	第二ドレイン電極	
4 2 0 '	修正ライン	
5 0 0	アクティブ・マトリクス基板	
5 1 0	第二ドレイン電極	
5 2 0	第二ドレイン電極	
6 0 0	アクティブ・マトリクス基板	
6 1 0	第二ドレイン電極	
7 0 0	アクティブ・マトリクス基板	30
7 1 0	第二ドレイン電極	
8 0 0	アクティブ・マトリクス基板	
8 1 0	第二ドレイン電極	
9 0 0	アクティブ・マトリクス基板	
9 2 0	第二チャンネル層	
9 3 0	第二ソース電極	
9 4 0	第二ドレイン電極	
c 1	第一チャンネル層	
c 2	第二チャンネル層	
d 1	第一ドレイン電極	40
d 2	第二ドレイン電極	
g 1	第一ゲート電極	
g 2	第二ゲート電極	
L 1	切断ライン	
L 2	切断ライン	
L 3	切断ライン	
s 1	第一ソース電極	
s 2	第二ソース電極	

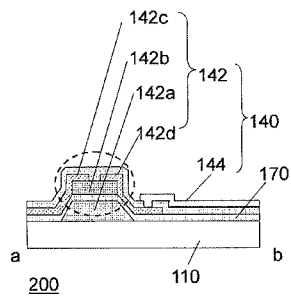
【図 1 A】



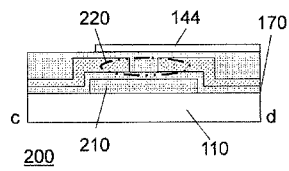
【図 1 B】



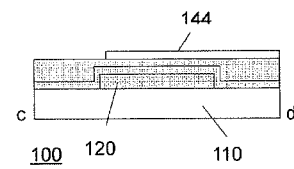
【図 2 B】



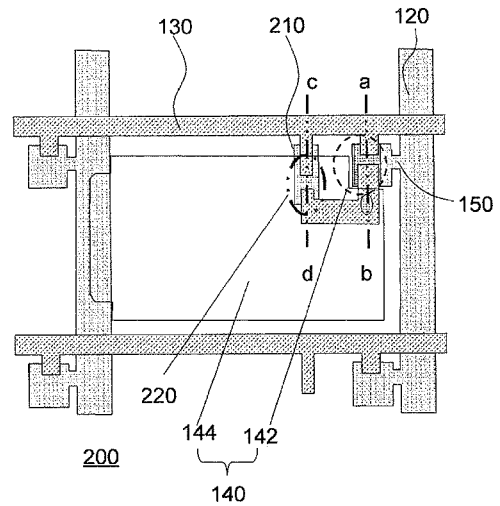
【図 2 C】



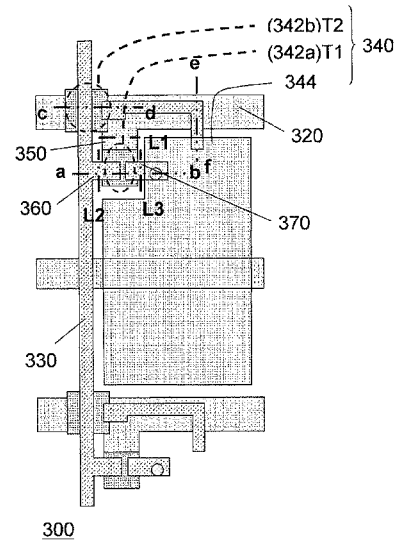
【図 1 C】



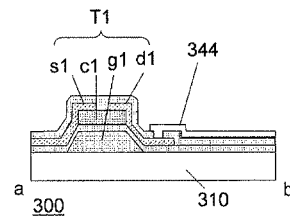
【図 2 A】



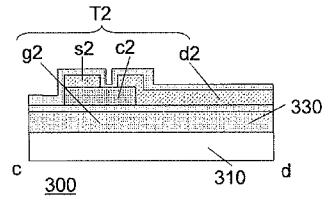
【図 3 A】



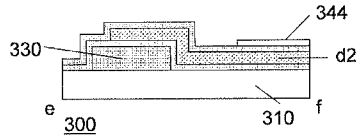
【図 3 B】



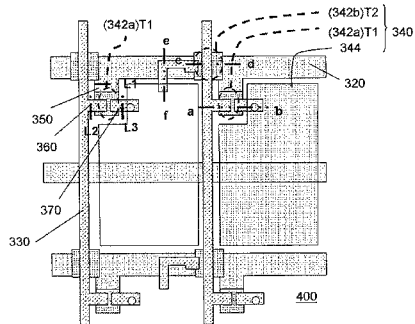
【図 3 C】



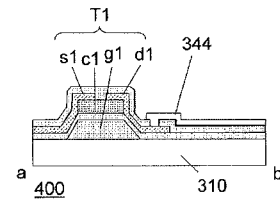
【図 3 D】



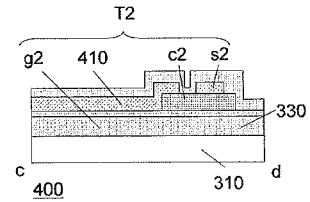
【図 4 A】



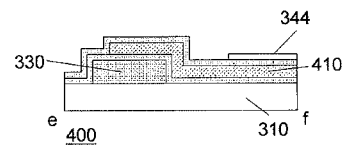
【図 4 B】



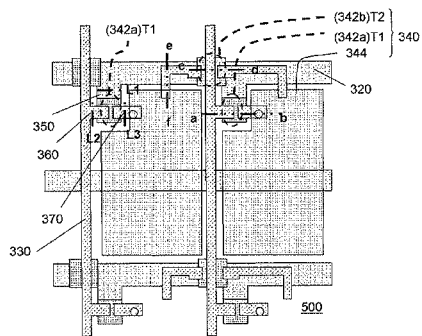
【図 4 C】



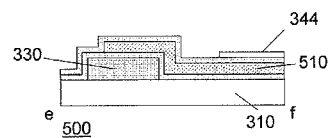
【図 4 D】



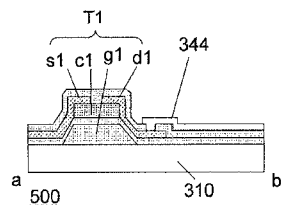
【図 5 A】



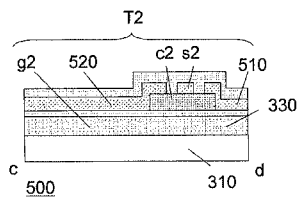
【図 5 D】



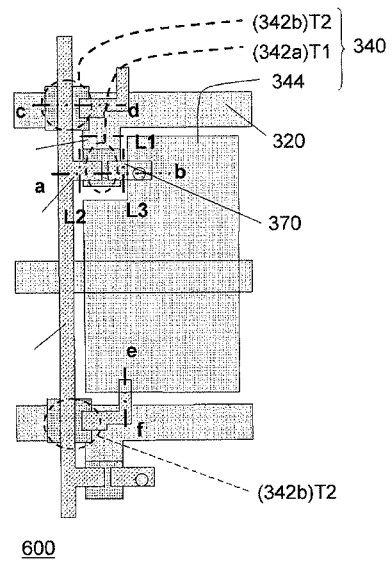
【図 5 B】



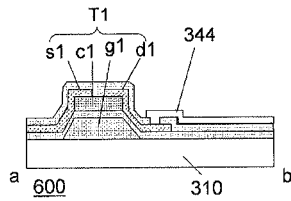
【図 5 C】



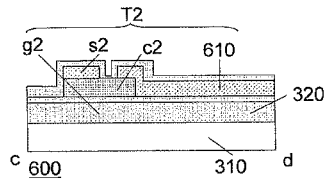
【図 6 A】



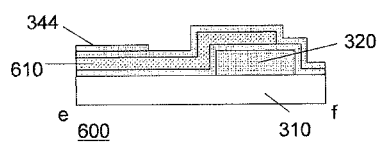
【図 6 B】



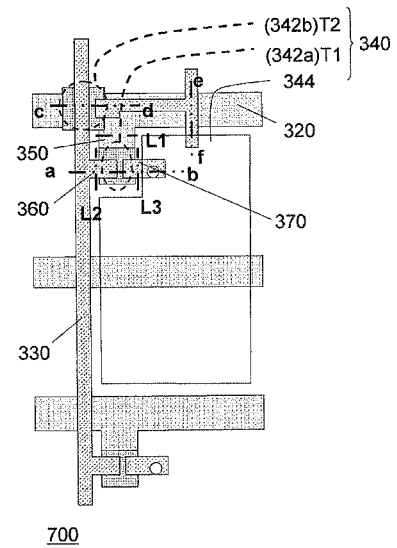
【図 6 C】



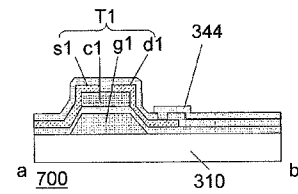
【図 6 D】



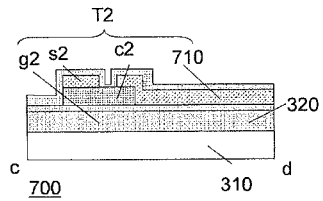
【図 7 A】



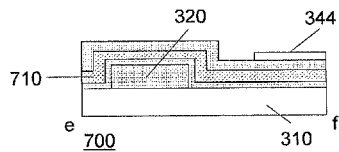
【図 7 B】



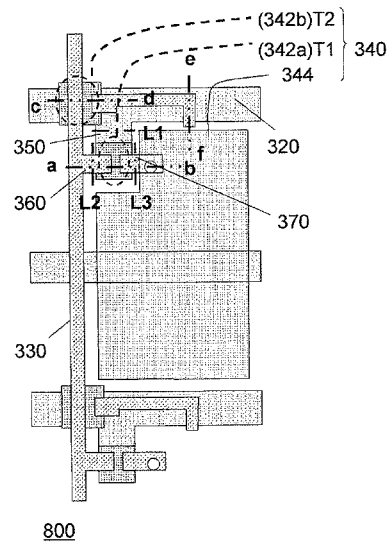
【図 7 C】



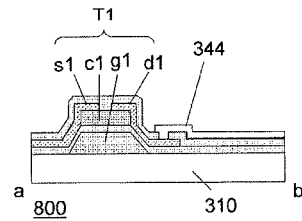
【図 7 D】



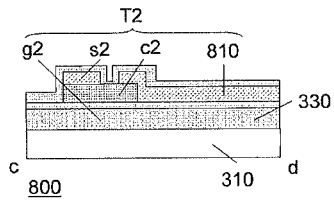
【図 8 A】



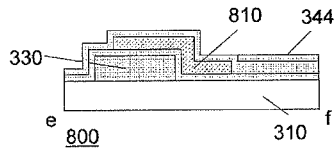
【図 8 B】



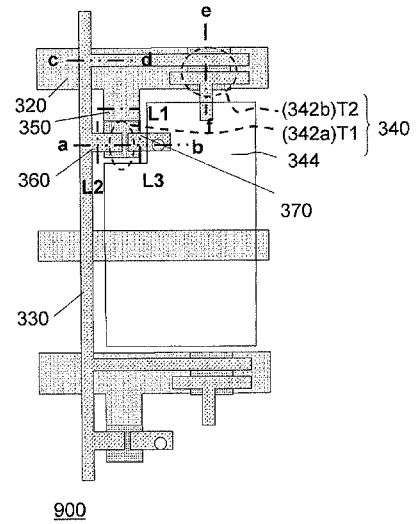
【図 8 C】



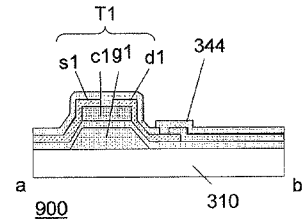
【図 8 D】



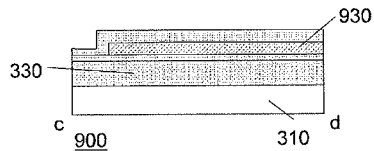
【図 9 A】



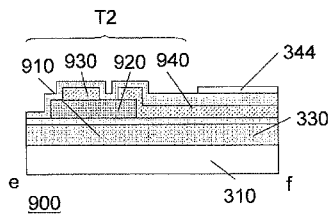
【図 9 B】



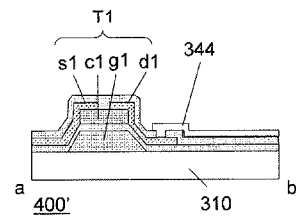
【図 9 C】



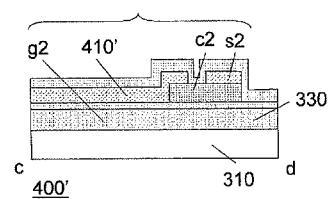
【図 9 D】



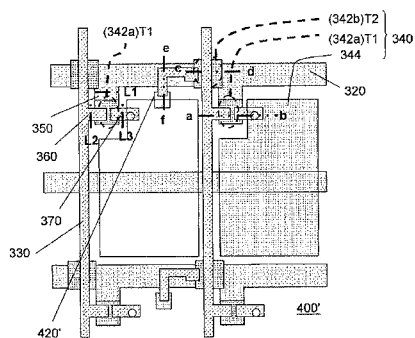
【図 10 B】



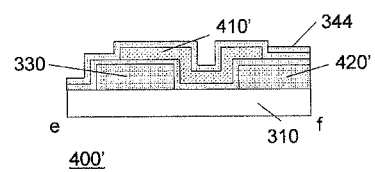
【図 10 C】



【図 10 A】



【図 10 D】



フロントページの続き

(72)発明者 來漢中

台湾桃園縣中▲歴▼市内▲歴▼成功路 1 2 2 巷 6 3 弄 2 0 號

F ターム(参考) 2H088 FA14 FA15 HA08 MA20

2H092 GA13 GA24 JA26 JA28 JA34 JA38 JA42 JA46 JB05 JB23

JB32 JB72 JB73 MA47 MA52 NA13 NA25 NA29

5C094 AA03 AA32 AA42 BA03 BA27 BA43 DA20 DB04 DB08 EA04

EA10 GB10 HA08

专利名称(译)	有源矩阵基板和校正像素单元的方法		
公开(公告)号	JP2007004106A	公开(公告)日	2007-01-11
申请号	JP2005318600	申请日	2005-11-01
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	來漢中		
发明人	來漢中		
IPC分类号	G09F9/30 G02F1/1368 G02F1/13		
CPC分类号	G02F1/136259 G02F1/13624		
FI分类号	G09F9/30.338 G02F1/1368 G02F1/13.101		
F-TERM分类号	2H088/FA14 2H088/FA15 2H088/HA08 2H088/MA20 2H092/GA13 2H092/GA24 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA38 2H092/JA42 2H092/JA46 2H092/JB05 2H092/JB23 2H092/JB32 2H092/JB72 2H092/JB73 2H092/MA47 2H092/MA52 2H092/NA13 2H092/NA25 2H092/NA29 5C094/AA03 5C094/AA32 5C094/AA42 5C094/BA03 5C094/BA27 5C094/BA43 5C094/DA20 5C094/DB04 5C094/DB08 5C094/EA04 5C094/EA10 5C094/GB10 5C094/HA08 2H192/AA24 2H192/CB05 2H192/CB12 2H192/HB33 2H192/HB44 2H192/HB46 2H192/HB64		
代理人(译)	田中 秀佳 熊野刚		
优先权	094120905 2005-06-23 TW		
其他公开文献	JP4213153B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有冗余有源元件的有源矩阵基板，并有效地防止LCD面板上的亮点缺陷。提供一种有源矩阵基板，包括基板，多条扫描线，多条数据线和多个像素单元。所有扫描线，数据线和像素单元都布置在基板上。每个像素单元电连接到相应的扫描线和数据线。此外，像素单元的至少一部分还包括多个有源单元和像素电极。有源元件分别电连接到相应的扫描线和数据线，并且像素单元电连接到有源元件之一。也就是说，本发明提供的有源矩阵基板的每个像素单元具有两个或更多个有源元件。如果在正常操作期间有源元件被损坏，则可以使用另一个有源元件来修改像素单元。点域3A

