

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-313319

(P2006-313319A)

(43) 公開日 平成18年11月16日(2006.11.16)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 505	2H093
G09G 3/36 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/36	5C080
	G09G 3/20 624Z	
	G09G 3/20 623C	
審査請求 有 請求項の数 7 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2006-68765 (P2006-68765)
 (22) 出願日 平成18年3月14日 (2006.3.14)
 (31) 優先権主張番号 特願2005-110554 (P2005-110554)
 (32) 優先日 平成17年4月7日 (2005.4.7)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 304053854
 三洋エプソンイメージングデバイス株式会社
 東京都港区浜松町二丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅普
 (74) 代理人 100107076
 弁理士 藤網 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 藤田 伸
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内
 Fターム(参考) 2H093 NA16 NA31 NA41 NA61 NB07
 NB11 NC09 NC11 ND39
 最終頁に続く

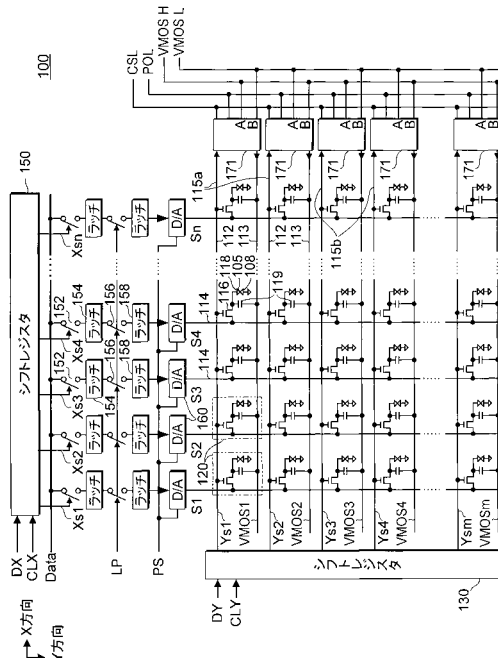
(54) 【発明の名称】 液晶表示装置の駆動回路、液晶表示装置、液晶表示装置の駆動方法、および電子機器

(57) 【要約】

【課題】 低消費電力化を図った液晶表示装置の駆動回路を提供する。

【解決手段】 液晶表示装置の駆動回路において、複数の走査線(112)のそれぞれを順次オン電位に駆動する走査線駆動回路(130)と、走査線駆動回路(130)によって、複数の走査線(112)のそれぞれがオン電位にされた場合に、データ線の電位を、対向電極の電位に対して濃度に応じた電位差であって、かつ、走査線群に属する走査線同士について同一の書込極性に対応した電位にするデータ線駆動回路(150)と、走査線(112)がオン電位である場合に前記データ線(114)の電位に応じて蓄積容量における他方の蓄積容量電極の電位をシフトさせる蓄積容量駆動回路(171)と、を具備する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

隣接する複数の走査線からなる走査線群と、データ線と、前記複数の走査線のそれぞれと前記データ線との交差に対応して設けられるとともに、対向電極と画素電極とにより液晶を挟持してなる液晶容量と、前記データ線と前記画素電極との間に介挿されて、前記走査線がオン電位であればオンする一方、オフ電位であればオフするスイッチング素子と、一方が前記画素電極に接続された蓄積容量電極と他方が前記一方の蓄積容量電極に対向配置された蓄積容量電極を含む蓄積容量とを備える液晶表示装置を駆動する駆動回路であって、

前記複数の走査線のそれぞれを順次オン電位に駆動する走査線駆動回路と、

10

前記走査線駆動回路によって、前記複数の走査線のそれぞれがオン電位にされた場合に、前記データ線の電位を、前記対向電極の電位に対して濃度に応じた電位差であって、かつ、前記走査線群に属する走査線同士について同一の書込極性に対応した電位にするデータ線駆動回路と、

前記走査線がオン電位である場合に前記データ線の電位が正極性書込に対応するものであったならば、前記走査線がオフ電位に遷移した後に、前記蓄積容量における前記他方の蓄積容量電極の電位を高位側にシフトさせる一方、当該オン電位における前記データ線の電位が負極性書込に対応するものであったならば、前記走査線がオフ電位に遷移した後に、前記蓄積容量における前記他方の蓄積容量電極の電位を低位側にシフトさせる蓄積容量駆動回路と、を具備することを特徴とする液晶表示装置の駆動回路。

20

【請求項 2】

前記蓄積容量駆動回路は、前記走査線群に属する複数の走査線に対応する前記電位のシフトを、同時に行うことを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 3】

前記走査線群に属する隣接した走査線は 2 本であり、

前記データ線駆動回路は、前記データ線の書込極性を 2 水平走査期間毎に反転駆動させることを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 4】

前記データ線駆動回路は、前記データ線を、隣接する前記走査線群同士で逆側の書込極性に対応した電位にすることを特徴とする請求項 1 乃至 3 にいずれか一項に記載の液晶表示装置の駆動回路。

30

【請求項 5】

請求項 1 から 4 いずれか一項に記載の液晶表示装置の駆動回路を備えたことを特徴とする液晶表示装置。

【請求項 6】

請求項 5 に記載の液晶表示装置を備えたことを特徴とする電子機器。

【請求項 7】

隣接する複数の走査線からなる走査線群と、データ線と、前記複数の走査線のそれぞれと前記データ線との交差に対応して設けられるとともに、対向電極と画素電極とにより液晶を挟持してなる液晶容量と、前記データ線と前記画素電極との間に介挿されて、前記走査線がオン電位であればオンする一方、オフ電位であればオフするスイッチング素子と、一方が前記画素電極に接続された蓄積容量電極と他方が前記一方の蓄積容量電極に対向配置された蓄積容量電極を含む蓄積容量とを備える液晶表示装置を駆動するに際し、

40

前記複数の走査線のそれぞれを順次オン電位にし、

前記複数の走査線のそれぞれをオン電位にした場合に、前記データ線の電位を、前記対向電極の電位に対して濃度に応じた電位差であって、かつ、前記走査線群に属する走査線同士について同一の書込極性に対応した電位にし、

前記走査線をオン電位にした場合に前記データ線の電位を正極書込に対応させたならば、前記走査線をオフ電位に遷移させた後に、前記蓄積容量における他方の蓄積容量電極の電位を高位側にシフトさせる一方、前記走査線をオン電位にした場合に前記データ線の電

50

位を負極性書込に対応させたならば、前記走査線をオフ電位に遷移させた後に、前記蓄積容量における他方の蓄積容量電極の電位を低位側にシフトさせることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低消費電力化を図った液晶表示装置の駆動回路、液晶表示装置、駆動方法、および電子機器に関する。

【背景技術】

【0002】

近年、液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器や壁掛けテレビなどの電子機器に広く用いられている。このような液晶表示装置は、駆動方式等に様々な型に分類することができるが、画素をスイッチング素子により駆動するアクティブマトリクス型液晶表示装置は、次のような構成となっている。すなわち、アクティブマトリクス型液晶表示装置は、マトリクス状に配列した画素電極や、この画素電極に接続されたスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に挟持された液晶とから構成されている。

【0003】

このような構成において、走査線をオン電位にすると、当該走査線に接続されたスイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に対し階調（濃度）に応じた電圧信号を印加すると、当該画素電極および対向電極の間に液晶を挟持してなる液晶容量に、当該電圧信号に応じた電荷が蓄積される。そして、電荷蓄積後、走査線をオフ電位にして、スイッチング素子をオフ状態にしても、当該液晶容量における電荷の蓄積は、液晶容量自身の容量性や、これに併設される蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、液晶の配向状態が変化するので、画素毎に濃度が変化することになって、階調表示が可能となる。

【0004】

ところで、液晶表示装置には、適用される電子機器の特性・特長・用途等から、低消費電力が強く求められている。この一方、液晶表示装置のうち、データ線は高い周波数で駆動され、また、液晶容量の駆動には通常10ボルト以上の高い電圧振幅が必要であるため、データ線には高い電圧振幅が印加されるのが一般的である。

ここで、データ線に印加する電圧信号の電圧振幅を低減し、低消費電力化を図った液晶表示装置が示されている（例えば、特許文献1参照。）。

【特許文献1】特開2002-196358号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1の構成では、電圧振幅は低減されるものの、データ線が駆動される周波数には変わりなく、さらなる低消費電力の低減が求められていた。

【0006】

本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、さらなる低消費電力化を図った液晶表示装置の駆動回路、液晶表示装置、駆動方法、および電子機器を提供することにある。

【課題を解決するための手段】

【0007】

本発明の液晶表示装置の駆動回路は、隣接する複数の走査線からなる走査線群と、データ線と、前記複数の走査線のそれぞれと前記データ線との交差に対応して設けられるとともに、対向電極と画素電極とにより液晶を挟持してなる液晶容量と、前記データ線と前記

10

20

30

40

50

画素電極との間に介挿されて、前記走査線がオン電位であればオンする一方、オフ電位であればオフするスイッチング素子と、一方が前記画素電極に接続された蓄積容量電極と他方が前記一方の蓄積容量電極に対向配置された蓄積容量電極を含む蓄積容量とを備える液晶表示装置を駆動する駆動回路であって、前記複数の走査線のそれぞれを順次オン電位に駆動する走査線駆動回路と、前記走査線駆動回路によって、前記複数の走査線のそれぞれがオン電位にされた場合に、前記データ線の電位を、前記対向電極の電位に対して濃度に応じた電位差であって、かつ、前記走査線群に属する走査線同士について同一の書込極性に対応した電位にするデータ線駆動回路と、前記走査線がオン電位である場合に前記データ線の電位が正極性書込に対応するものであったならば、前記走査線がオフ電位に遷移した後に、前記蓄積容量における他方の蓄積容量電極の電位を高位側にシフトさせる一方、当該オン電位における前記データ線の電位が負極性書込に対応するものであったならば、前記走査線がオフ電位に遷移した後に、前記蓄積容量における他方の蓄積容量電極の電位を低位側にシフトさせる蓄積容量駆動回路と、を具備することを特徴とする。

10

【0008】

これによれば、液晶容量および蓄積電極の一方の蓄積容量電極にデータ線から供給される電位を他方の蓄積容量電極電位のシフト分に応じて持ち上げ（または持ち下げ）、データ線の駆動を低電圧で行えることに加え、データ線駆動回路が、オン電位に駆動される走査線に対応してデータ線に電位を供給する際に、隣接する複数の走査線からなる走査線群について書込極性を同一とする。このため、隣接する複数の走査線について、データ線を駆動する電位の極性が反転しない。したがって、データ線を低電圧で駆動して、低消費電力化を図ることに加え、データ線を反転駆動する周波数を低下させ、さらなる低消費電力化を図ることが可能となる。

20

【0009】

ここで、前記駆動回路では、前記蓄積容量駆動回路が、前記走査線群に属する複数の走査線に対応する前記電位のシフトを、同時に行うことが好ましい。

これによれば、蓄積容量駆動回路による他方の蓄積容量電極の電位のシフトのタイミングが、走査線群に属する走査線同士について同時となる。電位のシフトの書込極性だけでなくタイミングを共通とすることにより、一つの走査線群に属する複数の走査線に対応して、一つの蓄積容量駆動回路を兼用させることができる。したがって、駆動回路の小型化や集積化等を図ることができる。

30

【0010】

ここで、前記走査線群に属する隣接した走査線は2本であり、前記データ線駆動回路は、前記データ線の書込極性を2水平走査期間毎に反転駆動させることが好ましい。

これによれば、1水平走査期間ごとに反転駆動する場合に比べて、データ線を反転駆動する周波数を約半分に低下させ、さらなる低消費電力化を図ることが可能となる。

【0011】

ここで、前記駆動回路では、前記データ線駆動回路が、前記データ線を、隣接する走査線群同士で逆側の書込極性に対応した電位にすることが好ましい。

【0012】

液晶表示装置では、製造の不均一性等から画素電極の電位にデータ線毎のばらつきを生じ、画面上に縦筋状のノイズが表示される原因となることがある。上記の発明によれば、電位の書込極性が隣接する走査線群同士について反転するため、画素電極の電位は、走査線群毎に逆極性になる。したがって、電位のばらつきによる表示輝度の変化を、隣接する走査線群により打ち消し低減することができる。

40

【0013】

また、本発明の液晶表示装置は、上記の駆動回路を備えることにより、データ線を低電圧で駆動して低消費電力化を図ることが可能となる。さらに、本発明の電子機器は、上記の液晶表示装置を備えることにより、低消費電力化を図ることが可能となる。

【0014】

また、本発明の液晶表示装置の駆動方法は、隣接する複数の走査線からなる走査線群と

50

、データ線と、前記複数の走査線のそれぞれと前記データ線との交差に対応して設けられるとともに、対向電極と画素電極とにより液晶を挟持してなる液晶容量と、前記データ線と前記画素電極との間に介挿されて、前記走査線がオン電位であればオンする一方、オフ電位であればオフするスイッチング素子と、一方が前記画素電極に接続された蓄積容量電極と他方が前記一方の蓄積容量電極に対向配置された蓄積容量電極を含む蓄積容量とを備える液晶表示装置を駆動するに際し、前記複数の走査線のそれぞれを順次オン電位にし、前記複数の走査線のそれぞれをオン電位にした場合に、前記データ線の電位を、前記対向電極の電位に対して濃度に応じた電位差であって、かつ、前記走査線群に属する走査線同士について同一の書込極性に対応した電位にし、前記走査線をオン電位にした場合に前記データ線の電位を正極書込に対応させたならば、前記走査線をオフ電位に遷移させた後に、前記蓄積容量における他方の蓄積容量電極の電位を高位側にシフトさせる一方、前記走査線をオン電位にした場合に前記データ線の電位を負極性書込に対応させたならば、前記走査線をオフ電位に遷移させた後に、前記蓄積容量における他方の蓄積容量電極の電位を低位側にシフトさせることを特徴とする。

10

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について図面を参照して説明する。

【0016】

< 1 : 第1実施形態 >

はじめに、本発明の第1実施形態に係る液晶表示装置について説明する。図1は、この液晶表示装置の外観構成を示す斜視図であり、図2は、図1におけるA-A'線の断面図である。これらの図に示されるように、液晶表示装置100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が形成された対向基板102とが、スペーサ103を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に例えばTN(Twisted Nematic)モードや垂直配向モード、横電界モード等の液晶105が封入された構成となっている。

20

【0017】

なお、素子基板101には、本実施形態では、ガラスや、半導体、石英などが用いられるが、不透明な基板を用いても良い。ただし、素子基板101に、不透明な基板を用いる場合には、透過型ではなく反射型として用いる必要がある。また、シール材104は、対向基板102の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

30

【0018】

次に、素子基板101の対向面であって、シール材104の外側一辺に位置する領域150aには、データ線を駆動するための回路(詳細については後述する)が形成されている。さらに、この一辺の外周部分には、複数の実装端子107が形成されて、外部回路から各種信号を入力する構成となっている。なお、データ線を駆動するための回路は、シール材104の外側に限らず、シール材104が形成される領域にも配置することができる。

40

【0019】

また、この一辺に隣接する2辺に位置する領域130aには、それぞれ走査線や容量線などを駆動するため回路(詳細については後述する)が形成されて、行(X)方向の両側から駆動する構成となっている。また、残りの一辺には、2個の領域130aに形成される回路において共用される配線(図示省略)などが設けられる。なお、行方向に供給される信号の遅延が問題にならないのであれば、これらの信号を出力する回路を片側1個の領域130aのみに形成する構成でも良い。走査線や容量線などを駆動するため回路は、シール材104の外側やシール材104が形成される領域にも配置することができる。

【0020】

50

一方、対向基板 102 に設けられる対向電極 108 は、素子基板 101 との貼合部分における 4 隅のうち、少なくとも 1 箇所には設けられた銀ペースト等などの導通材によって、素子基板 101 に形成された実装端子 107 と電氣的に接続されて、画素電極 118 の対向電位としての共通電位 LC com に維持される構成となっている。ほかに、対向基板 102 には、特に図示はしないが、画素電極 118 と対向する領域に、必要に応じて着色層（カラーフィルタ）が設けられる。ただし、後述するプロジェクタのように色光変調の用途に適用する場合、対向基板 102 に着色層を形成する必要はない。また、着色層を設けると否かとはかかわらず、光のリークによるコントラスト比の低下を防止するために、画素電極 118 と対向する領域以外の部分には遮光膜が設けられている（図示省略）。

【0021】

また、素子基板 101 および対向基板 102 の各対向面には、TN モードにおいては液晶 105 における分子の長軸方向が両基板間で約 90 度連続的に捻れるようにラビング処理された配向膜が設けられる一方、その各背面側には配向方向に沿った方向に吸収軸が設定された偏光子がそれぞれ設けられる。これにより、液晶容量（画素電極 118 と対向電極 108 との間において液晶 105 を挟持してなる容量）に印加される電圧実効値がゼロであれば、透過率が最大になる一方、電圧実効値が大きくなるにつれて、透過率が徐々に減少して、ついには透過率が最小になる構成となっている。すなわち、本実施形態では、ノーマリーホワイトモードの構成となっている。

【0022】

なお、配向膜や偏光子などについては、本件とは直接関係しないので、その図示については省略することにする。また、図 2 において、対向電極 108 や、画素電極 118、実装端子 107 などには厚みを持たせているが、これは、位置関係を示すための便宜的な措置であり、実際には、基板の厚みに対して視認できないほどに薄い。

【0023】

< 1 - 1 : 電氣的な構成 >

次に、本実施形態に係る液晶表示装置 100 の電氣的な構成について説明する。図 3 は、この電氣的な構成を示すブロック図である。この図に示されるように、複数の走査線 112 および蓄積容量の他方の蓄積容量電極を構成する容量線 113 が、それぞれ X（行）方向に延在して形成される一方、データ線 114 が、Y（列）方向に延在して形成されて、これらの交差に対応して画素 120 が形成されている。走査線 112 は、それぞれ隣接する 2 本の走査線 112 から走査線群 115 a、115 b、・・・（115）を構成する。走査線群 115 a は、1 行目および 2 行目の 2 本の走査線 112 からなり、走査線群 115 b は、3 行目および 4 行目の 2 本の走査線 112 からなる。ここで、説明の便宜上、走査線 112（容量線 113）の本数を「m」とし、データ線 114 の本数を「n」とすると、画素 120 は、m 行 n 列のマトリクス状に配列することになる。また、本実施形態では、図面の記載上、m、n を偶数とするが、これに限定する趣旨ではない。

【0024】

ここで、1 つの画素 120 について着目すると、N チャネル型の薄膜トランジスタ（Thin Film Transistor：以下「TFT」と称呼する）116 のゲートが走査線 112 に接続され、そのソースがデータ線 114 に接続され、さらに、そのドレインが画素電極 118 および蓄積容量 119 を構成する画素電位側である一方の容量電極に接続されている。上述したように画素電極 118 は、対向電極 108 に対向し、さらに、両電極間に液晶 105 が挟持されて、液晶容量が構成されている。すなわち、液晶容量は、一端を画素電極 118 とし、他端を対向電極 108 として、液晶 105 を挟持した構成となっている。この構成において、走査線 112 に供給される走査信号がオン電位たる H レベルになると、TFT 116 がオンして、データ線 114 の電位に応じた電荷が液晶容量および蓄積容量 119 に書き込まれることになる。なお、蓄積容量 119 を構成する他方の容量電極は、本実施形態では、容量線 113 に 1 行毎に共通接続されている。

【0025】

さて、Y 側について着目すると、シフトレジスタ 130（走査線駆動回路）は、図 4 に

10

20

30

40

50

示されるように、1垂直走査期間(1F)の最初に供給される転送開始パルスDYを、クロック信号CLYの立ち上がり及び立ち下がりで順番にシフトして、走査信号Ys1、Ys2、Ys3、...、Ysmを、それぞれ1行目、2行目、3行目、...、m行目の走査線112に供給するものである。ここで、走査信号Ys1、Ys2、Ys3、...、Ysmは、図5に示されるように、互いに重複しないように、1水平走査期間(1H)毎にアクティブレベル(Hレベル)になる。このようにして、シフトレジスタ130は、走査線112のそれぞれを順次オン電位に駆動する。

【0026】

液晶表示装置100には、さらに、容量線駆動回路171(蓄積容量駆動回路)が行毎に設けられている。ここで一般的に、i(iは、1 i mを満たす整数)行目に対応する容量線駆動回路171には、i行目に対応する走査信号Ysiが供給され、また、出力のタイミングを制御する容量制御信号CSL、2水平走査期間(2H)毎に論理レベルが反転する極性制御信号POL(図5参照)も供給されている。ここで、容量制御信号CSLは、2水平走査期間(2H)毎に1個のHレベルパルスをもつ。

10

容量線駆動回路171は、走査信号Ysiの論理レベルがHレベルのときの極性制御信号POLの論理レベルを保持し、保持している論理レベルがHレベルであれば入力端Aを選択し、逆にLレベルであれば入力端Bを選択して容量スイング信号VMOSiとし、この容量スイング信号VMOSiを、容量制御信号CSLがHレベルとなるタイミングで、i行目の容量線113に供給するものである。

【0027】

図4は、容量線駆動回路171の電気的な構成を示す回路図である。容量線駆動回路171は、走査信号Ysi論理レベルがHレベルのときの極性制御信号POLの論理レベルを保持するラッチ172と、ラッチ172により保持されたレベルを、容量制御信号CSLがHレベルとなるタイミングで選択制御信号Csとして出力するラッチ173と、選択制御信号Csのレベルに応じて入力端Aの電位または入力端Bの電位からいずれかを選択し、容量スイング信号VMOSとして容量線113に供給するセレクタ174と、容量制御信号CSLの反転信号と走査信号Ysiとの論理和の反転信号をラッチ173に供給する反転論理和(NOR)ゲート回路175とを備える。反転論理和ゲート回路175の出力信号により、ラッチ173は、走査信号YsiがHレベルの場合には、容量制御信号CSLがHレベルとなってもラッチ172により保持されたレベルを出力しない構成となっ

20

30

なお、容量制御信号CSLのHレベル信号供給を、走査信号YsiがHレベルでないときに行う場合には、反転論理和ゲート回路175を用いず、容量制御信号CSLを直接ラッチ173に供給する構成としてもよい。ただし、反転論理和ゲート回路175を用いることにより、走査信号YsiがHレベルの場合であっても走査信号YsiをHレベルとすることができる。

【0028】

ここで、図3に戻ると、奇数行目の容量線駆動回路171における入力端Aの電位は、高位側の容量電位VMOSHであり、その入力端Bの電位は、低位側の容量電位VMOSLである。一方、偶数行目の容量線駆動回路171における入力端Aの電位は、低位側の容量電位VMOSLであり、その入力端Bの電位は、高位側の容量電位VMOSHである。すなわち、奇数行の容量線駆動回路171と、偶数行の容量線駆動回路171とは、入力端A、Bの容量電位が、1行毎に互いに入れ替えられた関係となっている。ここで、入力端Aまたは入力端Bの電位を選択する極性制御信号POLは、2水平走査期間(2H)毎に論理レベルが反転し(図5参照)、選択の反転に対応する走査線同士では、入れ替えが相殺されるため、それぞれの容量線駆動回路171からは、容量電位が、走査線群115a、115b、...毎に対応し入れ替えられて出力されることとなる。

40

【0029】

次に、X側に着目すると、シフトレジスタ150は、図6に示されるように、転送開始パルスDXを、クロック信号CLXの立ち上がり及び立ち下がりで順番にシフトして、互

50

いに排他的にアクティブレベル（Hレベル）となるサンプリング制御信号 X_{s1} 、 X_{s2} 、...、 X_{sn} を、それぞれ出力するものである。ここで、サンプリング制御信号 X_{s1} 、 X_{s2} 、...、 X_{sn} は、互いに重複しないように、順次アクティブレベル（Hレベル）になる。

【0030】

さて、シフトレジスタ150の出力側には、第1のサンプリングスイッチ152、第1のラッチ回路154、第2のサンプリングスイッチ156、第2のラッチ回路158およびD/A変換器160が、それぞれデータ線114の1列毎に設けられる。このうち、一般的に j （ j は、 $1 \leq j \leq n$ を満たす整数）列目に対応する第1のサンプリングスイッチ152は、サンプリング制御信号 X_{sj} がアクティブレベルになるとオンして、階調データ $Data$ をサンプリングするものである。

10

【0031】

ここで、階調データ $Data$ は、画素120の階調（濃度）を指示する4ビットのデジタルデータである。このため、本実施形態に係る液晶表示装置にあって、画素120は、4ビットの階調データ $Data$ にしたがって $16 (= 2^4)$ 階調の表示を行うことになる。なお、階調データ $Data$ は、実装端子107（図1参照）を介して、図示せぬ外部回路から所定のタイミングで供給される構成となっている。

【0032】

続いて、 j 列目に対応する第1のラッチ回路154は、同じく j 列目に対応する第1のサンプリングスイッチ152によってサンプリングされた階調データ $Data$ をラッチするものである。次に、 j 列目に対応する第2のサンプリングスイッチ156は、同じく j 列目に対応する第1のラッチ回路154によってラッチされた階調データ $Data$ を、ラッチパルス LP がアクティブレベル（Hレベル）になったときに、サンプリングするものである。さらに、 j 列目に対応する第2のラッチ回路158は、同じく j 列目に対応する第2のサンプリングスイッチ156によってサンプリングされた階調データ $Data$ をラッチするものである。

20

【0033】

そして、 j 列目のD/A変換器160は、同じく j 列目に対応する第2のラッチ回路158によってラッチされた階調データ $Data$ を、極性書込指示信号 PS の論理レベルに対応する極性側のアナログ信号に変換して、データ信号 S_j として出力することにより、データ線114の電位を、階調に応じた電位差にするものである。ここで、極性書込指示信号 PS は、その論理レベルがHレベルである場合に、画素120への正極性書込を指示する一方、その論理レベルがLレベルである場合に、画素120への負極性書込を指示する信号である。本実施形態では、極性書込指示信号 PS は、図6に示されるように極性制御信号 POL に1水平期間遅れ、走査線群115a、115b...に対応して2水平走査期間（2H）毎に論理レベルが反転する（2H反転駆動）信号である。このため、データ線114の電位は、それぞれの走査線群115a、115b...に属する走査線同士について同一の書込極性に対応し、隣接する走査線群同士について逆側の書込極性に対応することとなる。さらに、極性書込指示信号 PS の論理レベルは、同一の水平走査期間についてみた場合、1垂直走査期間毎でも反転する（図5の括弧書参照）。

30

40

【0034】

なお、シフトレジスタ150、サンプリングスイッチ152、156、ラッチ回路154、158、およびD/A変換器160は、本発明のデータ線駆動回路に対応している。また、データ線駆動回路に加え、シフトレジスタ130、および蓄積容量駆動回路としての容量線駆動回路171は、本発明の液晶表示装置の駆動回路に対応している。

本実施形態において、転送開始パルス DX 、 DY 、クロック信号 CLX 、 CLY 、ラッチパルス LP 、極性書込指示信号 PS 、容量制御信号 CSL 、極性制御信号 POL 、および、容量電位 V_{MOSH} 、 V_{MOSL} については、実装端子107（図1参照）を介して、図示せぬ外部回路から所定のタイミングで供給される構成となっているが、液晶表示装置に、これらの信号の全てまたは一部を出力する信号発生回路を設ける構成としてもよい

50

また、本実施形態において、画素 120 または液晶容量における極性反転とは、液晶容量の他端たる対向電極 108 の電位を基準として、その電圧レベルを交流反転させることをいう。また、図 3 において、シフトレジスタ 130、容量線駆動回路 171 は、画素 120 の配列領域に対して左右の両側に分けて配列しているが、実際には、左右のいずれか一方の側から走査線および容量線を駆動する構成としてもよい。

【0035】

< 1 - 2 : Y 側の動作 >

次に、上述した構成に係る液晶表示装置の動作のうち、Y 側の動作について説明する。ここで、図 5 は、この液晶表示装置における Y 側の動作を説明するためのタイミングチャートである。 10

【0036】

この図に示されるように、垂直走査期間の最初に供給される転送開始パルス DY が、シフトレジスタ 130 (図 3 参照) により、クロック信号 CLY の立ち上がり及び立ち下がりにしたがってシフトされて、1 水平走査期間 1H 毎に、順次排他的に H レベルになる走査信号 Ys1、Ys2、Ys3、...、Ysm として出力される。

【0037】

ここで、最初の 1 垂直走査期間 (1F) において、走査信号 Ys1 が H レベルになったとき、極性書込指示信号 PS は H レベルになる (1 行目の走査線 112 に位置する画素 120 に対して正極性書込が指示される)。また極性制御信号 POL は H レベルであり、1 行目に対応する容量線駆動回路 171 のラッチ 172 はこの論理レベルを保持する。走査信号 Ys1 が立ち下がり、1 行目に位置する画素 120 の TFT 116 がオフした後、容量制御信号 CSL が H になると、保持された極性制御信号 POL のレベルは信号 Cs1 としてラッチ 173 から出力され、その結果、容量線駆動回路 171 は、入力端 A の電位 VMOSH を選択するので、容量スイング信号 VMOS1 が、高位側の容量電位 VMOSH に遷移する。 20

【0038】

次に、走査信号 Ys2 が H レベルになったときに、極性書込指示信号 PS は H レベルを維持する。(2 行目の走査線 112 に位置する画素 120 に対して正極性書込が指示される)。このとき、極性制御信号 POL は L レベルに遷移し、2 行目に対応する容量線駆動回路 171 のラッチ 172 はこの論理レベルを保持する。走査信号 Ys2 が立ち下がり、2 行目に位置する画素 120 の TFT 116 がオフした後、容量制御信号 CSL が H になると、保持された極性制御信号 POL のレベルは信号 Cs2 としてラッチ 173 から出力され、その結果、容量線駆動回路 171 は、入力端 B の電位を選択する。ここで、入力端 B には、VMOSH が供給されているので、容量スイング信号 VMOS2 も、VMOS1 と同様に、高位側の容量電位 VMOSH に遷移する。 30

ここで、容量制御信号 CSL の H レベルパルスは、2 水平走査期間 (2H) に 1 回供給され、そのタイミングは、走査信号 Ys1 の立ち下がり直後ではなく、走査信号 Ys2 の立ち下がり直後なので、1 行目および 2 行目の容量線駆動回路 171 は、容量スイング信号 VMOS1 および VMOS2 を、容量制御信号 CSL の H レベルのタイミングで高位側の容量電位 VMOSH に遷移する。 40

【0039】

次に、走査信号 Ys3 が H レベルになったときに、極性書込指示信号 PS は L レベルに遷移する。(3 行目の走査線 112 に位置する画素 120 に対して負極性書込が指示される)。このとき、極性制御信号 POL は L レベルを維持し、3 行目に対応する容量線駆動回路 171 のラッチ 172 はこの論理レベルを保持する。走査信号 Ys3 が立ち下がり、3 行目に位置する画素 120 の TFT 116 がオフした後、容量制御信号 CSL が H になると、保持された極性制御信号 POL のレベルは信号 Cs3 としてラッチ 173 から出力され、その結果、容量線駆動回路 171 は、入力端 B の電位を選択する、ここで、入力端 A には、VMOSL が供給されているので、容量スイング信号 VMOS3 は、低位側の容 50

量電位 V_{MOSL} に遷移する。

【0040】

次に、走査信号 Y_{s4} が H レベルになったときに、極性書込指示信号 P_S は L レベルを維持する。(4 行目の走査線 112 に位置する画素 120 に対して負極性書込が指示される)。このとき、極性制御信号 POL は H レベルに遷移し、4 行目に対応する容量線駆動回路 171 のラッチ 172 はこの論理レベルを保持する。走査信号 Y_{s4} が立ち下がり、4 行目に位置する画素 120 の TFT 116 がオフした後、容量制御信号 CSL が H になると、保持された極性制御信号 POL のレベルは信号 $Cs4$ としてラッチ 173 から出力され、その結果、容量線駆動回路 171 は、入力端 A の電位を選択する。ここで、入力端 A には、 V_{MOSL} が供給されているので、容量スイング信号 V_{MOS4} は、低位側の容量電位 V_{MOSL} に遷移する。

10

ここで、容量制御信号 CSL の H レベルパルスのタイミングは、走査信号 Y_{s3} の立ち下がり直後ではなく、走査信号 Y_{s4} の立ち下がり直後なので、3 行目および 4 行目の容量線駆動回路 171 は、容量スイング信号 V_{MOS3} および V_{MOS4} を、容量制御信号 CSL の H レベルパルスのタイミングで低位側の容量電位 V_{MOSL} に遷移する。このように、容量線駆動回路 171 は、蓄積容量 119 における電位のシフトを、走査線群 115a、115b、・・・に属する走査線 112 同士について同時に行う。

【0041】

ここで、偶数行の容量線駆動回路 171 は、奇数行の容量線駆動回路 171 とは、入力端 A、B に供給されている容量電位が、互いに入れ替えられているが(図 3 参照)、入力端を選択するための信号 POL が 2 水平走査期間 (2H) 毎に反転する。例えば、初めの走査線群 115a に対応する 1 行目および 2 行目の容量線 113 に供給される容量スイング信号 V_{MOS1} 、 V_{MOS2} はともに高位側の容量電位 V_{MOSH} に遷移し、次の走査線群 115b に対応する 3 行目および 4 行目の容量線 113 に供給される容量スイング信号 V_{MOS1} 、 V_{MOS2} はともに低位側の容量電位 V_{MOSL} に遷移する構成となっている。

20

【0042】

以下同様な動作が、5 行目、6 行目、7 行目、...、m 行目の容量線駆動回路 171 において繰り返し行われることになる。容量電位の遷移である電位のシフトは、一つの走査線群に属する走査線同士について同時に行われる。すなわち、走査線群は 2 本の走査線からなるが、奇数番目の走査線群 115 に属する i 行目および $i+1$ 行目の走査線 112 に供給される走査信号 Y_{si} および Y_{si+1} がそれぞれ H レベルになると、走査線 112 には正極性書込が指示され、当該走査信号 Y_{si} 、 Y_{si+1} が L レベルに立ち下がった後、容量制御信号 CSL が H レベルになると、 i 行目の容量線 113 に供給される容量スイング信号 V_{MOSi} 、 V_{MOSi+1} は、低位側の容量電位 V_{MOSL} から高位側の容量電位 V_{MOSH} に遷移する。一方で、奇数番目の走査線群 115 に属する走査線 112 に供給される走査信号 Y_{si} 、 Y_{si+1} がそれぞれ H レベルになると、負極性書込が指示され、この後、当該走査信号 Y_{si} 、 Y_{si+1} が L レベルに立ち下がった後、容量制御信号 CSL が H レベルになると、容量スイング信号 V_{MOSi} 、 V_{MOSi+1} は、高位側の容量電位 V_{MOSH} から低位側の容量電位 V_{MOSL} に同時に遷移することになる。

30

40

【0043】

なお、極性制御信号 POL は、次の垂直走査期間 (1F) では、前の垂直走査期間とレベルが反転した信号となる。このため、奇数番目の走査線群 115 を構成する走査線 112 に供給される走査信号 Y_{si} 、 Y_{si+1} が H レベルになると、負極性書込が指示され、この後、当該走査信号 Y_{si} が L レベルに立ち下がった後、容量制御信号 CSL が H レベルになると、容量スイング信号 V_{MOSi} 、 V_{MOSi+1} は、高位側の容量電位 V_{MOSH} から低位側の容量電位 V_{MOSL} に遷移することになる。一方で、奇数番目の走査線群 115 を構成する走査線 112 に供給される走査信号 Y_{si} 、 Y_{si+1} が H レベルになると、走査線 112 には正極性書込が指示され、この後、当該走査信号 Y_{si} が L レベルに立ち下がった後、容量制御信号 CSL が H レベルになると、 i 行目の容量線 113

50

に供給される容量スイング信号 V_{MOSi} 、 V_{MOSi+1} は、低位側の容量電位 V_{MOSL} から高位側の容量電位 V_{MOSH} に同時に遷移する。

【0044】

< 1 - 3 : X 側の動作 >

次に、液晶表示装置の動作のうち、X 側の動作について説明する。ここで、図 6 は、この液晶表示装置における X 側の動作を説明するためのタイミングチャートである。

【0045】

まず、図 6 において、1 行目の走査線 112 に供給される走査信号 Y_{s1} が H レベルになる 1 水平走査期間 (図において (1) で示される期間) について着目すると、当該期間に先んじて、1 行 1 列、1 行 2 列、...、1 行 n 列の画素に対応する階調データ $Data$ が順番に供給される。このうち、1 行 1 列の画素に対応する階調データ $Data$ が供給されるタイミングにおいて、シフトレジスタ 150 から出力されるサンプリング制御信号 X_{s1} が H レベルになると、1 列目に対応する第 1 のサンプリングスイッチ 152 のオンにより、当該階調データが、同じく 1 列目に対応する第 1 のラッチ回路 154 にラッチされる。

10

【0046】

次に、1 行 2 列のドットに対応する階調データ $Data$ が供給されるタイミングにおいて、サンプリング制御信号 X_{s2} が H レベルになると、2 列目に対応する第 1 のサンプリングスイッチ 152 のオンにより、当該階調データが、同じく 2 列目に対応する第 1 のラッチ回路 154 にそれぞれラッチされ、以下同様にして、1 行 n 列のドットに対応する階調データ $Data$ が、n 列目に対応する第 1 のラッチ回路 154 にそれぞれラッチされる。これにより、1 行目に位置する n 個の画素に対応する階調データ $Data$ が、1 列目、2 列目、...、n 列目に対応する第 1 のラッチ回路 154 にそれぞれラッチされることになる。

20

【0047】

続いて、ラッチパルス LP が出力されると (その論理レベルが H レベルになると)、それぞれ 1 列目、2 列目、...、n 列目に対応する第 1 のラッチ回路 154 にそれぞれラッチされた階調データ $Data$ が、第 2 のサンプリングスイッチ 156 のオンにより、それぞれに対応する列の第 2 のラッチ回路 158 に、一斉にラッチされることになる。

【0048】

そして、1 列目、2 列目、...、n 列目に対応する第 2 のラッチ回路 158 にそれぞれラッチされた階調データ $Data$ が、それぞれに対応する列の D/A 変換器 160 によって、極性書込指示信号 PS の論理レベルに対応する極性側のアナログ信号に変換されて、データ信号 S_1 、 S_2 、...、 S_n として出力される。この際、データ信号 S_1 、 S_2 、...、 S_n の電位は、極性書込指示信号 PS が H レベルであれば、正極性書込に対応したものの、詳細には、正極側の白レベルに対応する電位 $V_{wt(+)}$ から、正極側の黒レベルに対応する電位 $V_{bk(+)}$ までの範囲において、階調データ $Data$ に対応したものとなる。

30

【0049】

続いて、2 行目の走査線 112 に供給される走査信号 Y_{s2} が H レベルになる 1 水平走査期間 (図において (2) で示される期間) について着目すると、当該期間に先んじて、2 行 1 列、2 行 2 列、...、2 行 n 列の画素に対応する階調データ $Data$ が順番に供給されて、走査信号 Y_{s1} が H レベルになる期間と同様な動作が実行される。この結果、データ信号 S_1 、 S_2 、...、 S_n としては、極性書込指示信号 PS の論理レベルに対応する極性側のアナログ信号に変換されたものが出力される。

40

ここで、図において (1) で示される期間と (2) で示される期間とで、極性書込指示信号 PS の論理レベルは同じ H レベルが維持されるので、データ信号 S_1 、 S_2 、...、 S_n の出力極性も同じである。

【0050】

極性書込指示信号 PS の論理レベルは、2 水平走査期間毎に反転するので、3 行目の走査線 112 に供給される走査信号 Y_{s3} が H レベルになる 1 水平走査期間 (図において (

50

3)で示される期間)にLレベルに遷移する。したがって、(3)で示される期間について着目すると、当該期間に先んじて、2行1列、2行2列、...、2行n列の画素に対応する階調データDataが順番に供給されて、走査信号Ys2がHレベルになる期間と同様な動作が実行されるが、極性書込指示信号PSの論理レベルはLであるので、この結果、データ信号S1、S2、...、Snとしては、走査信号Ys1、Ys2がHレベルになる期間とは逆の極性側のアナログ信号に変換されたものが出力される。

【0051】

以下、同様な動作が、走査信号Ys4、Ys5、...、YsmがHレベルになる毎に、繰り返し実行されることになる。すなわち、i行目の走査線112に供給される走査信号YsiがHレベルになる1水平走査期間に先んじて、i行1列、i行2列、...、i行n列の画素に対応する階調データDataが順番に供給されて、1列目、2列目、...、n列目に対応する第1のラッチ回路154にそれぞれにラッチされ、この後、ラッチパルスLPの出力により、対応する列の第2のラッチ回路158に一斉にラッチされて、それぞれに対応する列のD/A変換器160によって、極性書込指示信号PSの論理レベルに対応する極性側のアナログ信号に変換されて、データ信号S1、S2、...、Snとして出力される。

10

この際、データ信号S1、S2、...、Snの電位は、奇数番目の走査線群115に属する走査線112に対応する期間では、極性書込指示信号PSがHレベルとなるので、正極性書込に対応したものとなる一方、偶数番目の走査線群115に属する走査線112に対応する期間では、極性書込指示信号PSがLレベルとなるので、負極性書込に対応したものとなる。つまり、それぞれの走査線群115a、115b、...に属する走査線112同士では、同一の書込極性に対応し、極性反転しない。

20

【0052】

なお、次の垂直走査期間では、同様な動作が実行されるが、極性書込指示信号PSは、同一の水平走査期間についてみた場合、1垂直走査期間毎に反転するので、データ信号S1、S2、...、Snの電位は、奇数番目の走査線群115に属する走査線112に対応する期間では、負極性書込に対応したものとなる一方、偶数番目の走査線群115に属する走査線112に対応する期間では、正極性書込に対応したものとなる。

上述の動作の結果、容量線駆動回路171は、走査線112がHレベル(TFT116のオン電位)である場合にデータ線114の電位が正極性書込に対応するものであったならば、走査線112がLレベル(TFT116のオフ電位)に遷移した後に、蓄積容量119における他方の蓄積容量電極の電位を高位側にシフトさせる一方、データ線114の電位が負極性書込に対応するものであったならば、走査線112がLレベルに遷移した後に、蓄積容量119における他方の蓄積容量電極の電位を低位側にシフトさせる。

30

【0053】

<1-4:蓄積容量および液晶容量における動作>

続いて、上述したようなY側およびX側の動作が行われた場合に、蓄積容量および液晶容量における動作について説明する。図7(a)、図7(b)および図7(c)の各々は、これらの容量における電荷の蓄積動作を説明するための図である。

【0054】

ここで、説明の便宜上、i行j列に位置する画素120において、正極性書込を行う場合を例にとって簡略的に説明する。なお、低位側の容量電位VMOSLと、対向電極108の電位LCcomとは、後述するように実際には異なっているが、ここでは、説明簡略化のために、互いに等しいものとして扱う。

40

【0055】

まず、走査信号YsiがHレベル(オン電位)になると、当該画素のTFT116がオンするので、図7(a)に示されるように、当該画素の蓄積容量Cstgおよび液晶容量CLcには、データ線Sjの電位に応じた電荷が蓄積される。この際、蓄積容量Cstgおよび液晶容量CLcにおいて充電された書込電圧をV0とする。

【0056】

50

次に、信号 Y_{si} が L レベル（オフ電位）となった後、容量制御信号 CSL が H レベルになると、当該画素の TFT_{116} がオフするとともに、正極性書込では、 i 行目の容量線 113 に供給される容量スイング信号 $VMOS_i$ の電位が、上述したように低位側の容量電位 $VMOS_L$ から高位側の容量電位 $VMOS_H$ に遷移する。このため、図 7 (b) に示されるように、蓄積容量 C_{stg} における充電電圧が、その遷移分である電圧 V_1 だけ持ち上がる。ここで、 $V_1 = \{VMOS_H - VMOS_L\}$ である。

【0057】

ただし、蓄積容量 C_{stg} の一端は、画素電極 118 に接続されているので、図 7 (c) に示されるように、電圧が持ち上げられた蓄積容量 C_{stg} から液晶容量 C_{LC} に電荷が受け渡される。そして、両容量における電位差がなくなると、電荷の受け渡しが終了するので、両容量における充電電圧は、最終的に電圧 V_2 になる。この電圧 V_2 は、 TFT_{116} のオフ時におけるほとんどの期間において液晶容量 C_{LC} に印加され続けることになるので、液晶容量 C_{LC} には、実効的に、 TFT_{116} のオン時から電圧 V_2 が印加されたものとみなすことができる。

10

【0058】

ここで、電圧 V_2 は、蓄積容量 C_{stg} および液晶容量 C_{LC} を用いると、次式 (1) のように表すことができる。

$$V_2 = V_0 + V_1 \cdot C_{stg} / (C_{stg} + C_{LC}) \quad \dots \dots (1)$$

【0059】

さて、蓄積容量 C_{stg} が液晶容量 C_{LC} よりも充分に大きいのであれば、式 (1) は、次式 (2) のように近似される。

20

$$V_2 = V_0 + V_1 \quad \dots \dots (2)$$

すなわち、液晶容量 C_{LC} に最終的に印加される電圧 V_2 は、初期書込電圧 V_0 から、容量スイング信号 $VMOS_i$ の持ち上がり分 V_1 だけ高位側にシフトしたものととして簡略化される。

【0060】

なお、ここでは、図 7 (b) および図 7 (c) の動作を、簡略化のために別々に説明したが、実際には、両者の動作は同時並行的に行われる。また、ここでは、正極性書込を行う場合について説明したが、負極性書込の場合に、蓄積容量 C_{stg} が液晶容量 C_{LC} よりも充分に大きいのであれば、液晶容量 C_{LC} に最終的に印加される電圧 V_2 は、初期書込電圧 V_0 から容量スイング信号 $VMOS_i$ の遷移分 V_1 だけ、低位側にシフトすることになる。

30

【0061】

さて、 i 行 j 列に位置する画素 120 において、実際に正極性書込を行う場合、上述したように、当該画素における TFT_{116} のオン時に、 i 行目の容量線 113 に印加される容量スイング信号 $VMOS_i$ の電位、すなわち、当該画素における蓄積容量 C_{stg} (119) の他方の蓄積容量電極の電位は、低位側の容量電位 $VMOS_L$ であり、また、液晶容量 C_{LC} の他端たる対向電極 108 の電位は、一定の LC_{com} である (図 8 (a) 参照)。すなわち、蓄積容量 C_{stg} における充電電圧の基準電位と、液晶容量 C_{LC} における充電電圧の基準電位とは互いに異なっている。

【0062】

しかしながら、図 8 (b) に示されるように、 i 行 j 列の画素 120 における画素電極 118 の電位 $P_{ix}(i, j)$ は、第 1 に、 TFT_{116} のオン時に、一旦、 j 列目のデータ線 114 に供給されるデータ信号 S_j の電位になり、第 2 に、 TFT_{116} のオフ後 CSL_i が H レベルのとき、正極性書込であれば、容量スイング信号 $VMOS_i$ が低位側の容量電位 $VMOS_L$ から高位側の容量電位 $VMOS_H$ に遷移することによって、高位側にシフトする一方、負極性書込であれば、容量スイング信号 $VMOS_i$ が高位側の容量電位 $VMOS_H$ から低位側の容量電位 $VMOS_L$ に遷移することによって、低位側にシフトする点、および、このシフト量が、データ信号 S_j の書込電位と、蓄積容量 C_{stg} および液晶容量 C_{LC} の比とに応じたものとなる点については、図 7 (a)、図 7 (b) および図 7 (c) における説明となんら変わるところはない。

40

50

【0063】

なお、図8(b)は、 i 行 j 列の画素120における画素電極118の電位 $P_{ix}(i, j)$ が、TFT116のオン時に、正極性書込における白レベルに対応する電位 $V_{wt}(+)$ であった場合に、TFT116のオフ直後に、その電位 $V_{wt}(+)$ と、蓄積容量 C_{stg} および液晶容量 C_{LC} の比に応じた分 V_{wt} だけ、高位側にシフトする点と、画素電極118の電位 $P_{ix}(i, j)$ が、TFT116のオン時に、正極性書込における黒レベルに対応する電位 $V_{bk}(+)$ であった場合に、TFT116のオフ直後に、その電位 $V_{bk}(+)$ と、蓄積容量 C_{stg} および液晶容量 C_{LC} の比に応じた分 V_{bk} だけ、高位側にシフトする点と、画素電極118の電位 $P_{ix}(i, j)$ が、TFT116のオン時に、負極性書込における白レベルに対応する電位 $V_{wt}(-)$ であった場合に、TFT116のオフ直後に、その電位 $V_{wt}(-)$ と、蓄積容量 C_{stg} および液晶容量 C_{LC} の比に応じた分 V_{wt} だけ、低位側にシフトする点と、画素電極118の電位 $P_{ix}(i, j)$ が、TFT116のオン時に、負極性書込における黒レベルに対応する電位 $V_{bk}(-)$ であった場合に、TFT116のオフ直後に、その電位 $V_{bk}(-)$ と、蓄積容量 C_{stg} および液晶容量 C_{LC} の比に応じた分 V_{bk} だけ、低位側にシフトする点と、の計4点を示している。

10

【0064】

本実施形態によれば、画素電極118にデータ線114から供給されるデータ信号 S_1 、 S_2 、...、 S_n の電位を、容量スイング信号VMOSのシフト分に応じて持ち上げ(または持ち下げ)、データ線114の駆動を低電圧で行うことに加え、データ線114に電位を供給する際に、走査線群115a、115b...に属する隣接する複数の走査線について書込極性を同一とし、変化させない。すなわち、データ線114の書込極性は、走査線群115a、115b...のそれぞれに属する隣接した走査線112に対応し、2水平走査期間同じとなる。したがって、1水平走査期間ごとに反転駆動する場合に比べて、データ線を反転駆動する周波数を約半分に低下させ、さらなる低消費電力化を図ることが可能となる。

20

また、データ線114への電位の書込極性を、隣接する走査線群115a、115b...同士について逆側とする。したがって、液晶表示装置100の不均一性により画素電極の電位にデータ線毎のばらつきを生じる場合でも、画素電極118の電位が走査線群115a、115b...毎に逆極性になることにより、電位のばらつきによる表示輝度の変化を打ち消す。この結果、液晶表示装置100、データ線に対応して縦筋状のノイズが表示されてしまうといった事態を低減することができる。

30

【0065】

< 2 : 第2実施形態 >

上述した第1実施形態では、データ線114の書込極性は、走査線群115a、115b...のそれぞれに属する隣接した走査線112に対応し、2水平走査期間同じとなる。すなわち、1行目および2行目の容量線駆動回路171は、容量スイング信号VMOS1およびVMOS2は同じ電位側にシフトされる。また、容量スイング信号VMOS1およびVMOS2を同一のタイミングでシフトする。このことを利用して、回路面積を改善した第2実施形態について説明する。

【0066】

図9は、本発明の第2実施形態に係る液晶表示装置200の電気的な構成を示すブロック図である。

40

第2実施形態では、蓄積容量の他方の蓄積容量電極を構成するそれぞれの容量線群115a、115b、...につき、1個の容量線駆動回路171を備えている。すなわち、1個の容量線駆動回路171が容量線群115aに属する複数の容量線113を駆動する点が第1実施形態と異なる。この第2実施形態に係る液晶表示装置の他の構成については、図1から図3に示される第1実施形態と同様であるので、説明を省略する。

【0067】

この図に示されるように、第2実施形態では、容量線群115a、115b、...に属する隣接した容量線113は、走査線群115a、115b...のそれぞれに属する

50

隣接した走査線 112 に対応している。容量線駆動回路 171 が容量スイング信号 V M O S 1 および V M O S 2 を同一のタイミングでシフトするため、容量線群 115 a、115 b、・・・毎に 1 個の容量線駆動回路 171 を兼用して、容量線駆動回路 171 の数を半減させている。このことにより、容量線駆動回路 171 の面積を減少させ、回路全体の面積および消費電力を低減することが可能になる。

【0068】

< 3 : 第 3 実施形態 >

上述した第 1 実施形態では、走査線が順次オン電位となるタイミングで、データ線を書込極性に対応した電位にする一方、蓄積容量における他端の電位のシフトを、1 つの走査線群に属する走査線同士について同時に行う。このため、データ線が所定の電位になってから蓄積容量における他方の蓄積容量電極の電位のシフトが開始するまでの時間は、1 つの走査線群に属する走査線同士で互いに異なる。この時間の差のために、電位のシフト結果の電極電圧が走査線毎に異なるおそれを解消した第 3 実施形態について説明する。

10

【0069】

図 10 は、本発明の第 3 実施形態に係る液晶表示装置の電氣的な構成を示すブロック図である。

図 10 に示すように、行毎に設けられた容量線駆動回路 171 のうち、奇数行目に対応する容量線駆動回路 171 には、容量制御信号 C S L o が供給され、偶数行目に対応する容量線駆動回路 171 には、容量制御信号 C S L が供給されている。ここで、図 11 に示すように、容量制御信号 C S L は、第 1 実施形態と同一内容の信号であり、容量制御信号 C S L o は、容量制御信号 C S L に対し 1 水平走査期間進んだ波形の信号である。

20

なお、第 3 実施形態に係る液晶表示装置の他の構成については、図 1 から図 3 に示される第 1 実施形態と同様であるので、説明を省略する。

【0070】

図 11 は、第 3 実施形態に係る液晶表示装置における Y 側の動作を説明するためのタイミングチャートである。

ここで、最初の 1 垂直走査期間 (1 F) において、走査信号 Y s 1 が H レベルになったとき、極性制御信号 P O L は H レベルであり、1 行目に対応する容量線駆動回路 171 のラッチ 172 はこの論理レベルを保持する。走査信号 Y s 1 が立ち下がり、1 行目に位置する画素 120 の T F T 116 がオフした後、容量制御信号 C S L o が H になると、保持された極性制御信号 P O L のレベルは信号 C s 1 としてラッチ 173 から出力される。

30

次に、走査信号 Y s 2 が H レベルになったときに、極性書込指示信号 P S は H レベルを維持する。このとき、極性制御信号 P O L は L レベルに遷移し、2 行目に対応する容量線駆動回路 171 のラッチ 172 はこの論理レベルを保持する。走査信号 Y s 2 が立ち下がり、2 行目に位置する画素 120 の T F T 116 がオフした後、容量制御信号 C S L が H になると、保持された極性制御信号 P O L のレベルは信号 C s 2 としてラッチ 173 から出力される。

ここで、容量制御信号 C S L o の H レベルパルスは、2 水平走査期間 (2 H) に 1 回供給され、そのタイミングは、走査信号 Y s 1 の立ち下がり直後である。また、容量制御信号 C S L の H レベルパルスも 2 水平走査期間 (2 H) に 1 回供給されるが、そのタイミングは、走査信号 Y s 2 の立ち下がり直後である。

40

【0071】

< 4 : 液晶表示装置のまとめ >

このように、本実施形態では、走査線が順次オン電位となるタイミングで、データ線を書込極性に対応した電位とし、蓄積容量における他端の電位のシフトを、それぞれ、対応する走査線がオフ電位となった直後に行う。このため、データ線が所定の電位になってから蓄積容量における他方の蓄積容量電極の電位のシフトが開始するまでの時間は、全ての走査線で等しくなる。このため、電位のシフト結果の電圧が走査線毎に異なることによる、画素電極の電圧の不均衡を低減できる。

【0072】

50

なお、走査線 112 は、隣接する 2 本の走査線 112 毎に走査線群 115 (115a、115b) を構成すると説明したが、本発明はこれに限らない。走査線群は、例えば、隣接する 3 本あるいはそれより多くの走査線からなるとしても良い。

【0073】

また、本発明の駆動回路としては、上述の回路に限らず、種々の構成を採用することができる。例えば、別の実施例の容量線駆動回路として、図 12 に示すように、走査信号 Y_{si} または容量制御信号 CSL の論理レベルが H レベルのとき走査信号 Y_{si} の論理レベルを保持するラッチ 472 と、走査信号 Y_{si} の論理レベルが H レベルのとき極性制御信号 POL の論理レベルを保持するラッチ 473 と、ラッチ 472 により保持されたレベルを、ラッチ 473 により保持されたレベルに応じて反転し、選択制御信号 Cs として出力する反転回路 474 と、選択制御信号 Cs のレベルに応じて入力端 A の電位または入力端 B の電位からいずれかを選択し、容量スイング信号 V_{MOS} として容量線 113 に供給するセレクタ 475 とを備える構成でも良い。

10

【0074】

また、上述の第 1 実施形態では、容量線駆動回路 171 における入力端 A、B に入力される電位は、奇数行と偶数行とで互いに入れ替えられるものとして説明したが、本発明はこれに限らず、例えば、2 行といった走査線群の単位で入れ替えられることとしてよい。この場合、極性制御信号 POL を 2 水平走査期間毎に反転させず、入力端 A、B に入力される電位の入れ替えのみにより、データ線の反転を 2 水平走査期間毎に行うことができる。この一方、入力端 A、B に入力される電位を、奇数行と偶数行とで互いに入れ替える構成では、表示する画像の精細度に応じて、データ線の反転を 1 水平走査期間毎に行う駆動回路との互換性を維持し易い。

20

【0075】

すなわち、入力端 A、B に入力される電位を、奇数行と偶数行とで互いに入れ替える構成によれば、容量制御信号 CSL の H レベルパルスを、1 水平走査期間毎に 1 回供給し、極性制御信号 POL および極性書込指示信号 PS を 1 垂直走査期間ごとに反転する信号とするだけで、データ線の反転を 1 水平走査期間毎に行う駆動とすることができる。これにより、液晶表示装置の製造の不均一性等から画素電極の電位に生じたデータ線毎のばらつきが無視できない場合には、ばらつきによる輝度変化を隣接する 1 本の走査線毎に打ち消し低減可能な、1 水平走査期間毎の反転駆動に転換することができる。

30

【0076】

なお、上述した第 1、第 2 および第 3 実施形態にあつては、4 ビットの階調データ $Data$ を用いて 16 階調表示を行うものとしたが、本発明はこれに限られない。例えば、ビット数を多くして、より多階調としても良いし、R (赤)、G (緑)、B (青) の 3 画素で 1 ドットを構成することによって、カラー表示を行うとしても良い。また、実施形態にあつては、液晶容量の電圧無印加状態において最大透過率となるノーマリーホワイトモードとして説明したが、同状態において最小透過率となるノーマリーブラックモードとしても良い。

【0077】

さらに、実施形態にあつて、素子基板 101 にガラス基板を用いたが、SOI (Silicon On Insulator) の技術を適用し、サファイヤや、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板 101 としても良い。また、素子基板 101 として、シリコン基板などを用いるとともに、ここに各種の素子を形成しても良い。このような場合には、スイッチング素子として、高速な電界効果型トランジスタを用いることができるので、TFT よりも高速動作が容易になる。ただし、素子基板 101 が透明性を有しない場合、画素電極 118 をアルミニウムで形成したり、別途反射層を形成したりするなどして、反射型として用いる必要がある。また、実施形態にあつては、データ線 114 と画素電極 118 との間に介挿されるスイッチング素子として、TFT のような三端子型素子を用いたが、TFD (Thin Film Diode: 薄膜ダイオード) のような二端子型素子を用いても良い。

40

50

【0078】

さらに、上述した実施形態では、液晶としてTN型を用いたが、BTN (Bi-stable Twisted Nematic) 型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料(ゲスト)を一定の分子配列の液晶(ホスト)に溶解して、染料分子を液晶分子と平行に配列させたGH (ゲストホスト)型などの液晶を用いても良い。また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向(ホメオトロピック配向)の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行(水平)配向(ホモジニアス配向)の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものに適用することが可能である。

10

【0079】

< 5 : 電子機器 >

次に、上述した実施形態に係る液晶表示装置100を適用した電子機器について説明する。

図13に、液晶表示装置100を適用した携帯電話機の構成を示す。携帯電話機3000は、複数の操作ボタン3001およびスクロールボタン3002、ならびに表示ユニットとしての液晶表示装置100を備える。スクロールボタン3002を操作することによって、液晶表示装置100に表示される画面がスクロールされる。

20

【0080】

なお、電子機器としては、図13を参照して説明した他にも、プロジェクタや、パーソナルコンピュータ、液晶テレビ、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、実施形態や応用・変形例に係る液晶表示装置が適用可能なのは言うまでもない。

【図面の簡単な説明】

【0081】

【図1】本発明の第1実施形態に係る液晶表示装置の外観構成を示す斜視図である。

30

【図2】図1におけるA-A'線についての断面図である。

【図3】同液晶表示装置の電気的な構成を示すブロック図である。

【図4】同液晶表示装置の容量線駆動回路の電気的な構成を示す回路図である。

【図5】同液晶表示装置におけるY側の動作を説明するためのタイミングチャートである。

【図6】同液晶表示装置におけるX側の動作を説明するためのタイミングチャートである。

【図7】(a)、(b)、(c)は、それぞれ同液晶表示装置における画素の書込動作を説明するための図である。

【図8】(a)は、同液晶表示装置における走査信号と容量スイング信号との電圧波形を示す図であり、(b)は、同液晶表示装置において画素電極に印加される電圧波形を示す図である。

40

【図9】本発明の第2実施形態に係る液晶表示装置の電気的な構成を示すブロック図である。

【図10】本発明の第3実施形態に係る液晶表示装置の電気的な構成を示すブロック図である。

【図11】同液晶表示装置におけるY側の動作を説明するためのタイミングチャートである。

【図12】同液晶表示装置の容量線駆動回路の変形例を示す回路図である。

【図13】実施形態に係る液晶表示装置を適用した電子機器の一例たる携帯電話機の構成

50

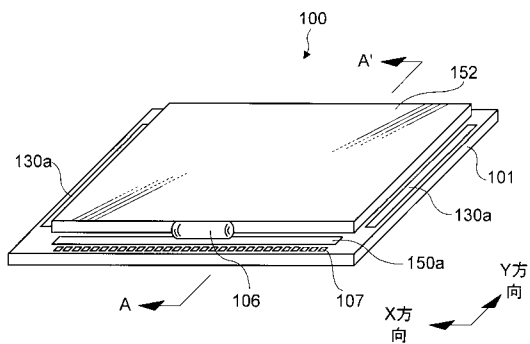
を示す斜視図である。

【符号の説明】

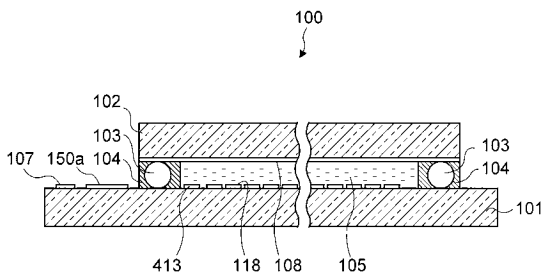
【0082】

100・・・液晶表示装置、 105・・・液晶、 108・・・対向電極、 112・・・走査線、 113・・・容量線、 114・・・データ線、 115a、115b・・・走査線群、 116・・・TFT（スイッチング素子）、 118・・・画素電極、 119・・・蓄積容量、 130・・・シフトレジスタ（走査線駆動回路）、 150・・・シフトレジスタ、 152、156・・・サンプリングスイッチ、 154、158・・・ラッチ回路、 160... D/A変換器（150，152，154，156，158，160によりデータ線駆動回路）、 171・・・容量線駆動回路（蓄積容量駆動回路）、 3000・・・携帯電話機。

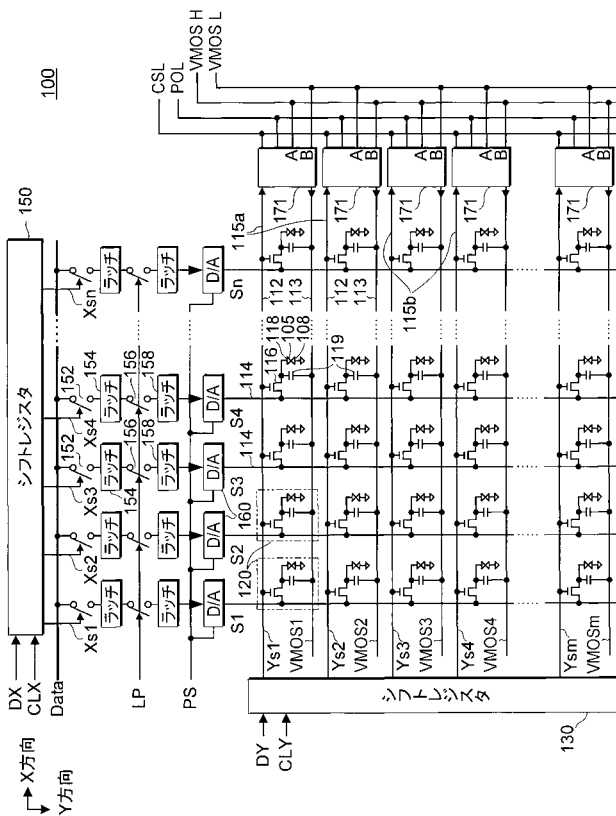
【図1】



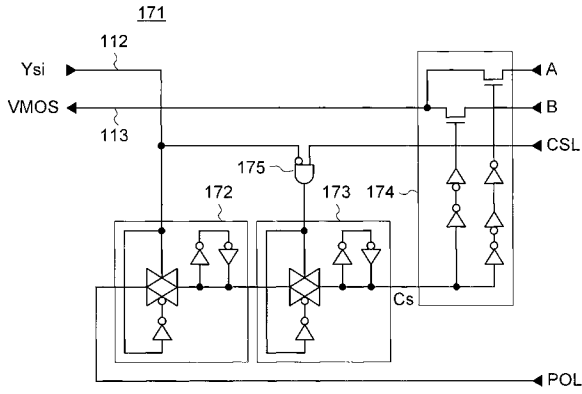
【図2】



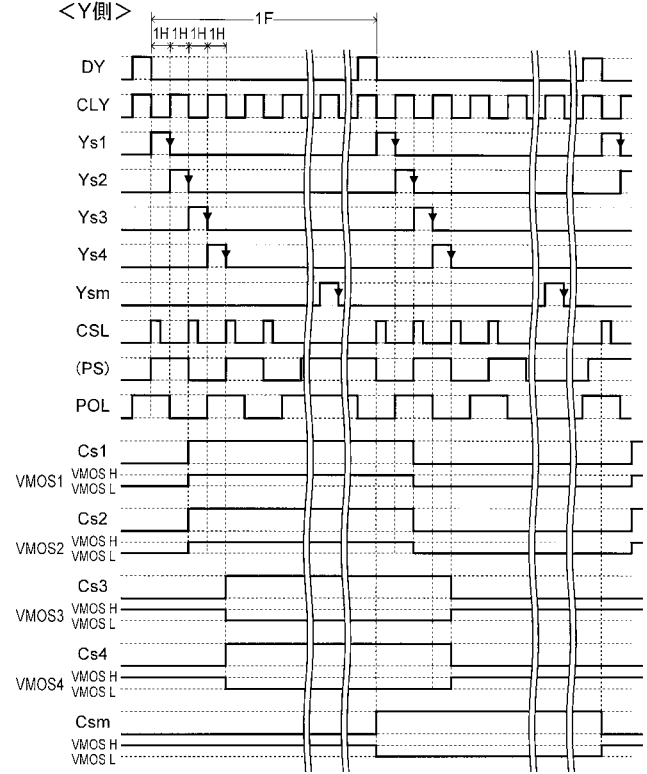
【図3】



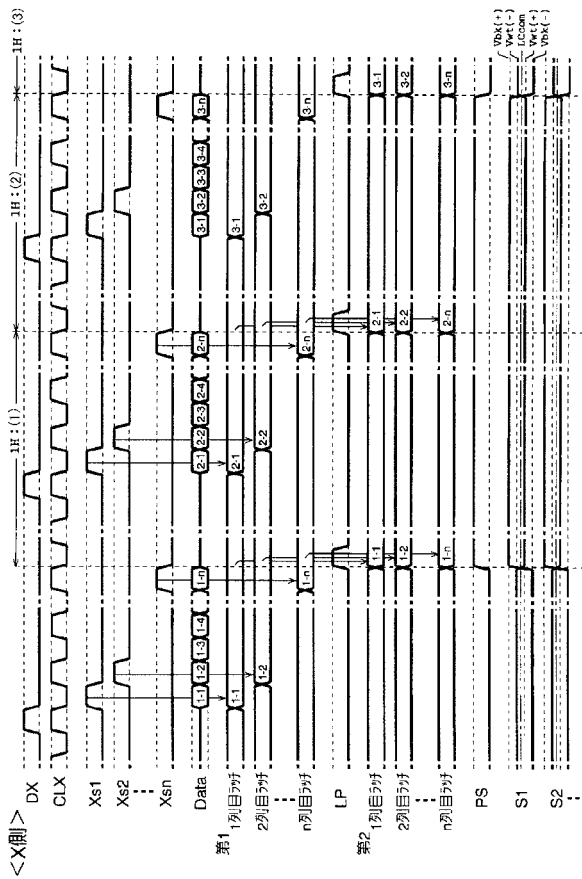
【 図 4 】



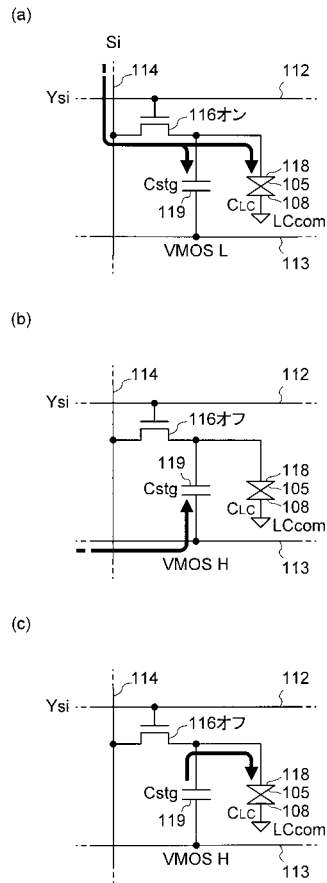
【 図 5 】



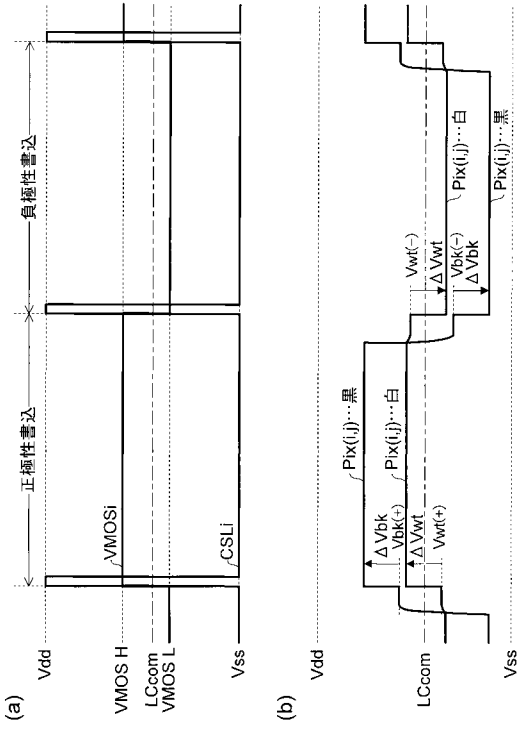
【 図 6 】



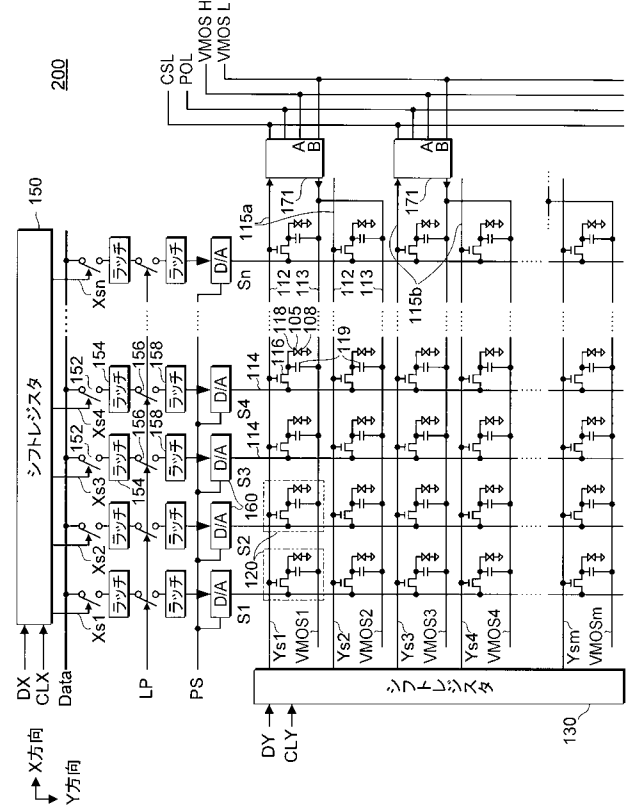
【 図 7 】



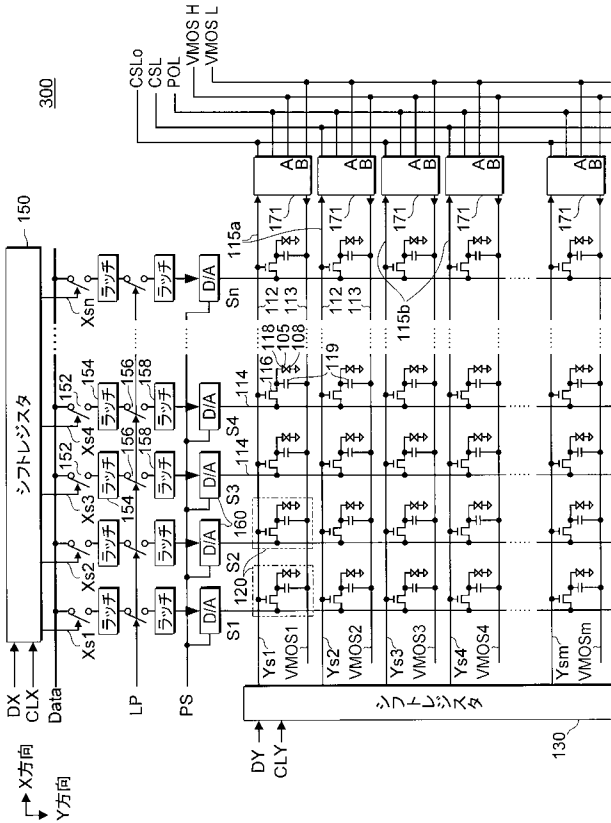
【 図 8 】



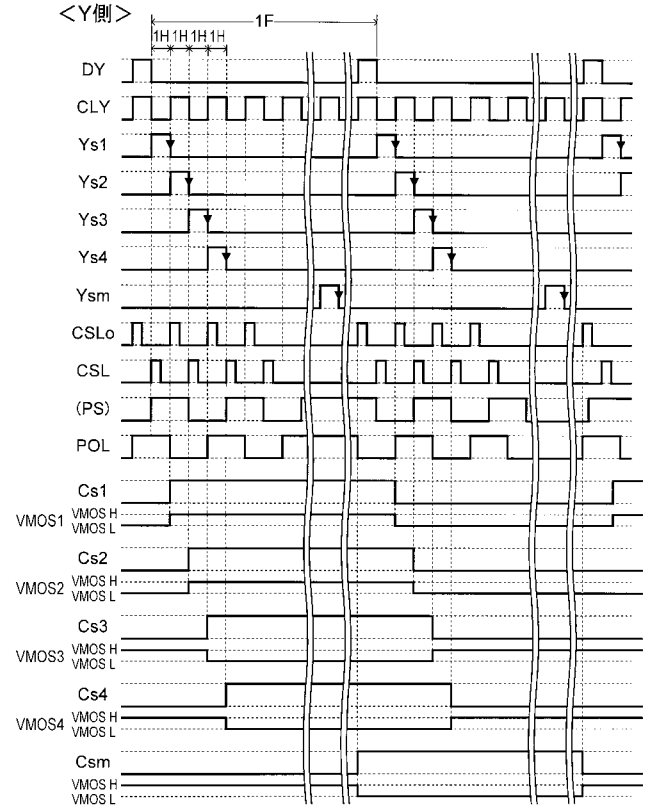
【 図 9 】



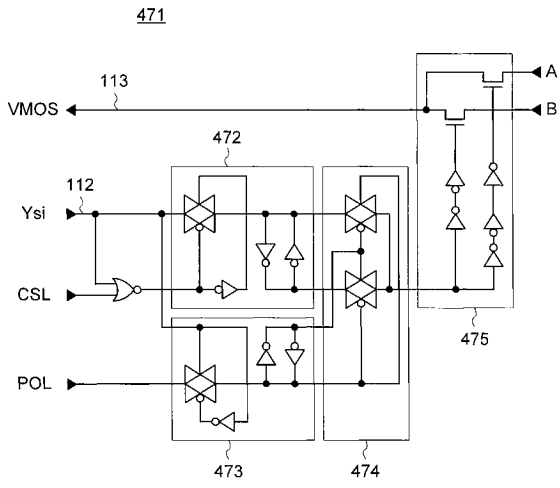
【 図 10 】



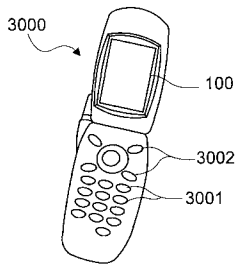
【 図 11 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 3 B
G 0 9 G 3/20 6 8 0 S
G 0 9 G 3/20 6 1 1 A

F ターム(参考) 5C006 AC21 AC26 AC27 AC28 AF41 AF42 BB16 BC06 BC11 BF03
BF04 BF37 FA47
5C080 AA10 BB05 DD26 FF11 JJ02 JJ03 JJ04 JJ06 KK07

