

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-53555  
(P2006-53555A)

(43) 公開日 平成18年2月23日(2006.2.23)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09F 9/00 (2006.01)</b>	G09F 9/00 352	2H088
<b>G02F 1/13 (2006.01)</b>	G02F 1/13 101	2H092
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	5C094
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 338	5G435

審査請求 未請求 請求項の数 20 O L (全 18 頁)

(21) 出願番号 特願2005-223560 (P2005-223560)  
 (22) 出願日 平成17年8月2日(2005.8.2)  
 (31) 優先権主張番号 10-2004-0064052  
 (32) 優先日 平成16年8月13日(2004.8.13)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si  
 Gyeonggi-do, Republic of Korea  
 (74) 代理人 100094145  
 弁理士 小野 由己男  
 (74) 代理人 100106367  
 弁理士 稲積 朋子

最終頁に続く

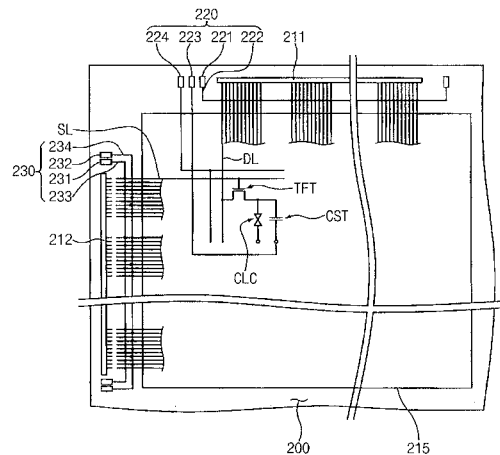
(54) 【発明の名称】 アレイ基板、これを有する母基板、及び液晶表示装置

(57) 【要約】

【課題】 検査及び駆動を容易にするためのアレイ基板、これを有する母基板、及び液晶表示装置が開示される。

【解決手段】 複数のデータライン、複数のスキャンラインが形成される。画素電極は、データラインとスキャンラインによって定義される領域に形成され、シールド共通電極は、画素電極の外郭を取り囲むように形成される。データパッド部は、データラインに検査用データ電圧を印加する。シールド共通電圧パッド部は、シールド共通電極にデータ電圧と異なるシールド共通電圧を印加する。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

複数のデータラインと、  
複数のスキャンラインと、  
前記データラインとスキャンラインによって定義される領域に形成された画素電極と、  
前記画素電極の外郭を取り囲むシールド共通電極と、  
前記データラインに検査用データ電圧を印加するデータ検査部と、  
前記シールド共通電極に前記検査用データ電圧と異なる検査用前記シールド共通電極を  
印加するシールド共通電極パッド部と、を含むアレイ基板。

## 【請求項 2】

前記シールド共通電極は、前記データラインとスキャンラインに対応する領域に形成され  
マトリックス形状を定義することを特徴とする請求項 1 記載のアレイ基板。

## 【請求項 3】

前記シールド共通電極は、前記データラインに対応する領域に形成されることを特徴と  
する請求項 1 記載のアレイ基板。

## 【請求項 4】

前記データ検査部は、複数の検査用データ電圧を印加する複数のパッド、及び前記パッ  
ドのそれぞれに連結された配線を有することを特徴とする請求項 1 記載のアレイ基板。

## 【請求項 5】

前記画素電極に対向する対向電極に検査用共通電圧を印加する共通電極パッド部を更に  
含むことを特徴とする請求項 1 記載のアレイ基板。

## 【請求項 6】

前記複数のスキャンラインに検査用スキャン電圧を印加するスキャン検査部を更に含み  
、  
前記スキャン検査部は、複数の検査用スキャン電圧を印加する複数のパッド、及び前記  
パッドのそれぞれに連結された配線を有することを特徴とする請求項 1 記載のアレイ基板  
。

## 【請求項 7】

互いに隣接するデータラインとスキャンラインによって定義される領域に形成された画  
素電極、及び前記画素電極の外郭を取り囲むシールド共通電極を有するアレイ基板と、  
前記データラインに検査用データ電圧を印加するデータ検査部と、  
前記シールド共通電極に前記データ電圧と異なる検査用シールド共通電圧を印加するシ  
ールド共通電極パッド部と、を含むアレイ基板用母基板。

## 【請求項 8】

前記データ検査部は、複数の検査用データ電圧を印加する複数のパッド、及び前記パッ  
ドのそれぞれに連結された配線を有することを特徴とする請求項 7 記載のアレイ基板用母  
基板。

## 【請求項 9】

前記スキャンラインに検査用スキャン電圧を印加するスキャン検査部を更に含み、  
前記スキャン検査部は、複数の検査用スキャン電圧を印加する複数のパッド、及び前記  
パッドのそれぞれに連結された配線を有することを特徴とする請求項 7 記載のアレイ基板  
用母基板。

## 【請求項 10】

前記画素電極は表示領域に形成され、  
前記データ検査部は、前記表示領域を取り囲む周辺領域のうち、一部に形成され、前記  
シールド共通電極パッド部は、前記周辺領域のうち、他の一部に形成されることを特徴と  
する請求項 7 記載のアレイ基板用母基板。

## 【請求項 11】

前記データラインとスキャンラインに連結されるストレージキャパシタを含み、  
前記ストレージキャパシタの共通電極に検査用ストレージ共通電圧を印加するストレー

10

20

30

40

50

ジ共通電極パッド部を更に含むことを特徴とする請求項 7 記載のアレイ基板用母基板。

【請求項 1 2】

前記画素電極は、所定の方向に延長された開口パターンを有することを特徴とする請求項 7 記載のアレイ基板用母基板。

【請求項 1 3】

前記開口パターンは、前記スキャンラインが形成された方向と平行な中心軸を基準として対称形状を有することを特徴とする請求項 1 2 記載のアレイ基板用母基板。

【請求項 1 4】

スイッチング素子、液晶キャパシタ、ストレージキャパシタ、画素電極、及び前記画素電極の外郭を取り囲むシールド共通電極を有して、画像を表示する表示パネルと、

前記画像表示のための駆動信号を前記表示パネルに出力する駆動部と、

前記液晶キャパシタに共通電圧を印加して、前記シールド共通電極にシールド共通電圧を印加する駆動電圧発生部と、を含む液晶表示装置。

【請求項 1 5】

前記駆動電圧発生部は、前記ストレージキャパシタにストレージ共通電圧を更に印加することを特徴とする請求項 1 4 記載の液晶表示装置。

【請求項 1 6】

前記駆動部は、

前記スイッチング素子の制御電極にスキャン電圧を印加するスキャン駆動部と、

前記スイッチング素子の電流電極にデータ電圧を印加するデータ駆動部と、を含むことを特徴とする請求項 1 4 記載の液晶表示装置。

【請求項 1 7】

前記シールド共通電圧は、前記共通電圧と実質的に同じ信号であり、

前記シールド共通電圧及び前記共通電圧は、それぞれ独立的に印加されることを特徴とする請求項 1 4 記載の液晶表示装置。

【請求項 1 8】

前記駆動部は複数の駆動チップを有し、前記表示パネルは、前記複数の駆動チップと電気的に接触される接触パッド、及び前記駆動チップと電気的に接触されないダミーパッドを有することを特徴とする請求項 1 4 記載の液晶表示装置。

【請求項 1 9】

前記シールド共通電圧は、前記ダミーパッドを通じて前記シールド共通電極に印加されることを特徴とする請求項 1 8 記載の液晶表示装置。

【請求項 2 0】

前記シールド共通電圧は、複数の前記ダミーパッドを通じて前記シールド共通電極に印加されることを特徴とする請求項 1 8 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、より詳細には、検査及び駆動を容易にするためのアレイ基板、これを有する母基板、及び液晶表示装置に関する。

【背景技術】

【0002】

一般に、液晶表示パネルは、アレイ基板、前記アレイ基板と向かい合う上部基板、及び前記アレイ基板と前記上部基板との間に介在された液晶層で構成される。前記アレイ基板は、画素領域、及びデータ信号とスキャン信号が印加される信号印加領域を有する。

前記画素領域は、第 1 方向に延長されたデータライン、第 2 方向に延長され前記データラインと直交するスキャンライン、及び前記スキャンラインとデータラインに連結される画素電極を含み、前記信号印加領域は、データ信号を印加する駆動チップが実装される第 1 駆動チップパッド、及び前記スキャンラインにスキャン信号を印加する駆動チップが実装される第 2 駆動チップパッドを含む。

10

20

30

40

50

## 【0003】

以上のように、母基板に多数のアレイ基板が形成されると、アレイ基板上の配線に対する電氣的な動作状態を検査するアレイ検査工程を行う。その後、液晶注入工程を行った後、表示パネルの電氣的及び光學的な動作状態を検査するための目視検査 (Visual Inspection; 以下、V/I) 工程を行う。前記アレイ検査方式及び目視検査方式は、所定個の単位でデータライン及びスキャンラインをそれぞれグループ化して (例えば、2G2D: 2 Gate line 2 Data line、2G3D: 2 Gate line 3 Data line等)、テスト信号を印加して検査を行う。

## 【発明の開示】

## 【発明が解決しようとする課題】

10

## 【0004】

本発明の第1目的は、検査を容易にするためのアレイ基板を提供することにある。

前記本発明の第2目的は、検査を容易にするためのアレイ基板用母基板を提供することにある。

前記本発明の第3目的は、表示駆動が容易な前記アレイ基板を有する液晶表示装置を提供することにある。

## 【課題を解決するための手段】

## 【0005】

前記した本願第1発明のアレイ基板は、データ検査部、及びシールド共通電極パッド部を含む。複数のデータライン、複数のスキャンライン、前記データラインとスキャンラインによって定義される領域に形成される画素電極、及び前記画素電極の外郭を取り囲むシールド共通電極を含む。前記データ検査部は、前記データラインに検査用データ電圧を印加して、前記シールド共通電極パッド部は、前記シールド共通電極に前記検査用データ電圧と異なる検査用前記シールド共通電圧を印加する。

20

## 【0006】

本発明によると、画素電極にデータラインから流入されるデータ電圧を遮断させるシールド共通電極が形成されたアレイ基板において、前記シールド共通電極に前記データラインに印加される電圧と異なるレベルの電圧を印加して、前記アレイ基板のアレイ検査方式を1D方式で容易に行うことができる。又、前記シールド共通電極が形成されたアレイ基板をV/I検査工程時、前記シールド共通電極のデータラインに印加されるデータ電圧と異なるレベルの電圧を印加する方式でV/I検査工程を行うことができる。

30

## 【0007】

例えば、埃等の異物によって前記シールド共通電極と画素電極との間に短絡が発生する場合がある。又、異物によって隣接した画素電極間に短絡が発生する場合がある。ここで、画素電極から検出される電圧が、前記データラインに印加されたデータ電圧Dに対応する一定の電圧ではないことを検出することで、その短絡が発生している不良画素を検出することができる。特に、各画素にレッド、グリーン、ブルーの各色に対応するデータ電圧を印加して、その対応する色が出来されない画素を発見することで容易にV/I検査を行うことができる。

## 【0008】

40

本願第2発明は、第1発明において、前記シールド共通電極は、前記データラインとスキャンラインに対応する領域に形成されマトリックス形状を定義することを特徴とするアレイ基板を提供する。

シールド共通電極は、データラインをカバーするように形成されることによって、データラインとシールド共通電極との間にキャパシタが発生する。これによって、シールド共通電圧を共通電圧に対して独立的に印加することによって、データ電圧が共通電圧を中心に偏側される画面状態の場合、シールド共通電圧がデータ電圧の電位によって歪曲されることを防止することができる。又、シールド共通電圧の電位が共通電圧によって歪曲されることも防止することができる。

## 【0009】

50

本願第3発明は、第1発明において、前記シールド共通電極は、前記データラインに対応する領域に形成されることを特徴とするアレイ基板を提供する。

本願第4発明は、第1発明において、前記データ検査部は、複数の検査用データ電圧を印加する複数のパッド、及び前記パッドのそれぞれに連結された配線を有することを特徴とするアレイ基板を提供する。

【0010】

本願第5発明は、第1発明において、前記画素電極に対向する対向電極に検査用共通電圧を印加する共通電極パッド部を更に含むことを特徴とするアレイ基板を提供する。

共通電極がカラーフィルター基板に形成されている場合、共通電極とアレイ基板のシールド共通電極には、同じレベルの電圧、例えば、基準電圧0Vが印加される。これによって、カラーフィルター基板の共通電極とアレイ基板のシールド共通電極との間の液晶層はブラックモードとして動作する。従って、シールド共通電極が形成された画素P1と画素P2との間の液晶層は、ブラックを維持して、漏洩光を遮断する。

10

【0011】

本願第6発明は、第1発明において、前記複数のスキャンラインに検査用スキャン電圧を印加するスキャン検査部を更に含み、前記スキャン検査部は、複数の検査用スキャン電圧を印加する複数のパッド、及び前記パッドのそれぞれに連結された配線を有することを特徴とするアレイ基板を提供する。

前記した本願第2発明のアレイ基板用母基板は、アレイ基板、データ検査部、及びシールド共通電極パッド部を含む。前記アレイ基板は、互いに隣接するデータラインとスキャンラインによって定義される領域に形成された画素電極、及び前記画素電極の外郭を取り囲むシールド共通電極を含む。前記データ検査部は、前記データラインに検査用データ電圧を印加する。前記シールド共通電極パッド部は、前記シールド共通電極に前記データ電圧と異なる検査用シールド共通電圧を印加する。

20

【0012】

本願第8発明は、第7発明において、前記データ検査部は、複数の検査用データ電圧を印加する複数のパッド、及び前記パッドのそれぞれに連結された配線を有することを特徴とするアレイ基板用母基板を提供する。

本願第9発明は、第7発明において、前記スキャンラインに検査用スキャン電圧を印加するスキャン検査部を更に含み、前記スキャン検査部は、複数の検査用スキャン電圧を印加する複数のパッド、及び前記パッドのそれぞれに連結された配線を有することを特徴とするアレイ基板用母基板を提供する。

30

【0013】

本願第10発明は、第7発明において、前記画素電極は表示領域に形成され、前記データ検査部は、前記表示領域を取り囲む周辺領域のうち、一部に形成され、前記シールド共通電極パッド部は、前記周辺領域のうち、他の一部に形成されることを特徴とするアレイ基板用母基板を提供する。

本願第11発明は、第7発明において、前記データラインとスキャンラインに連結されるストレージキャパシタを含み、前記ストレージキャパシタの共通電極に検査用ストレージ共通電圧を印加するストレージ共通電極パッド部を更に含むことを特徴とするアレイ基板用母基板を提供する。

40

【0014】

本願第12発明は、第7発明において、前記画素電極は、所定の方向に延長された開口パターンを有することを特徴とするアレイ基板用母基板を提供する。

開口パターンを形成し、この切開パターンによって形成されるフリンジフィールド(fringe field)を利用して、液晶分子が横になる方向を調節して視野角を広くすることができる。

【0015】

本願第13発明は、第12発明において、前記開口パターンは、前記スキャンラインが形成された方向と平行な中心軸を基準として対称形状を有することを特徴とするアレイ基

50

板用母基板を提供する。

前記した本願第 14 発明の液晶表示装置は、表示パネル、駆動部、及び駆動電圧発生部を含む。前記表示パネルは、スイッチング素子、液晶キャパシタ、ストレージキャパシタ、及び画素電極の外郭を取り囲むように形成されたシールド共通電極を有し、画像を表示する。前記駆動部は、前記画像表示のための駆動信号を前記表示パネルを出力する。前記駆動電圧発生部は、前記液晶キャパシタに共通電圧を印加して、前記シールド共通電極にシールド共通電圧を印加する。

【0016】

本願第 15 発明は、第 14 発明において、前記駆動電圧発生部は、前記ストレージキャパシタにストレージ共通電圧を更に印加することを特徴とする液晶表示装置を提供する。 10

本願第 16 発明は、第 14 発明において、前記駆動部は、前記スイッチング素子の制御電極にスキャン電圧を印加するスキャン駆動部と、前記スイッチング素子の電流電極にデータ電圧を印加するデータ駆動部と、を含むことを特徴とする液晶表示装置を提供する。

【0017】

本願第 17 発明は、第 14 発明において、前記シールド共通電圧は、前記共通電圧と実質的に同じ信号であり、前記シールド共通電圧及び前記共通電圧は、それぞれ独立的に印加されることを特徴とする液晶表示装置を提供する。

前記シールド共通電圧をストレージ共通電圧及び共通電圧と独立的に印加することによって、他の共通電圧によって前記シールド共通電圧の電位が変動されることを防止することができる。従って、歪曲されないシールド共通電圧がシールド共通電極に印加されること 20  
によって、データ電圧の遮蔽機能及び画素間のブラック維持機能等をより効果的に行うことができる。

【0018】

本願第 18 発明は、第 14 発明において、前記駆動部は複数の駆動チップを有し、前記表示パネルは、前記複数の駆動チップと電氣的に接触される接触パッド、及び前記駆動チップと電氣的に接触されないダミーパッドを有することを特徴とする液晶表示装置を提供する。

本願第 19 発明は、第 18 発明において、前記シールド共通電圧は、前記ダミーパッドを通じて前記シールド共通電極に印加されることを特徴とする液晶表示装置を提供する。

【0019】

前記液晶表示パネルの周辺領域に形成された駆動チップパッドのダミーパッドを通じて前記シールド共通電圧を複数で印加することによって、抵抗を減少させることができる。また、シールド共通電圧をダミーパッドから印加することで、シールド共通電圧を印加するための専用のパッドを余分に設ける必要がない。 30

本願第 20 発明は、第 18 発明において、前記シールド共通電圧は、複数の前記ダミーパッドを通じて前記シールド共通電極に印加されることを特徴とする液晶表示装置を提供する。

【0020】

ダミーパッドは通常、複数配置されており、これらの複数のダミーパッドを通じてシールド共通電圧を複数で印加した場合、シールド共通電圧の印加抵抗を減少させることができる。 40

前記データ駆動部は複数の駆動チップを有し、前記表示パネルは、前記複数の駆動チップと連結される接触パッド、及び前記接触パッド以外のダミーパッドを有する。前記シールド共通電圧は、前記ダミーパッドを通じて前記表示パネル内の前記シールド共通電極に印加される。

【発明の効果】

【0021】

本発明によれば、検査を容易にするための技術を提供することができる。

【発明を実施するための最良の形態】

【0022】

以下、添付図面を参照して、本発明をより詳細に説明する。

図1は、本発明の実施例によるアレイ基板の部分平面図であり、図2は、図1の画素構造を説明するための斜視図である。

図1及び図2を参照すると、アレイ基板100は、n個のデータラインDLと、m個のスクリーンラインSLを有し、前記n個のデータラインとm個のスクリーンラインによって定義されるn×m個の画素Pを有する。前記画素P1は、スイッチング素子110、ストレージキャパシタ130、及び画素部150を有する。

#### 【0023】

スイッチング素子110は、第1方向に延長されたスクリーンラインSLと連結される制御電極（以下、「ゲート電極」という）111、前記第1方向に垂直な第2方向に延長されたデータラインDLと連結される第1電流電極（以下、「ソース電極」という）113、及び画素電極152と連結される第2電流電極（以下、「ドレイン電極」という）115を有する。前記ゲート電極111と、ソース及びドレイン電極113、115の間には、半導体層112が介在される。

10

#### 【0024】

ストレージキャパシタ130は、データラインDLと連結される第1電極132、及びスクリーンラインSLと連結される第2電極（以下、「ストレージ共通電極」という）134を有する。

画素部150は、画素電極152とシールド共通電極154を有する。画素電極152は、液晶キャパシタCLCの第1電極であり、一部領域が除去された第1開口パターンを有する。前記第1開口パターンは、単位画素領域内でスクリーンラインSLに平行な中心軸を基準としてほぼ鏡対称されるように45°の角度を有して開口された形状を有する。

20

#### 【0025】

一方、前記アレイ基板と対向するカラーフィルター基板には、液晶キャパシタの第2電極である共通電極が形成され、前記共通電極は、一部領域が除去された第2開口パターンを有する。前記第2開口パターンは、前記単位画素領域内で前記中心軸を基準としてほぼ鏡対称されるように45°の角度で開口された形状であり、前記第2開口パターンは平面上で観察する時、前記第1開口パターンとは重ならないように形成される。即ち、前記アレイ基板は、PVA (Patterned Vertically Aligned) モードの液晶表示装置に適用される。

30

#### 【0026】

シールド共通電極154は画素電極152と同一層で形成され、画素電極152を取り囲むマトリクス形状を有する。シールド共通電極154は、前記画素電極152に前記データラインDLから流入される電圧を遮断する。又、隣接した画素間のブラック領域を維持して、漏洩光を遮断する。

前記スイッチング素子110と画素部150の間には、有機絶縁膜140が形成される。勿論、前記有機絶縁膜140は形成されないこともできる。

#### 【0027】

図3は、図1のアレイ基板を含む液晶表示パネルに対する断面図であって、図1のI-I'に沿って前記液晶表示パネルを切断した断面図である。

40

図2及び図3を参照すると、液晶表示パネルは、アレイ基板100、液晶層500、及びカラーフィルター基板600を含む。

アレイ基板100は、互いに隣接する第1画素P1、第2画素P2、及び第1及び第2画素P1、P2の間にデータラインDLが形成される。前記第1及び第2画素P1、P2それぞれは、スイッチング素子(TFT)150及びストレージキャパシタ130を有する。具体的に、透明基板101上にアルミニウム(Al)又は銅(Cu)等のゲート金属層を形成して、スイッチング素子(TFT)110のゲート電極111と、スクリーンラインSL及びストレージキャパシタ130のストレージ共通電極134を形成する。

#### 【0028】

以後、透明基板101上に形成されたゲート金属層をカバーするように、ゲート絶縁層

50

(図示せず)を形成する。ゲート絶縁層(図示せず)は、窒化シリコン又は酸化シリコンのような絶縁物質で形成する。スイッチング素子(TFT)110のゲート絶縁層(図示せず)上に活性層及び抵抗性接触層を含む半導体層112を形成する。

ソース及びドレイン金属層でスイッチング素子150のソース電極113及びドレイン電極115と、データラインDL及びストレージキャパシタ130の第1電極132を形成する。ソース及びドレイン金属層上にパシベーション層102及び絶縁層104を順次形成する。勿論、前記絶縁層104を形成しないこともできる。

#### 【0029】

前記絶縁層104は、窒化シリコン又は酸化シリコン等の無機絶縁物質を有するか、アクリル系有機化合物、テフロン(登録商標)、BCB(benzocyclobutene)、サイトプ(cytop)、又はPFCB(perfluorocyclobutane)等の低誘電定数を有する有機絶縁物質を有する。以後、パシベーション層102及び絶縁層104にコンタクトホール160を形成して、スイッチング素子110のドレイン電極115を露出させる。

10

#### 【0030】

前記コンタクトホール160によって露出されたドレイン電極115は、絶縁層104上に形成される透明な伝導性物質である透明電極層150と連結する。前記透明電極層150は、パターンニングして画素電極152とシールド共通電極154を形成する。前記透明な伝導性物質であるインジウムティンオキサイド(ITO)、インジウムジnkオキサイド(IZO)、又はインジウムティンジnkオキไซด์を蒸着してパターンニングする。

20

#### 【0031】

シールド共通電極154は、画素電極152の外郭を取り囲むように形成して、画素電極152の左右側に形成されたデータラインDLの幅より広く形成する。このように形成されたシールド共通電極154は、マトリクス形状と同じ形状でアレイ基板に形成された複数の画素全体に形成される共通電極である。

カラーフィルター基板600は、透明基板601、ブラックマトリクス610、カラーフィルター層620、平坦化層630、及び共通電極層640を含み、前記アレイ基板100との合体を通じて、前記液晶層500を収容する。具体的に、前記ブラックマトリクス層610は透明基板601に形成され、それぞれの画素を定義しながら、画素間の光漏洩を遮断する。前記ブラックマトリクス層610は、データラインDLに対応して形成されることもでき、スキャンラインSLに対応して形成されることもでき、データラインDL及びスキャンラインSLにそれぞれ対応して形成されることもできる。

30

#### 【0032】

前記カラーフィルター層621、622は、R(red)、G(Green)、B(Blue)カラーフィルター層を含み、ブラックマトリクス層610で定義される画素P1、P2に対応して形成される。例えば、図示されたように、第1画素P1にはRカラーフィルター層621が形成され、第2画素P2にはGカラーフィルター層622が形成される。

#### 【0033】

平坦化層630は、前記カラーフィルター層620の上部に形成され、カラーフィルター層620の段差を除去する。共通電極層640は、前記平坦化層630の上部に形成され、外部から供給される一定レベルの電圧を液晶層500に供給する。即ち、共通電極層640は、液晶キャパシタCLCの共通電極になる。

40

例えば、前記液晶層500は、ノーマリブラックモードである。第1画素P1及び第2画素P2を定義するそれぞれのデータラインDLから印加される電圧によって、前記画素電極152とカラーフィルター基板600の共通電極640との間の電界の強度が変化する。この変化によって、液晶層の配列角が変化され画像を表示する。一方、カラーフィルター基板600の共通電極640とアレイ基板100のシールド共通電極154には、同じレベルの電圧、例えば、基準電圧0Vが印加され、これによって、カラーフィルター基板600の共通電極640とアレイ基板100のシールド共通電極154との間の液晶層

50

はブラックモードとして動作する。従って、シールド共通電極 154 が形成された画素 P1 と画素 P2 との間の液晶層は、ブラックを維持して、漏洩光を遮断する。

【0034】

図4は、図1に図示されたアレイ基板に対するアレイ検査部を有する母基板の概略的な平面図である。

図4を参照すると、母基板200は、第1及び第2静電気分散ライン (Shorting Bar) 211、212、切断線215、及び第1及び第2アレイ検査部220、230を含む。

【0035】

第1静電気分散ライン211は、第1方向に形成された複数のデータラインDLの最外郭に第2方向に形成された単一配線であって、外部の静電気が複数のデータラインに直接的に流入されることを遮断する。

第2静電気分散ライン212は、前記第2方向に形成された複数のスキャンラインSLの最外郭に第1方向に形成された単一配線であって、外部の静電気が複数のスキャンラインに直接的に流入されることを遮断する。

【0036】

切断線215は、母基板200上に多数の表示セルを定義する。前記表示セルはアレイ基板であって、前記データラインDLと、前記スキャンラインSLと、前記データラインとスキャンラインに連結されるスイッチング素子TF Tと、スイッチング素子TF Tに連結されるストレージキャパシタCST及び液晶キャパシタCLCの第1電極を含む。

第1アレイ検査部220は、データアレイパッド221、データアレイ配線222、ストレージ共通電極パッド223、及びシールド共通電極パッド224を含む。

【0037】

データアレイパッド221は、1D方式で複数のデータラインDLに一つのテスト信号を共通的に印加する。データアレイ配線222は、複数のデータラインDLを一つの配線で連結して、前記テスト信号を複数のデータラインDLに供給する。勿論、データアレイ検査方式で、2D、3D、...等の多様な方式でデータラインをグループ化して検査することもできる。

【0038】

ストレージ共通電極パッド223は、表示セル内の複数のストレージキャパシタCSTの共通電極にストレージ共通電圧VSTを印加する。

シールド共通電極パッド224は、表示セル内に形成された画素電極 (図示せず) の外郭を取り囲むように形成されたマトリクス形状のシールド共通電極にシールド共通電圧VSCOMを印加する。ここで、データ検査配線222は、1D方式が適用されることによって、第1静電気遮断ライン211を利用して、テスト信号を印加することもでき、前記シールド共通電極パッド224は、複数個が形成されることもできる。

【0039】

第2アレイ検査部230は、スキャンアレイパッド231、232、及びスキャンアレイ配線233、234を含む。スキャンアレイパッド231、232は、2G方式によって奇数番目スキャンラインに第1テスト信号を印加する第1スキャンアレイパッド231と偶数番目スキャンラインに第2テスト信号を印加する第2スキャンアレイパッド232を含む。スキャンアレイ配線233、234も、奇数番目スキャンラインと連結される第1スキャンアレイ配線233と偶数番目スキャンラインと連結される第2スキャンアレイ配線234を含む。ここでは、前記ストレージ共通電極パッド223及びシールド共通電極パッド224を第1アレイ検査部220に含まれたが、前記第2アレイ検査部230、即ち、スキャンラインに対するアレイ検査用パッド及び配線が形成された領域に設けることもできる。

【0040】

勿論、第2静電気分散ライン212に対して、前記2G方式のアレイ検査を容易にするために、スキャン検査配線233、234と、第2静電気分散ライン212の間のスキャ

10

20

30

40

50

ンライン S L をオープンさせる。

図 5 は、図 4 のアレイ検査部を通じて表示セルのアレイ検査工程を説明するための概念図である。前記アレイ検査工程は、前記母基板に形成されたアレイ検査部を通じてそれぞれのテスト信号を表示セルに印加して、前記表示セルの電気的な動作状態を検査する工程である。

【 0 0 4 1 】

図 5 を参照すると、データアレイパッド 2 2 1 にはデータ電圧 D を印加して、シールド共通電極パッド 2 2 4 には前記データ電圧 D と異なるレベルを有するシールド共通電圧 V S C O M を印加する。又、図示されていないが、前記シールド共通電極パッド 2 2 4 と電氣的に分離されたストレージ共通電極パッドには、ストレージ共通電圧 V S T を印加する

10

【 0 0 4 2 】

一方、奇数番目スキャンラインが連結された第 1 スキャンアレイパッド 2 3 1 には、第 1 スキャン信号 S 0 を印加して、偶数番目スキャンラインが連結された第 2 スキャンアレイパッド 2 3 2 には第 2 スキャン信号 S E を印加する。

図示されたように、データ検査パッド 2 2 1 には、例えば、基準電圧に対して正極性 ( + ) を有するデータ電圧 D が印加される。1 D 方式によって、前記データ電圧 D は、全てのデータライン D L に印加される。一方、シールド共通電極パッド 2 2 4 には、前記データ電圧 D と異なるレベルを有する、例えば、基準電圧 0 V を印加する。

【 0 0 4 3 】

これによって、母基板 2 0 0 上に形成された複数の画素電極のうち、前記データ電圧 D に対応する一定の電圧が出力されない画素電極 P を不良画素 P E 1 として検出する。

20

前記シールド共通電極は、画素電極 P と同じ層に形成され、前記画素電極と離隔距離がほぼ 5 ~ 1 0 μ m 程度で形成されることによって、埃等の異物によって前記シールド共通電極と画素電極との間に短絡が発生する。又、異物によって隣接した画素電極間に短絡が発生する。

【 0 0 4 4 】

このような画素電極とシールド共通電極との間の短絡及び隣接した画素電極間の短絡の検出方式は、画素電極から検出される電圧が、前記データラインに印加されたデータ電圧 D に対応する一定の電圧が出力されないことを検出することによって、不良画素 P E 1 を

30

【 0 0 4 5 】

従って、シールド共通電極に、データラインに印加されるデータ信号 D と異なるレベルのシールド共通電圧 V S C O M を印加することによって、1 D 方式でもアレイ検査を容易に行うことができる。以上では、1 D 方式でアレイ検査を行うことを例として説明したが、2 D、3 D、. . . 等の多様な方式でアレイ検査を行うことができるのは自明である。

図 6 は、図 1 のアレイ基板を有する V / I 検査のための液晶表示パネルに対する平面図

40

【 0 0 4 6 】

図 6 を参照すると、液晶表示パネル 3 0 0 は、アレイ基板 3 1 0、カラーフィルター基板 3 5 0、及び前記アレイ基板 3 1 0 とカラーフィルター基板 3 5 0 との間に介在された液晶層 ( 図示せず ) を含む。

アレイ基板 3 1 0 は一つの表示セルであって、画素領域、第 1 駆動チップパッド 3 2 1、第 2 駆動チップパッド 3 2 2、第 1 V / I 検査部、及び第 2 V / I 検査部を含む。画素領域には、第 1 方向に形成された複数のデータライン D L、第 2 方向に形成された複数のスキャンライン S L、前記データラインとスキャンラインに連結されるスイッチング素子 T F T、前記スイッチング素子 T F T に連結される液晶キャパシタ C L C の第 1 電極 ( 又

50

は、画素電極)、及びストレージキャパシタCSTが含まれる。

【0047】

第1駆動チップパッド321は、データ駆動チップのバンクと接触する接触端子であって、所定単位でグルーピングされたデータラインの集合である。第2駆動チップパッド322は、スキャン駆動チップのバンクと接触する接触端子であって、所定単位でグルーピングされたスキャンラインの集合である。

第1V/I検査部は、データV/Iパッド331、データV/I配線332、ストレージ共通電極パッド333、及びシールド共通電極パッド334を含む。具体的に、データV/Iパッド331及びデータV/I配線332は、3D方式に対応して、 $3n-2$ 、 $3n-1$ 、 $3n$ (ここで、 $n=1, 2, 3, \dots$ 自然数)番目データライン別にグルーピングした3個のパッド及び3個の配線を有する。勿論、2D方式で2個のパッド及び2個の配線でデータV/I検査を行うこともできる。ストレージ共通電極パッド343は、表示セル内の複数のストレージキャパシタの共通電極にストレージ共通電圧VSTを印加する。シールド共通電極パッド334は、前記画素電極の外郭を取り囲むように形成されたマトリクス形状のシールド共通電極にシールド共通電圧VSCOMを印加する。前記シールド共通電極パッド344は、複数個形成されることもできる。

【0048】

第2V/I検査部は、スキャンV/Iパッド341、及びスキャンV/I配線342を含む。スキャンV/Iパッド341及びスキャンV/I配線342は、2G方式によって、 $2n-1$ 、 $2n$ (ここで、 $n=1, 2, 3, \dots$ である自然数)番目スキャンライン別にグルーピングした2個のパッド及び2個の配線を有する。

図7は、図6のV/I検査部によるV/I検査工程を説明するための概念図である。前記V/I検査工程は、液晶工程以後、アレイ基板上に形成された前記V/I検査部を通じてそれぞれのテスト信号を前記液晶表示パネルに印加して、前記液晶表示パネルに表示される色相又は輝度等を検査者の目を通じて検査する工程である。即ち、液晶が注入された表示パネルの電氣的及び光学的動作状態を検査する工程である。

【0049】

図7を参照すると、データV/Iパッド331R、331G、331Bには、第1データ電圧DR、第2データ電圧DG、及び第3データ電圧DBをそれぞれ印加する。シールド共通電極パッド334には、前記第1乃至第3データ電圧と異なるレベルを有するシールド共通電圧VSCOMを印加する。

又、図示されていないが、ストレージキャパシタCSTの共通電極と連結されるストレージ共通電極パッドには、ストレージ共通電圧VSTを印加して、カラーフィルター基板に形成された液晶キャパシタCLCの共通電極と連結される共通電極パッドには、共通電圧VCOMを印加する。前記シールド共通電極パッドとストレージ共通電極パッド及び共通電極パッドにそれぞれ独立されたテスト信号を印加する。

【0050】

一方、奇数番目スキャンラインが連結された第1スキャンV/Iパッド341には、第1スキャン信号S0を印加し、偶数番目スキャンラインが連結された第2スキャンV/Iパッド342には、第2スキャン信号SEを印加する。

図示されたように、データV/Iパッド331R、331G、331Bには、基準電圧に対して所定のレベルを有する第1乃至第3データ電圧DR、DG、DBが印加される。3D方式によって、前記第1データ電圧DRは $3n-1$ 番目データラインに印加され、前記データ電圧DGは $3n-2$ 番目データラインに印加され、前記データ電圧DBは $3n$ 番目データラインに印加される。第1乃至第3データ電圧DR、DG、DBを $3n-1$ 番目、 $3n-2$ 番目、及び $3n$ 番目データラインに同時に印加してV/I検査をすることもでき、第1乃至第3データ電圧DR、DG、DBを $3n-1$ 番目、 $3n-2$ 番目、及び $3n$ 番目データラインに個別的に印加して、V/I検査をすることもできる。

【0051】

一方、シールド共通電極パッド334には、前記第1乃至第3データ電圧DR、DG、

D B と異なるレベルを有するテスト電圧が印加される。例えば、基準電圧が印加される。

例えば、 $3n - 2$  番目データラインにのみ第2データ電圧 D G を印加して V / I 検査を行った場合、 $3n - 2$  番目データラインと連結された画素電極 P には、前記第2データ電圧 D G に対応する所定のデータ電圧が印加される。従って、第2データ電圧 D G が印加された画素電極 P と基準電圧が印加されたカラーフィルター基板の共通電極間の電位差が発生して、前記電位差によって液晶層の配列角が変化され、液晶表示パネル 300 のうち、 $3n - 2$  番目データラインに連結された画素はグリーン色を表示する。

#### 【0052】

図示されたように、 $3n - 2$  番目データラインに連結された画素 P のうち、グリーン色を表示しない画素 P E 2 は、不良画素として検出される。前記不良画素 P E 2 は、隣接したシールド共通電極との短絡が発生した場合や、隣接した画素間に短絡が発生した場合である。

10

図8は、図7の液晶表示パネルを有する液晶表示装置に対する概略的なブロック図である。

#### 【0053】

図8を参照すると、液晶表示装置は、タイミング制御部410、データ駆動部420、スキャン駆動部430、駆動電圧発生部440、及び液晶表示パネル450を含む。

タイミング制御部410は、外部グラフィック機器から入力される制御信号に基づいて、データ駆動部420、スキャン駆動部430、及び駆動電圧発生部440を制御する。具体的に、タイミング制御部410は、水平開始信号 S T H、反転信号 R V S、及びロード信号 T P 等をデータ駆動部130に提供して、スキャン開始信号 S T V、クロック信号 C K、及び出力イネーブル信号 O E 等をスキャン駆動部430に提供して、クロック信号及び反転信号 R V S 等を駆動電圧発生部440に提供する。

20

#### 【0054】

タイミング制御部410は、外部から入力されるデータ信号 D A T A を信号処理して、データ駆動部420に提供する。

データ駆動部420は、タイミング制御部410から提供されたデータ信号を前記チャンネル単位で処理するための多数個のデータ駆動チップ421を有する。前記データ駆動チップ421は、タイミング制御部410から提供される制御信号に基づいて入力される前記データ信号をアナログ形態の信号に処理して、液晶表示パネル450の前記データラインに出力する。

30

#### 【0055】

スキャン駆動部430は多数個のスキャン駆動チップ431を含み、タイミング制御部410から提供される制御信号に基づいてスキャン信号を生成して、液晶表示パネル450のスキャンラインに出力する。

駆動電圧発生部440は、外部から印加される電源電圧 V I N からスキャン電圧 V O N、V O F F、及び共通電圧 V C O M、V S C O M、V S T を生成する。前記スキャン電圧 V O N、V O F F はスキャン駆動部430に提供して、前記共通電圧は液晶表示パネル450に提供される。

#### 【0056】

前記共通電圧は、ストレージキャパシタ C S T の共通電極に印加されるストレージ共通電圧 V S T と、カラーフィルター基板に形成された液晶キャパシタ C L C の共通電極に印加される共通電圧 V C O M、及び画素電極を取り囲むマトリックス形状のシールド共通電極 V S C O M に印加されるシールド共通電圧 V S C O M 等を含む。

40

前記シールド共通電圧 V S C O M は、前記共通電圧 V C O M と同じレベルの電圧であり、それぞれ独立的に印加する。

#### 【0057】

シールド共通電極は、データラインをカバーするように形成されることによって、データラインとシールド共通電極との間にキャパシタが発生する。これによって、前記シールド共通電圧 V S C O M を前記共通電圧 V C O M に対して独立的に印加することによって、

50

データ電圧が共通電圧  $V_{COM}$  を中心に偏側される画面状態の場合、前記シールド共通電圧  $V_{SCOM}$  がデータ電圧の電位によって歪曲されることを防止することができる。又、シールド共通電圧  $V_{SCOM}$  の電位が前記共通電圧  $V_{COM}$  によって歪曲されることも防止することができる。

【0058】

以上のように、前記シールド共通電圧  $V_{SCOM}$  と前記共通電圧  $V_{COM}$  との間の電圧が実質的に同様にすることによって、前記説明された図3に示すように、シールド共通電極と共通電極との間に介在された液晶層（ノーマリブラックモード）がブラックを維持する。従って、シールド共通電極の主な機能であるデータ電圧の遮蔽機能及び画素間のブラック維持機能等をより効果的に行うことができる。

10

【0059】

一方、前記ストレージ共通電圧  $V_{ST}$  及びシールド共通電圧  $V_{SCOM}$  は、液晶表示装置の駆動方式によって、同一であるか、又は異なる。

液晶表示パネル450は、前記図3及び図6で説明したように、アレイ基板、カラーフィルター基板、及び前記基板の間に介在された液晶層を有する。具体的に、前記アレイ基板は、表示領域及び周辺領域を有する。前記表示領域は、複数のデータライン  $D_L$  と前記データライン  $D_L$  と交差する複数のスキャンライン  $S_L$  を有し、前記データライン及びスキャンラインによって定義される複数の画素を含む。前記画素は、スイッチング素子  $TFT$ 、液晶キャパシタ  $CLC$ 、ストレージキャパシタ  $CST$ 、及び画素電極を取り囲むマトリックス形状のシールド共通電極（図示せず）を有する。

20

【0060】

前記周辺領域は、前記データライン  $D_L$  にデータ信号を印加するデータ駆動チップ421、及び前記スキャンライン  $S_L$  にスキャン信号を印加するスキャン駆動チップ431が位置する。前記データ駆動チップ421及びスキャン駆動チップ431は、アレイ基板上に形成されたパッド部に直接実装されるか、フレキシブル印刷回路基板  $FP\text{CB}$  に搭載され実装されることもできる。前記パッド部は、駆動チップ421、431と電氣的に接触される接触パッドと、電氣的に接触されないダミーパッドを含む。前記シールド共通電圧  $V_{SCOM}$  は、前記ダミーパッドを通じて液晶表示パネル450内のシールド共通電極に印加される。

【0061】

図9及び図10は、図8の液晶表示パネル上に形成されたパッド部を説明するための部分拡大図である。まず、図9は、前記液晶表示パネル上に駆動チップが直接実装される場合を図示したものである。

30

図8及び図9を参照すると、液晶表示パネル450には、駆動チップが実装されるパッド部を有し、前記パッド部は、駆動チップの bumps と電氣的に接触される接触パッド511aと、駆動チップの bumps と電氣的に接触されないダミーパッド511bを有する。これに、前記ダミーパッド511bを通じてシールド共通電極に前記シールド共通電圧  $V_{SCOM}$  を印加する。

【0062】

図10は、データ駆動チップ521がフレキシブル印刷回路基板520を通じて液晶表示パネルに実装される場合を示す図である。

40

図8及び図10を参照する、液晶表示パネル450は、フレキシブル印刷回路基板520が実装されるパッド部を有し、前記パッド部はフレキシブル印刷回路基板520に搭載された駆動チップ521と電氣的に接触される接触パッド521aと接触されないダミーパッド521bを有する。従って、前記ダミーパッド521bを通じてシールド共通電極に前記シールド共通電圧  $V_{SCOM}$  を印加する。

【0063】

このように、ダミーパッドを通じて前記シールド共通電圧  $V_{SCOM}$  を印加することによって、液晶表示パネル上に形成された複数のダミーパッドを利用することができるので、前記シールド共通電圧  $V_{SCOM}$  の印加抵抗を減少させることができる。

50

以上では、データ駆動チップが実装される接触パッドを例として説明したが、スキャン駆動チップが実装される接触パッドのダミーパッドを通じてシールド共通電圧VSCOMを印加することができるのは自明である。

【産業上の利用可能性】

【0064】

以上で説明したように、本発明によると、画素電極にデータラインから流入されるデータ電圧を遮断させるシールド共通電極が形成されたアレイ基板において、前記シールド共通電極に前記データラインに印加される電圧と異なるレベルの電圧を印加して、前記アレイ基板のアレイ検査方式を1D方式で容易に行うことができる。

又、前記シールド共通電極が形成されたアレイ基板をV/I検査工程時、前記シールド共通電極のデータラインに印加されるデータ電圧と異なるレベルの電圧を印加する方式でV/I検査工程を行う。

10

【0065】

又、液晶表示装置では、前記液晶表示パネルの周辺領域に形成された駆動チップパッドのダミーパッドを通じて前記シールド共通電圧を複数で印加することによって、抵抗を減少させることができる。又、前記シールド共通電圧をストレージ共通電圧及び共通電圧と独立的に印加することによって、他の共通電圧によって前記シールド共通電圧の電位が変動されることを防止することができる。

【0066】

従って、歪曲されないシールド共通電圧がシールド共通電極に印加されることによって、データ電圧の遮蔽機能及び画素間のブラック維持機能等をより効果的に行うことができる。

20

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0067】

【図1】本発明の実施例によるアレイ基板の部分平面図である。

【図2】図1の画素構造を説明するための斜視図である。

【図3】図1のアレイ基板を含む液晶表示パネルに対する断面図であって、図1のI-I'に沿って前記液晶表示パネルを切断した断面図である。

30

【図4】図1に図示されたアレイ基板に対するアレイ検査部を有する母基板の概略的な平面図である。

【図5】図4のアレイ検査部を通じて表示セルのアレイ検査工程を説明するための概念図である。

【図6】図1のアレイ基板を有するV/I検査のための液晶表示パネルに対する平面図である。

【図7】図6のV/I検査部によるV/I検査工程を説明するための概念図である。

【図8】図7の液晶表示パネルを有する液晶表示装置に対する概略的なブロック図である。

40

【図9】図8の液晶表示パネルの上に形成されたパッド部を説明するための部分拡大図である。

【図10】図8の液晶表示パネルの上に形成されたパッド部を説明するための部分拡大図である。

【符号の説明】

【0068】

152 画素電極

154 シールド共通電極

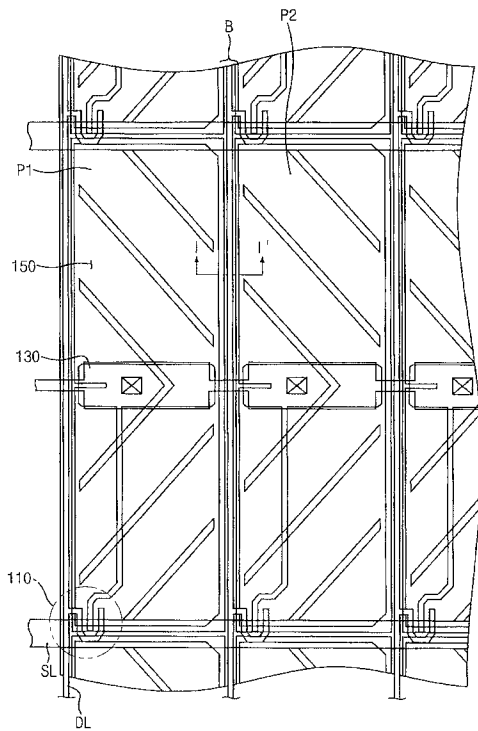
200 母基板

223、333 ストレージ共通電極パッド

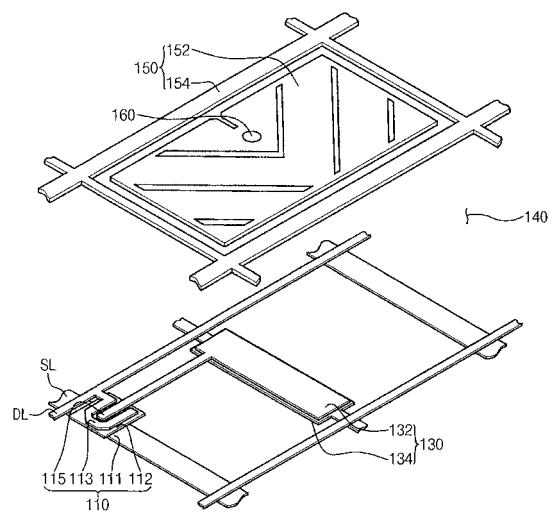
50

- 2 2 4、3 3 4 シールド共通電極パッド
- 3 0 0、4 5 0 液晶表示パネル
- 4 4 0 駆動電圧発生部
- 4 2 1 データ駆動チップ
- 4 3 1 スキャン駆動チップ
- 5 1 1 b、5 2 1 b ダミーパッド

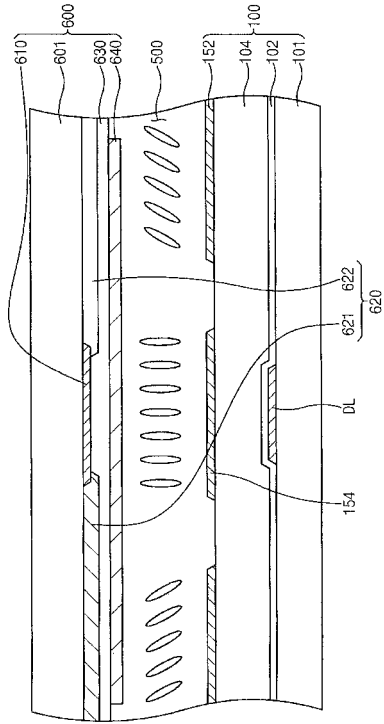
【 図 1 】



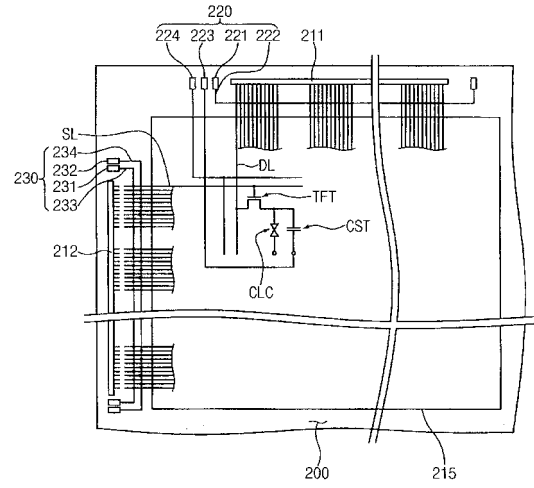
【 図 2 】



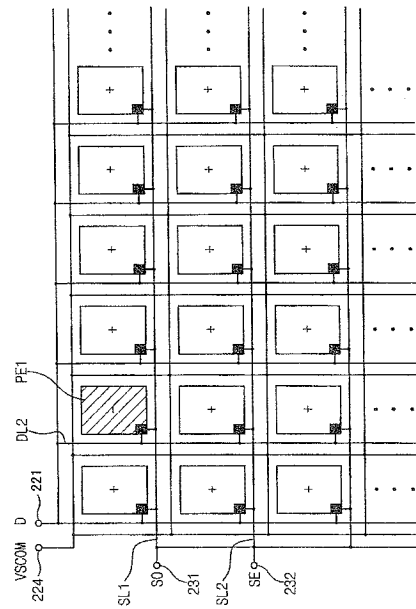
【 図 3 】



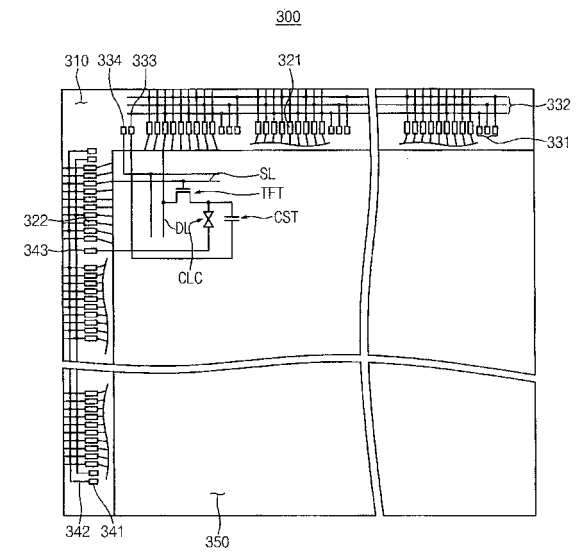
【 図 4 】



【 図 5 】



【 図 6 】





---

フロントページの続き

(72)発明者 金 東 奎

大韓民国京畿道龍仁市豊徳川洞三星5次アパート523棟1305号

Fターム(参考) 2H088 FA13 HA08 JA10 MA20  
2H092 GA13 GA24 GA29 GA32 GA50 GA60 JA26 JA28 JA34 JA37  
JA41 JA46 JB05 JB22 JB31 JB51 JB64 JB69 JB77 KA05  
MA01 MA12 MA56 NA25 NA27 NA30 QA06 QA09  
5C094 AA12 AA32 AA41 BA03 BA43 DB04 EA01 EA03 EA04 HA08  
5G435 AA17 AA19 BB12 LL04

专利名称(译)	阵列基板，具有该阵列基板的母基板和液晶显示装置		
公开(公告)号	<a href="#">JP2006053555A</a>	公开(公告)日	2006-02-23
申请号	JP2005223560	申请日	2005-08-02
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金東奎		
发明人	金東奎		
IPC分类号	G09F9/00 G02F1/13 G02F1/1368 G09F9/30		
CPC分类号	G09G3/3648 G02F2001/136218 G02F2001/136254 G09G3/006 G09G2300/043 G09G2320/0209		
FI分类号	G09F9/00.352 G02F1/13.101 G02F1/1368 G09F9/30.338		
F-TERM分类号	2H088/FA13 2H088/HA08 2H088/JA10 2H088/MA20 2H092/GA13 2H092/GA24 2H092/GA29 2H092/GA32 2H092/GA50 2H092/GA60 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB64 2H092/JB69 2H092/JB77 2H092/KA05 2H092/MA01 2H092/MA12 2H092/MA56 2H092/NA25 2H092/NA27 2H092/NA30 2H092/QA06 2H092/QA09 5C094/AA12 5C094/AA32 5C094/AA41 5C094/BA03 5C094/BA43 5C094/DB04 5C094/EA01 5C094/EA03 5C094/EA04 5C094/HA08 5G435/AA17 5G435/AA19 5G435/BB12 5G435/LL04 2H192/AA24 2H192/BA25 2H192/DA12 2H192/DA43 2H192/EA04 2H192/EA17 2H192/EA22 2H192/EA43 2H192/FB22 2H192/FB46 2H192/GA02 2H192/GA12 2H192/HB03 2H192/HB04 2H192/HB05 2H192/HB14 2H192/HB23 2H192/JA13		
优先权	1020040064052 2004-08-13 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种用于便于检查和驱动的阵列基板，具有该阵列基板的母基板以及液晶显示装置。形成多条数据线和多条扫描线。像素电极形成在由数据线和扫描线限定的区域中，并且屏蔽公共电极形成围绕像素电极的外周。数据焊盘单元向数据线施加测试数据电压。屏蔽公共电压焊盘部分将与数据电压不同的屏蔽公共电压施加到屏蔽公共电极。[选择图]图4

