

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-528641

(P2005-528641A)

(43) 公表日 平成17年9月22日(2005.9.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1368	GO2F 1/1368	2H092
GO2F 1/1343	GO2F 1/1343	5F033
GO2F 1/1345	GO2F 1/1345	5F110
HO1L 21/768	HO1L 29/78 612A	
HO1L 29/786	HO1L 21/90 W	

審査請求 未請求 予備審査請求 未請求 (全 12 頁)

(21) 出願番号 特願2004-509505 (P2004-509505)
 (86) (22) 出願日 平成14年9月17日 (2002.9.17)
 (85) 翻訳文提出日 平成16年12月6日 (2004.12.6)
 (86) 国際出願番号 PCT/KR2002/001741
 (87) 国際公開番号 W02003/102682
 (87) 国際公開日 平成15年12月11日 (2003.12.11)
 (31) 優先権主張番号 2002/31298
 (32) 優先日 平成14年6月4日 (2002.6.4)
 (33) 優先権主張国 韓国 (KR)

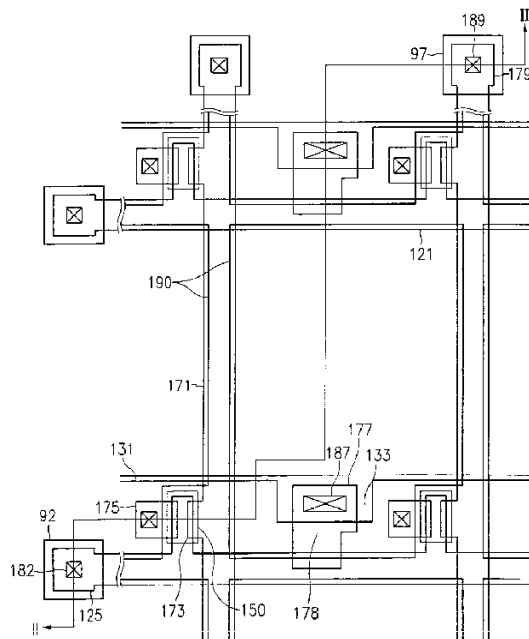
(71) 出願人 503447036
 サムスン エレクトロニクス カンパニー
 リミテッド
 大韓民国キョンギード、スウォンシ、ヨ
 ントンク、マエタンードン 416
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100076691
 弁理士 増井 忠式
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男
 (74) 代理人 100096013
 弁理士 富田 博行

最終頁に続く

(54) 【発明の名称】 液晶表示装置用薄膜トランジスタアレイ基板

(57) 【要約】

絶縁基板上にゲート線、ゲート線の端に接続されているゲートパッド及びゲート線に接続されているゲート電極を含むゲート配線が形成されており、共通電圧が伝達される保持容量用配線が形成されている。ゲート配線及び保持容量用配線を覆うゲート絶縁膜上部には半導体層及びオーミックコンタクト層が形成されており、また、ゲート線と画素領域を画定するデータ線、オーミックコンタクト層の上部までのびているソース電極、ソース電極と分離されてゲート電極に対してソース電極の反対側に位置するドレイン電極を含むデータ配線が形成されている。また、ゲート絶縁膜上には保持容量用配線と重なって保持容量を形成する保持容量導電体が形成されている。この時、保持容量導電体はここから突出されてゲート線と重なっている修理部を有する。データ配線及び該配線により覆われない半導体層上部に保護膜が形成されており、その上部には保護膜の接触孔を通じてドレイン電極及び保持容量導電体と接続されている画素電極が形成されている。



【特許請求の範囲】

【請求項 1】

基板、

前記基板上に形成され、ゲート線及び前記ゲート線に接続されているゲート電極を含み、ゲート信号が伝達されるゲート配線、

前記基板上に形成されて共通電圧が伝達される保持容量用配線、

前記基板上部に形成されて前記ゲート線及び前記保持容量用配線を覆うゲート絶縁膜、

前記ゲート電極と反対側の前記ゲート絶縁膜上に形成されている半導体層、

前記ゲート絶縁膜上に形成されて前記ゲート線と交差して画素領域を画定するデータ線、前記データ線に接続されて前記半導体層上に位置するソース電極及び前記ゲート電極を中心前記ソース電極と対向して前記半導体層上に位置するドレイン電極を含むデータ配線、

10

前記ゲート絶縁膜上に形成されて、前記保持容量用配線と重なって保持容量を形成する導電体パターン、

前記データ配線及び前記半導体層を覆う保護膜、及び

前記保護膜上の前記画素領域に形成されて、前記ドレイン電極または前記導電体パターンと電氣的に接続されている画素電極

を含み、

前記ゲート線及び前記導電体パターンが互いに重なるように、前記ゲート線及び前記導電体パターンから延長した修理延長部を有する

20

ことを特徴とする液晶表示装置用の薄膜トランジスタアレイ基板。

【請求項 2】

前記導電体パターンは、前記ドレイン電極と接続されていることを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタアレイ基板。

【請求項 3】

前記導電体パターンは、前記ドレイン電極から分離されていることを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタアレイ基板。

【請求項 4】

前記画素電極は、透明導電膜及び反射導電膜の少なくとも一方であることを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタアレイ基板。

30

【請求項 5】

前記画素電極は、前記透明導電膜と前記反射導電膜を共に有し、前記反射導電膜は、前記透明導電膜を露出する開口部を有することを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタアレイ基板。

【請求項 6】

前記修理延長部は、リング状に形成されていることを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタアレイ基板。

【請求項 7】

前記修理延長部は、前記導電体パターンからのびていることを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタアレイ基板。

40

【請求項 8】

前記修理延長部は、前記ゲート線からのびていることを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタアレイ基板。

【請求項 9】

前記半導体層は、前記ソース電極と前記ドレイン電極の間のチャンネル部を除いて、前記データ配線と同一のパターンを有することを特徴とする請求項 1 に記載の液晶表示装置用薄膜トランジスタ基板。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、薄膜トランジスタアレイ基板に関する。

【背景技術】

【0002】

一般に、液晶表示装置は、電極が形成されている二枚の基板の間に液晶を注入し、それぞれの電極に加える電圧の強度を調節することによって光透過量を調節する構造からなっている。

このような液晶表示装置は、画像を表示するための複数の画素を含み、これら画素はマトリクス配列を有し、かつ、各画素は透明な導電物質で形成されている。このような画素電極は、複数のゲート線及び複数のデータ線を含む複数の信号配線を通じて印加される信号によって駆動される。ゲート配線及びデータ配線は、互いに交差してマトリクス配列の複数の画素領域を画定し、これらの配線は、薄膜トランジスタ(TFT)などのスイッチング素子を通じて画素電極と接続されている。この時、スイッチング素子は、ゲート線からの走査信号によって、画素電極に伝達されるデータ線からの画像信号を制御する。そして、各々の画素は、画素電極とともに保持容量(ストレージキャパシタ)を形成する保持電極を備え、印加された画像信号を次の信号が印加されるまで保持させる。

10

【0003】

薄膜トランジスタを有する液晶表示装置の製造工程において、製造コストを上げる原因としては、主として画素欠陥があり、このうち、画素が常に明るく表示されるホワイト欠陥は目立ってしまうので、ほとんど識別が不可能となるように、画素が常に暗く表示されるブラック欠陥に変えて修理することが好ましい。

20

ここで、ホワイト欠陥は、画素電極とスイッチング素子の接触不良や、スイッチング素子の誤動作によって発生するが、この場合、初期にブラック状態を表示していても、時間が経過すると画素電極から漏れ電流が発生し、画素電圧が画素電極と対向する共通電極の共通電圧に接近することにより、ホワイト欠陥に変わるようになる。また、ホワイト欠陥は、データ線と画素電極の間に導電物質が残留してこれらが電氣的に短絡するか、又は画素電極と共通電極が互いに短絡して発生する。

【0004】

このようなホワイト欠陥をブラック欠陥に変換修理する方法の一つは、画素電極をこれと重なるゲート線と短絡させてゲート信号が伝達されるようにすることである。この時、ゲート線は、隣接する画素行のスイッチング素子にゲート信号を伝達し、画素電極と重なって保持容量を構成するための保持容量配線として用いられる。

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、画素電極と重なるゲート線の上に2~4 μ m程度の絶縁膜が介在している場合は、レーザーを利用してこれらを短絡させることが非常に難しい。また、画素電極と重なる保持容量用配線を別途に独立的に有する独立配線方式の保持容量用配線に共通電圧が伝達される液晶表示装置では、保持容量用配線と画素電極を短絡させても、画素電極に共通電圧が伝達されるため、画素はそのままホワイト欠陥を続けるという問題点がある。

40

本発明は、独立的に保持容量用配線を有する独立配線方式の液晶表示装置において、ホワイト欠陥を容易に修理することができる画素構造を有する薄膜トランジスタアレイ基板を提供することにある。

【課題を解決するための手段】

【0006】

本発明による液晶表示装置用薄膜トランジスタ基板は、画素電極と電氣的に接続されている導電体パターンを有する。

より詳細には、本発明による薄膜トランジスタアレイ基板には、基板上にゲート線及びゲート線に接続されているゲート電極を含み、ゲート信号が伝達されるゲート配線と、ゲート線から分離されて共通電圧が伝達される保持容量用配線が形成されている。ゲート線

50

及び前記保持容量用配線を覆うゲート絶縁膜上には、半導体層とゲート線が交差して画素領域を画定するデータ線、データ線に接続されて半導体層上に位置するソース電極、及びゲート電極を中心にソース電極と対向して半導体層上に位置するドレイン電極を含むデータ配線が形成されている。また、ゲート絶縁膜の上には、保持容量用配線と重なって保持容量を形成する導電体パターンが形成されており、これらの上には保護膜が形成されている。保護膜の上には、ドレイン電極または導電体パターンと電氣的に接続されている画素電極が形成されている。この時、ゲート線または導電体パターンが互いに重なるようにゲート線または導電体パターンから延長された修理延長部を有する。

【0007】

ここで、導電体パターンはドレイン電極と接続されることも、接続されないこともある。 10

そして、画素電極は、透明導電膜及び反射導電膜の少なくとも一方を含むことができ、透明導電膜と反射導電膜を共に有する場合には、反射導電膜が透明導電膜を露出する開口部を有することが好ましい。

修理延長部はリング状に形成され、ソース電極とドレイン電極の間のチャンネル部を除く半導体層は、データ配線と同一のパターンを有することができる。

【発明の効果】

【0008】

本発明による液晶表示装置用薄膜トランジスタアレイ基板では、画素電極に電氣的に接続されている導電体パターンにゲート線と重畳する修理延長部を設けるか、又はゲート線に導電体パターンと重畳する修理延長部を設けて、画素電極とゲート線の間には厚い有機絶縁膜が介在しても、画素のホワイト欠陥を容易に修理することができる。 20

【発明を実施するための最良の形態】

【0009】

以下、添付した図面を参照して、本発明の実施例に対して、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施例に限定されない。

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一な図面符号を付けている。層、膜、領域、板などの部分が他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時、これは中間に他の部分がない場合を意味する。 30

【0010】

以下、本発明の実施例による液晶表示装置を、図面を参考にして詳細に説明する。

図1及び図2を参照して、本発明の第1実施例による液晶表示装置用の薄膜トランジスタアレイ基板の構造について説明する。

図1は本発明の第1実施例による液晶表示装置用の薄膜トランジスタアレイ基板の構造を示した平面図であり、図2は図1に示すII-II'線による断面図である。

【0011】

絶縁基板110上に、低抵抗を有するアルミニウム系列の導電物質からなる単一膜若しくはこれを含む多層膜からなっているゲート配線と保持容量用配線が形成されている。 40

ゲート配線は横方向にのびているゲート線121、ゲート線121の端に接続されて、外部からのゲート信号の印加を受けてゲート線に伝達するゲートパッド125、及びゲート線121に接続されている薄膜トランジスタのゲート電極123を含む。

【0012】

保持容量用配線は、横方向にのびている維持電極線131及び後に形成される画素電極190と電氣的に接続されている保持容量用導電体177と重なって保持容量を構成する保持電極133を含み、保持容量用配線131、133には、絶縁基板110と対向する上部基板(図示せず)に形成されている共通電極(図示せず)に伝達される共通電圧が伝達される。

ここで、ゲート配線 121、123、125 が多層膜の場合には、他の物質と接触特性が優れたパッド用物質を含むことができる。

保持容量用配線 131、133 にはゲート信号が伝達される。

【0013】

基板 110 上には、窒化ケイ素 (SiNx) などからなるゲート絶縁膜 140 がゲート配線 121、123、125 を覆っている。

ゲート電極 123 に対向してのゲート絶縁膜 140 上には、非晶質シリコンなどの半導体からなる半導体層 150 が形成されており、半導体層 150 の上にはシリサイド若しくは n 型不純物が高濃度にドーピングされている n+水素化非晶質シリコンなどの物質で作られたオーミックコンタクト層 163、165 が各々形成されている。

オーミックコンタクト層 163、165 及びゲート絶縁膜 140 上には、銀や銀合金またはアルミニウムやアルミニウム合金などのように低抵抗を有する単一膜若しくはこれを含む多層膜からなるデータ配線 171、173、175、179 が形成されている。

【0014】

データ配線は、縦方向に形成されてゲート線 121 と交差してマトリクス配列の画素領域を画定する複数のデータ線 171、データ線 171 に接続されてオーミックコンタクト層 163 の上部までのびているソース電極 173、ソース電極 173 と分離されてゲート電極 123 に対してソース電極 173 の反対側のオーミックコンタクト層 165 上部に形成されているドレイン電極 175、及びデータ線 171 の一端に接続されて外部からの画像信号の印加を受けるデータパッド 179 を含む。また、データ配線は保持容量を向上させるために保持電極 133 と重なって保持容量を形成し、ゲート線 121 と重なっている修理部 178 を有する保持容量用導電体パターン 177 を含むことができる。

【0015】

データ配線 171、177、173、175、179 及びこれらによって覆われない半導体層 150 上には、窒化ケイ素または平坦化特性が優れた有機絶縁物質からなる保護膜 180 が形成されている。

保護膜 180 には、ドレイン電極 175、保持容量導電体 177 及びデータパッド 179 を各々露出する接触孔 185、187、189 が形成されており、また、保護膜 180 及びゲート絶縁膜 140 には、ゲートパッド 125 を露出する複数の接触孔 182 が形成されている。

【0016】

保護膜 180 上には、接触孔 187、185 を通じて保持容量導電体 177 及びドレイン電極 175 と電気的に接続されている画素電極 190 が形成されている。また、保護膜 180 上には、補助ゲートパッド 92 及び補助データパッド 97 が形成されている。ここで、画素電極 190、補助ゲート 92 及び補助データパッド 97 は、透明な導電物質である ITO (indium tin oxide) や IZO (indium zinc oxide) などからなっている。この時、画素電極 190 は、銀や銀合金、またはアルミニウムやアルミニウム合金などのように反射度を有する反射膜からなることができ、この場合、保護膜 180 は、反射膜の反射効率を増大するために反射膜が凹凸パターンを有するように表面に凹凸パターンを有することが望ましい。

【0017】

修理部 178 は、画素電極 190 がフローティングしたり共通電圧が伝達されて、画素が常に明るく表示されるホワイト欠陥を生じる場合、画素の識別がほとんど不可能なブラック欠陥に容易に変えられる機能を有する。即ち、ゲート線 121 と画素電極 190 の間に 2 ~ 4 μm 程度の厚い絶縁膜 180 が介されていてレーザーを照射してゲート線 121 と画素電極 190 を短絡することが難しくても、ホワイト欠陥が発生する場合に、ゲート線 121 と重なっている修理部 178 にレーザーを照射して修理部 178 とゲート線 121 を短絡させると、修理部 178 と電気的に接続されている画素電極 190 にはゲートオフ電圧が伝達される。画素電極 190 とこれと対向する共通電極の間に電位差が形成されない状態で明るい色を表示するように設計されているノーマリーホワイトモードの液晶表

10

20

30

40

50

示装置において、画素電極 190 にはゲートオフ電圧が伝達されて、画素電極 190 と共通電極の間に電界が形成され、画素は暗く表示される。

【0018】

この時、修理部 178 が保持容量導電体 177 から延長されて、保持容量導電体 177 とゲート線 121 の重なりが形成されているが、ゲート線 121 から突出するか、又はゲート線 121 及び保持容量導電体 177 の両方から突き出すようにしてもよい。また、修理部 178 は、種々の模様、例えば中央に開口部を持つリング状にしてもよい。

本発明の他の実施例では、保持容量用配線は、画素領域の上部及び下部に各々配置されている一対の保持容量用配線及び画素領域の縁に縦方向にのびている画素電極を含むことができる。

10

【0019】

本発明の第 1 実施例では、画素電極が修理部を有する構造を示しているが、本発明の第 2 実施例では、前記したように、ゲート配線から突出している修理部を有する構造について、図 3 ~ 図 5 を参照して具体的に説明する。

図 3 は、本発明の第 2 実施例による液晶表示装置用の薄膜トランジスタアレイ基板の構造を示す配置図であり、図 4 及び図 5 は、図 3 に示す IV-IV' 及び V-V' 線によるそれぞれの断面図である。

大部分の構造は第 1 実施例と同様である。

しかしながら、ゲート配線は、ゲート線 121 からのびる複数の修理部 128 を有し、該修理部 128 は、保持容量導電体 177 とゲート絶縁膜 140 を介在して重なっている。

20

【0020】

なお、ゲート配線 121、125、123、128 を覆うゲート絶縁膜 140 の上には、水素化非晶質シリコンなどの半導体からなる半導体パターン 152、157 が形成されており、半導体パターン 152、157 上には、リン (P) などの n 型不純物で高濃度にドーピングされている非晶質シリコンなどからなるオーミックコンタクトパターン若しくは中間層パターン 163、165、167 が形成されている。

【0021】

この時、オーミックコンタクトパターン 163、165、167 は、その下部の半導体パターン 152、157 とその上部のデータ配線 171、177、173、175、179 の接触抵抗を低くする役割をし、データ配線 171、177、173、175、179 と完全に同一の形態を有する。即ち、オーミックコンタクトパターン 163、165、167 は、データ配線 171、179、173 とほぼ同一形状の複数のデータ配線用オーミックコンタクト 163 と、ドレイン電極 175 とほぼ同一形状の複数のドレイン電極用オーミックコンタクト 165 と、保持容量導電体 177 とほぼ同一形状の複数の保持容量用オーミックコンタクト 167 とを含んでいる。

30

【0022】

一方、半導体パターン 152、157 は、薄膜トランジスタのチャンネル部 C を除いて、データ配線 171、177、173、175、179 及びオーミックコンタクトパターン 163、165、167 と同じ形状である。詳細には、半導体パターン 157 と 157 は、保持容量導電体 177 及び保持容量オーミックコンタクト 167 とほぼ同一形状の複数の保持容量半導体 157 と、複数の薄膜トランジスタ用半導体 152 からなり、薄膜トランジスタ用半導体 152 は、はデータ配線及びオーミックコンタクトパターンのその他の部分と多少異なる。即ち、薄膜トランジスタのチャンネル部 C で、ソース電極 173 とドレイン電極 175 が分離され、データ線用オーミックコンタクト 163 とドレイン電極用オーミックコンタクト 165 も分離される。しかしながら、薄膜トランジスタ用半導体 152 は、ここで切れずに接続されて、薄膜トランジスタのチャンネルを生成する。

40

【0023】

また、画素電極 190 と接続され、保持容量線 131 と重なって保持容量を形成する保持容量導電体 177 は、ドレイン電極 175 と接続されている。

50

また、保護膜 180 は、表面に凹凸パターンを有し、その上にある画素電極 190 は、IZOやITOなどのような透明な導電物質からなる透明電極 191 と銀や銀合金またはアルミニウムやアルミニウム合金などのような反射度を有する導電物質からなっており、画素領域に透過領域(T)を有する反射電極 192 を含む。

勿論、本発明の第2実施例の構造においても、修理部 128 がリング状であってもよい。

【0024】

以下、このような本発明の第1及び第2実施例による液晶表示装置用の薄膜トランジスタアレイ基板の製造方法について、図1～図5を参照して簡略に説明する。

まず、絶縁基板 110 上に、低抵抗を有する銀や銀合金若しくはアルミニウムやアルミニウム合金の単一膜、またはこれを含む多層膜を積層し、マスクを用いるフォトリソグラフィ工程でパターニングして、ゲート配線 121、125、123 及び保持容量用配線 131、133 を形成する。

【0025】

次に、窒化ケイ素からなるゲート絶縁膜 140、非晶質シリコンからなる半導体層、ドーピングされた非晶質シリコン層の3層膜を連続積層し、マスクを用いるパターニング工程で、半導体層 150 とドーピングされた非晶質シリコン層をパターニングして、ゲート電極 123 と対向するゲート絶縁膜 140 上に、半導体層 150 とオーミックコンタクト層を同じ形状に形成する。

次に、データ配線用導電物質を積層した後マスクを用いるフォトリソグラフィ工程でパターニングして、データ配線 171、173、175、177、178、179 を形成する。この時、保持容量が十分に確保できる場合には、第2実施例のように保持容量用導電体パターン 177 を形成しないこともある。

次に、データ配線 171、177、173、175、179 によって覆われないオーミックコンタクト層をエッチングして、ゲート電極 123 を中心に両側に分離された部分オーミックコンタクト 163、165 を完成し、これら部分 163、165 の間の半導体層パターン 150 を露出する。次に、露出された半導体層 150 の表面を安定化するために、酸素プラズマ処理を施すのが良い。

【0026】

次に、低誘電率を有し平坦化特性が優れた有機絶縁物質または窒化ケイ素などの絶縁物質を基板 110 の上に積層して保護膜 180 を形成し、フォトリソグラフィ工程でゲート絶縁膜 140 と共にパターニングして、ゲートパッド 125、ドレイン電極 175、保持容量導電体 177 及びデータパッド 179 を露出する接触孔 182、185、187、189 を形成する。この時、保持容量電極を形成しない場合には、接触孔 187 も形成する必要がない。

最後に、ITOまたはIZO膜を積層し、マスクを用いるパターニングを実施して、接触孔 185、187 を通じてドレイン電極 175 及び保持容量導電体 177 とそれぞれ接続される画素電極 190 と、接触孔 182、189 を通じてゲートパッド 125 及びデータパッド 179 と各々接続される補助ゲートパッド 92 及び補助データパッド 97 を各々形成する。

【0027】

一方、第2実施例による液晶表示装置用の薄膜トランジスタアレイ基板の製造方法では、製造工程を単純化するために、半導体パターン 152、157、オーミックコンタクトパターン 163、165、167 及びデータ配線 171、173、175、177、179 を一つの感光膜パターンを用いるフォトリソグラフィ工程にて形成する。

詳細には、ゲート配線を形成した後にゲート絶縁膜 140、非晶質シリコンからなる半導体層、ドーピングされた非晶質シリコン層の3層膜を連続積層する。

次に、データ配線用導電層を積層しその上に感光膜を形成し、チャンネル部Cの光透過調節膜を有するマスクを用いて部分的に異なる厚さを有する感光膜パターンを形成する。この時、感光膜パターンは、データ配線に対応する第1部分よりもチャンネル部Cに対応する

10

20

30

40

50

第 2 部分が薄い厚さであり、その他の部分は感光膜が全て除去されている。

【 0 0 2 8 】

まず、このような感光膜パターンをエッチングマスクとして用いて、半導体パターン 152、157を形成する。次に、第2部分の感光膜を除去し、第1部分の感光膜パターンをエッチングマスクとして、チャンネル部Cからデータ配線用導電物質を除去してデータ配線171、173、177、175、179を形成し、これをエッチングマスクとしてドーピングされた非晶質シリコン層をエッチングしてオーミックコンタクトパターン163、165、167を完成する。

なお、画素電極190を形成するためにはまず、凹凸パターンを有する保護膜180の上に透明な導電物質を積層し、マスクを用いる写真エッチング工程でパターンニングして透明電極191を形成し、その上に反射度を有する導電物質を積層しパターンニングして反射電極192を形成する。

10

【 図面の簡単な説明 】

【 0 0 2 9 】

【 図 1 】 本発明の第 1 実施例による液晶表示装置用の薄膜トランジスタアレイ基板の構造を示す配置図である。

【 図 2 】 図 1 の II-II' 線による断面図である。

【 図 3 】 本発明の第 2 実施例による液晶表示装置用の薄膜トランジスタアレイ基板の構造を示す配置図である。

【 図 4 】 図 3 の IV-IV' による断面図である。

20

【 図 5 】 図 3 の V-V' 線による断面図である。

【 図 1 】

【 図 2 】

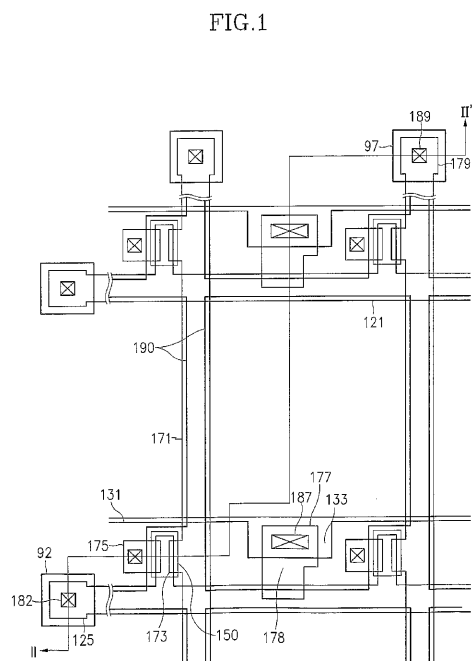
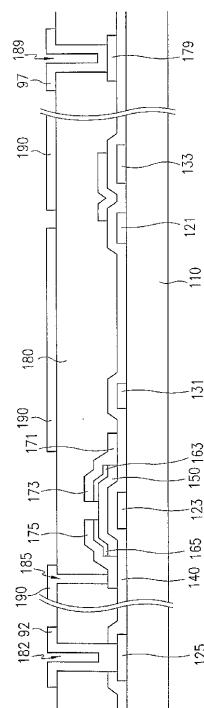
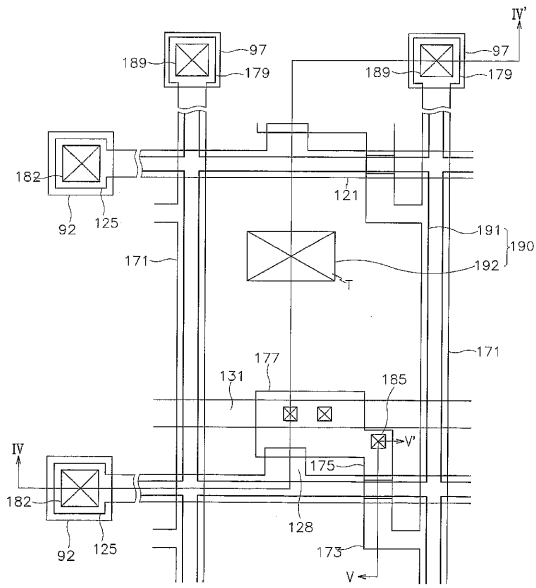


FIG.2



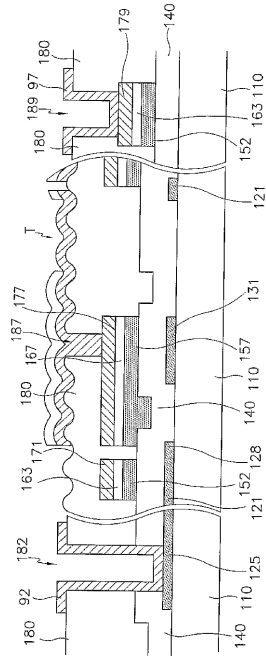
【 図 3 】

FIG.3



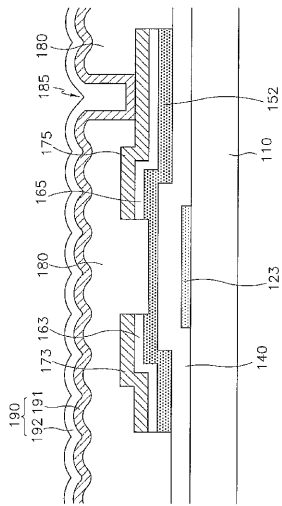
【 図 4 】

FIG.4



【 図 5 】

FIG.5





【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR02/01741

A. CLASSIFICATION OF SUBJECT MATTER		
IPC7 G02F 1/136		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC7 G02F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
KR, JP: as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
PAJ "semiconductor""passivation""repair""line" "data""gate""scanning""signal""insulator"		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 05203988 (Sharp Co.) 13, August, 1993 see whole document	1-9
A	JP 09160073 (Sharp Co.) 20, June, 1997 see whole document	1-9
A	KR 97-28763 (Samsung Elec. Co.) 24, June, 1997 see whole document	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)	"&" document member of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
27 JANUARY 2003 (27.01.2003)	27 JANUARY 2003 (27.01.2003)	
Name and mailing address of the ISA/KR	Authorized officer	
 Korean Intellectual Property Office 920 Dunsan-dong, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	CHO, Kyoung Hwa Telephone No. 82-42-481-5767 	

INTERNATIONAL SEARCH REPORT
Information on patent family membersInternational application No.
PCT/KR02/01741

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 05203988	13 - 08 - 1993	None	
JP 09160073	20 - 06 - 1997	None	
KR 97-28763	24 - 06 - 1997	None	

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,N Z,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100096068

弁理士 大塚 住江

(72)発明者 ジョン,ジン

大韓民国 キョンギ - ド, 4 3 1 - 0 8 8 アンヤン - シティ, ドンガン - ク, ガルサン - ドン,
サム・マウル・サンヨン・アパートメント 2 0 2 - 6 0 2

(72)発明者 リ,ウォン - キュ

大韓民国 キョンギ - ド, 4 6 3 - 5 0 0 スンナム - シティ, プンダン - ク, クミ - ドン, ムジ
ガエ・マウル・チョング・アパートメント 5 1 1 - 1 3 0 2

Fターム(参考) 2H092 HA04 HA05 JA24 JA47 JB57 JB63 JB64 JB69 KA05 KA12
KA13 KB24 MA13 MA14 MA17 MA27 NA28 PA12
5F033 HH05 HH08 HH09 HH14 HH25 HH38 VV01 VV15 XX33 XX34
5F110 AA27 BB01 CC07 EE03 EE14 FF03 GG02 GG15 HK02 HK03
HK05 HK06 HK09 HK16 HK21 HK25 NN02 NN24 NN27 NN72
NN73 QQ09

专利名称(译)	用于液晶显示器件的薄膜晶体管阵列基板		
公开(公告)号	JP2005528641A	公开(公告)日	2005-09-22
申请号	JP2004509505	申请日	2002-09-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	ジョンジン リウオンキュ		
发明人	ジョン,ジン リ,ウオン-キュ		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1345 G02F1/136 G02F1/1362 H01L21/768 H01L23/522 H01L29/04 H01L29/786 H01L31/036		
CPC分类号	G02F1/136213 G02F1/136227 G02F2001/136268		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1345 H01L29/78.612.A H01L21/90.W		
F-TERM分类号	2H092/HA04 2H092/HA05 2H092/JA24 2H092/JA47 2H092/JB57 2H092/JB63 2H092/JB64 2H092/JB69 2H092/KA05 2H092/KA12 2H092/KA13 2H092/KB24 2H092/MA13 2H092/MA14 2H092/MA17 2H092/MA27 2H092/NA28 2H092/PA12 5F033/HH05 5F033/HH08 5F033/HH09 5F033/HH14 5F033/HH25 5F033/HH38 5F033/VV01 5F033/VV15 5F033/XX33 5F033/XX34 5F110/AA27 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE14 5F110/FF03 5F110/GG02 5F110/GG15 5F110/HK02 5F110/HK03 5F110/HK05 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/NN02 5F110/NN24 5F110/NN27 5F110/NN72 5F110/NN73 5F110/QQ09		
代理人(译)	小林 泰 千叶昭夫		
优先权	1020020031298 2002-06-04 KR		
其他公开文献	JP4235611B2		
外部链接	Espacenet		

摘要(译)

在绝缘基板上形成包括栅极线，连接到栅极线的端部的栅极焊盘以及连接到栅极线的栅极电极的栅极线，并且形成公共电压被传输到的存储电容器布线已经完成了。在覆盖栅极线和存储电容器线的栅极绝缘膜上形成半导体层和欧姆接触层，数据线限定栅极线和像素区，源极延伸到欧姆接触层的顶部，与源电极分离并且相对于栅电极位于与源电极相反的一侧的漏电极是数据布线形成。另外，在栅极绝缘膜上形成与保持电容配线重叠的保持电容导体，形成保持电容。此时，保持电容器导体具有从其突出并与栅极线重叠的修复部分。在数据线和未被数据线覆盖的半导体层上形成保护膜，并且在其上形成通过保护膜的接触孔连接到漏电极和存储电容器导体的像素电极。。

