

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-165038

(P2005-165038A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H092
G02F 1/133	G02F 1/133 525	2H093
G02F 1/1343	G02F 1/133 550	5C006
G09G 3/20	G02F 1/1343	5C080
	G09G 3/20 621B	
審査請求 未請求 請求項の数 26 O L (全 34 頁) 最終頁に続く		

(21) 出願番号	特願2003-404851 (P2003-404851)	(71) 出願人	000005049
(22) 出願日	平成15年12月3日 (2003. 12. 3)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100080034
			弁理士 原 謙三
		(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	山口 明
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	正栄 明大
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

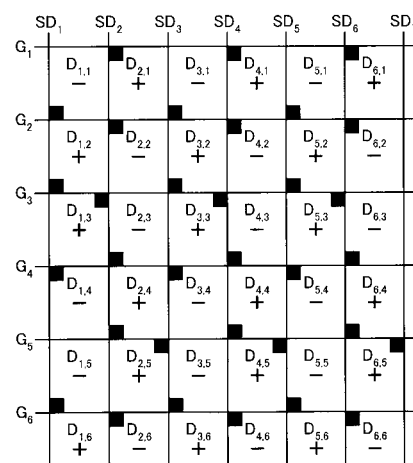
(54) 【発明の名称】 液晶表示装置およびその駆動方法、ゲートドライバ

(57) 【要約】

【課題】 パネル充電時間を確保するために、書き込むべきソース電位に応じてゲート信号幅を可変とする。

【解決手段】 液晶表示装置1は、縦2ドットずつを反転駆動できるように、各画素のTFTが所定のTFT配置パターンに従って設けられている。そして、走査線駆動回路が、信号線駆動回路によって正極性のドレイン信号が印加された時のゲートパルス幅Tpが負極性のドレイン信号が印加された時のゲートパルス幅Tnより長いゲート信号を印加する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有する液晶表示装置であって、

有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ、

上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

$C_{i,j} = (i+1,j)$ 、 $C_{i,j+1} = (i,j+1)$ 、
 $C_{i,j+2} = (i+1,j+2)$ 、 $C_{i,j+3} = (i,j+3)$ 、
 $C_{i+1,j} = (i+1,j+1)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、
 $C_{i+1,j+2} = (i+1,j+3)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、
 $C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+1)$ 、
 $C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+3)$ 、
 $C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+2)$ 、
 $C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+4)$

のパターンであり、

上記信号線駆動回路は、第 1 の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、
 $C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第 2 の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$ 、
 $C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動するものであることを特徴とする液晶表示装置。

【請求項 2】

行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有する液晶表示装置であって、

有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ、

上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i+1,j+1)$ 、
 $C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+3)$ 、
 $C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+2)$ 、
 $C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+4)$ 、
 $C_{i+2,j} = (i+3,j)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、
 $C_{i+2,j+2} = (i+3,j+2)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、
 $C_{i+3,j} = (i+3,j+1)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、
 $C_{i+3,j+2} = (i+3,j+3)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンであり、

上記信号線駆動回路は、第 1 の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、
 $C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

10

20

30

40

50

と、第 2 の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動するものであることを特徴とする液晶表示装置。

【請求項 3】

行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有する液晶表示装置であって、

10

有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ

、
上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

$C_{i,j} = (i+1,j+1)$ 、 $C_{i,j+1} = (i,j+1)$ 、

$C_{i,j+2} = (i+1,j+3)$ 、 $C_{i,j+3} = (i,j+3)$ 、

$C_{i+1,j} = (i+1,j)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、

$C_{i+1,j+2} = (i+1,j+2)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、

$C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+2)$ 、

20

$C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+4)$ 、

$C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+1)$ 、

$C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+3)$

のパターンであり、

上記信号線駆動回路は、第 1 の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、

$C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第 2 の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

30

とを、互いに逆極性のドレイン信号を印加することによって反転駆動するものであることを特徴とする液晶表示装置。

【請求項 4】

行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有する液晶表示装置であって、

有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ

、
上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

40

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i,j+2)$ 、

$C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+4)$ 、

$C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+1)$ 、

$C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+3)$ 、

$C_{i+2,j} = (i+3,j+1)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、

$C_{i+2,j+2} = (i+3,j+3)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、

$C_{i+3,j} = (i+3,j)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、

$C_{i+3,j+2} = (i+3,j+2)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

50

のパターンであり、

上記信号線駆動回路は、第1の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、
 $C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第2の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$ 、
 $C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動するものであることを特徴とする液晶表示装置。

【請求項5】

1行目の画素と2行目の画素とのTF Tの配置パターンが同じであることを特徴とする請求項1から4のいずれか1項に記載の液晶表示装置。

【請求項6】

1行目の画素と2行目の画素とのTF Tの配置パターンが異なることを特徴とする請求項1から4のいずれか1項に記載の液晶表示装置。

【請求項7】

上記走査線駆動回路は、上記信号線駆動回路によって正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加するものであることを特徴とする請求項1から6のいずれか1項に記載の液晶表示装置。

【請求項8】

上記ゲートパルス幅は、1水平走査期間を H としたとき、

$$T_p + T_n \leq 2H$$

となるように設定されていることを特徴とする請求項7に記載の液晶表示装置。

【請求項9】

画素ごとの表示データを、正極性のドレイン信号によって書き込まれるものと、負極性のドレイン信号によって書き込まれるものとに振り分けて、上記信号線駆動回路へ供給する走査線順次変換手段を備えることを特徴とする請求項1から8のいずれか1項に記載の液晶表示装置。

【請求項10】

行列方向に配置された各画素と対応するようにTF Tが設けられた液晶表示装置であって、

画素のTF Tのゲートと接続された、互いに異なる極性の画素を駆動するための第1の走査線および第2の走査線を有し、

上記第1の走査線が、同一画素列内で隣接する2つの画素のTF Tに接続され、

上記第2の走査線が、2行2列の4つの画素ごとに一方の対角に位置する2つの画素のTF Tに接続されたことを特徴とする液晶表示装置。

【請求項11】

正極性のドレイン信号が印加された時のゲートパルス幅が負極性のドレイン信号が印加された時のゲートパルス幅より長いゲート信号を印加する走査線駆動回路を備えることを特徴とする請求項10に記載の液晶表示装置。

【請求項12】

有効表示領域の画素を、列方向に2画素毎かつ行方向に1画素毎に反転駆動するものであることを特徴とする請求項10または11に記載の液晶表示装置。

【請求項13】

有効表示領域が m 列 n 行であるとき、画素を駆動するソース信号線の数 $m+1$ 本であることを特徴とする請求項12に記載の液晶表示装置。

【請求項14】

有効表示領域が m 列 n 行であるとき、画素を駆動するソース信号線の数 m 本であることを特徴とする請求項12に記載の液晶表示装置。

10

20

30

40

50

【請求項 15】

有効表示領域が m 列 n 行であるとき、画素を駆動するソースドライバの数が $m+1$ 個であることを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 16】

有効表示領域が m 列 n 行であるとき、画素を駆動するソースドライバの数が m 個であることを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 17】

液晶表示装置のゲートドライバであって、

シフトレジスタと複数の出力回路とからなり、

上記の各出力回路は、出力を制御するゲートアウトプットエネーブル信号を入力するために、第 1 のゲートアウトプットエネーブル信号線および第 2 のゲートアウトプットエネーブル信号線のいずれか一方と接続されていることを特徴とするゲートドライバ。 10

【請求項 18】

液晶表示装置のゲートドライバであって、

パルス幅が異なる第 1 のゲート線駆動パルスおよび第 2 のゲート線駆動パルスを、第 1 のゲート線駆動パルスと第 2 のゲート線駆動パルスとが 2 水平走査期間の間にそれぞれ 1 回ゲート線駆動信号であるハイレベルの電圧になり、かつ、第 1 のゲート線駆動パルスと第 2 のゲート線駆動パルスとの間にいずれのゲート線をも駆動しない期間を生成するように、走査線に出力するものであることを特徴とするゲートドライバ。 20

【請求項 19】

請求項 17 または 18 に記載のゲートドライバを搭載したことを特徴とする液晶表示装置。

【請求項 20】

行列方向に配置された各画素と対応するように設けられた TFT、該 TFT のゲートを共通接続する走査線、該 TFT のドレインを共通接続する信号線、該 TFT のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有し、

有効表示領域では所定の TFT 配置パターンの繰り返しとなるように TFT が設けられ、

上記 TFT 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた TFT のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、 30

$C_{i,j} = (i+1,j)$ 、 $C_{i,j+1} = (i,j+1)$ 、

$C_{i,j+2} = (i+1,j+2)$ 、 $C_{i,j+3} = (i,j+3)$ 、

$C_{i+1,j} = (i+1,j+1)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、

$C_{i+1,j+2} = (i+1,j+3)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、

$C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+1)$ 、

$C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+3)$ 、

$C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+2)$ 、

$C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+4)$ 40

のパターンである液晶表示装置の駆動方法であって、

上記信号線駆動回路が、第 1 の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、

$C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第 2 の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 21】

行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有し、

有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ、

上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i+1,j+1)$ 、

10

$C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+3)$ 、

$C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+2)$ 、

$C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+4)$ 、

$C_{i+2,j} = (i+3,j)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、

$C_{i+2,j+2} = (i+3,j+2)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、

$C_{i+3,j} = (i+3,j+1)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、

$C_{i+3,j+2} = (i+3,j+3)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンである液晶表示装置の駆動方法であって、

上記信号線駆動回路が、第 1 の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、

20

$C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第 2 の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 2 2】

行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有し、

30

有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ、

上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

$C_{i,j} = (i+1,j+1)$ 、 $C_{i,j+1} = (i,j+1)$ 、

$C_{i,j+2} = (i+1,j+3)$ 、 $C_{i,j+3} = (i,j+3)$ 、

$C_{i+1,j} = (i+1,j)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、

$C_{i+1,j+2} = (i+1,j+2)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、

40

$C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+2)$ 、

$C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+4)$ 、

$C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+1)$ 、

$C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+3)$

のパターンである液晶表示装置の駆動方法であって、

上記信号線駆動回路が、第 1 の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、

$C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第 2 の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

50

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$
とを、互いに逆極性のドレイン信号を印加することによって反転駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 2 3】

行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有し、

有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ、

上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i,j+2)$ 、

$C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+4)$ 、

$C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+1)$ 、

$C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+3)$ 、

$C_{i+2,j} = (i+3,j+1)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、

$C_{i+2,j+2} = (i+3,j+3)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、

$C_{i+3,j} = (i+3,j)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、

$C_{i+3,j+2} = (i+3,j+2)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンである液晶表示装置の駆動方法であって、

上記信号線駆動回路が、第 1 の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、

$C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第 2 の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動することを特徴とする液晶表示装置の駆動方法。

【請求項 2 4】

上記走査線駆動回路が、上記信号線駆動回路によって正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加することを特徴とする請求項 2 0 から 2 3 のいずれか 1 項に記載の液晶表示装置の駆動方法。

【請求項 2 5】

上記ゲートパルス幅は、1 水平走査期間を H としたとき、

$$T_p + T_n \leq 2H$$

となるように設定されていることを特徴とする請求項 2 4 に記載の液晶表示装置の駆動方法。

【請求項 2 6】

有効表示領域の 1 行目の画素をドット反転駆動し、2 行目以降の画素を、列方向に 2 画素毎かつ行方向に 1 画素毎に、1 行目の極性とは異なる極性で反転駆動するとともに、

正極性のドレイン信号が印加された時のゲートパルス幅が負極性のドレイン信号が印加された時のゲートパルス幅より長いゲート信号を画素に印加することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、アモルファスシリコンを用いたアクティブマト

10

20

30

40

50

リクス液晶表示装置およびその駆動方法、ゲートドライバに関するものである。

【背景技術】

【0002】

従来、アモルファスシリコン（a-Si）を用いたアクティブマトリクス液晶表示装置の駆動方法としては、フリッカを低減させるために、1ゲートラインごとにドレイン信号の極性を反転させる駆動、すなわち、ライン反転駆動が行われている。

【0003】

しかし、ライン反転駆動では、アモルファスシリコンTFT（薄膜トランジスタ）の駆動能力が低いため、プロセスのバラツキ等により電界効果移動度が低下すると、480ライン程度のディスプレイの駆動さえ困難になる。

10

【0004】

この主原因は、正極性時におけるドレイン信号がアモルファスシリコンTFTを介して液晶端子部に十分に印加されないことにある。これはドレイン信号が正極性時には、TFTのデバイス動作におけるゲート・ソース間電位VGSが液晶端子部の電位の上昇とともに低下するため、TFTのオン抵抗が徐々に上昇する理由によるものである。一方、ドレイン信号が負極性時には、VGSは液晶端子部の電位の低下には関係なく一定なのでTFTのオン抵抗は充分低い。よって、ドレイン信号が負極性時にはドレイン信号は液晶端子部に比較的高速に印加される。

【0005】

この問題点を解決することを目的として、特許文献1には、行列方向に配置された各画素と対応するように設けられた画素用TFT、該TFTのゲート電極を各行ごとに共通接続する走査電極、該TFTのドレインを各列ごとに共通接続する信号電極、該TFTのソースと接続されている各画素の表示電極、走査電極への駆動信号出力を制御する走査側駆動回路、信号電極への駆動信号出力を制御する信号側駆動回路、および行毎反転駆動を有する液晶表示装置において、正極性のドレイン信号が印加された時のゲートパルス幅は負極性のドレイン信号が印加された時のゲートパルス幅より長い液晶表示装置が提案されている。図19は、上記液晶表示装置におけるライン反転駆動によるゲート信号のタイミングチャートである。

20

【0006】

上記液晶表示装置の駆動方法によれば、ドレイン信号が正極性時にはゲートパルス幅が負極性時のゲートパルス幅よりも長い。したがって、正極性時にはアモルファスシリコンTFTの駆動能力は低いけれども、ゲートパルス幅は長いので、ドレイン信号は液晶端子部に十分に印加される。したがって、プロセスのバラツキ等によりTFTの電界効果移動度が低下しても、表示品質の優れた液晶表示装置を提供できるとされている。

30

【0007】

また、従来のアクティブマトリクス液晶表示装置では、その駆動時に、(1)フレーム反転方式では、画面全体に、(2)ゲート・ライン反転方式では、走査線方向に、(3)ドレイン・ライン反転方式では、信号線方向にそれぞれフレーム周波数のフリッカが目立ってしまうという問題点があった。

【0008】

この問題点を解決することを目的として、特許文献2には、走査電極X1～Xnと信号電極Y1～Ymとによって区画された領域内にそれぞれ画素電極101とTFT102とを設けた液晶表示装置が提案されている。この液晶表示装置では、TFTのゲートは走査電極と接続され、そのソース・ドレインは信号電極と接続されるが2本の走査電極によって挟まれた領域内に配置されたTFTにおいては、そのゲートが交互に異なる側の走査電極と接続されている。図20は、上記液晶表示装置の電極構造を示す平面図である。

40

【0009】

上記液晶表示装置によれば、走査電極の選択が移る度に、信号電極Y1～Ymに印加される電圧の極性を反転させる（いわゆる、ゲート・ライン反転方式）と、画面の各ドットごとに極性が反転する電圧が印加されることになり（ドット反転方式）、フレーム周波数で

50

現れるフリッカが抑制される。図 2 1 は、上記液晶表示装置をゲート・ライン反転方式で駆動したときに、1 ドットごとに反転する正・負の電圧が印加される様子を示す説明図である。

【特許文献 1】特開平 4-3 2 2 2 1 6 号公報（公開日：平成 4 年（1 9 9 2）1 1 月 1 2 日）

【特許文献 2】特開平 4-2 2 3 4 2 8 号公報（公開日：平成 4 年（1 9 9 2）8 月 1 3 日）

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 0】

従来の構造の液晶パネルでは、T F T が逆スタガ構造の n チャンネルのトランジスタの場合、書き込む極性の正負によって、充電能力が次のように異なる。(a) プラスを書き込む場合、信号がドレインとなり、ソースが充電される。よって、ゲート-ソース間の電圧 V_{GS} が小さくなり、電流供給能力が低下する。これに対して、(b) マイナスを書き込む場合、信号がソースとなり、信号源が低インピーダンスのソースドライバであるため、ソース電位は変動しない。よって、電流供給能力は変わらない。

【0 0 1 1】

一方、近時液晶パネルの大型化・高精細化が進んでいる。しかし、従来の構造によって液晶パネルを大型化・高精細化した場合、特に、アモルファスシリコンを用いた液晶パネルの場合、充電時間が確保できないという問題がある。具体的には、大型・高精細の液晶パネルでは、画素が密になるため、画素当たりの書き込み時間が短くなる。すなわち、トランジスタ 1 つにかけることのできる充電の時間が短くなってきた。その結果、短時間で充電する必要があるが、上記のように、プラスを書き込む際に電流供給能力が低下するため、充電時間の不足が発生することになる。なお、パネルの開口率を低下させないためにはトランジスタを小さくせざるをえないが、小さくなると駆動力が低下する。

【0 0 1 2】

また、特許文献 2 に記載されているドット反転方式には、表示が乱れるキラーパターンがある。

【0 0 1 3】

本発明は、上記の問題点を解決するためになされたもので、その目的は、パネル充電時間を確保するために、書き込むべきソース電位に応じてゲート信号幅を変更することができる液晶表示装置およびその駆動方法、ゲートドライバを提供することにある。

【課題を解決するための手段】

【0 0 1 4】

上記課題を解決するために、本発明に係る液晶表示装置は、行列方向に配置された各画素と対応するように設けられた T F T、該 T F T のゲートを共通接続する走査線、該 T F T のドレインを共通接続する信号線、該 T F T のソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有する液晶表示装置であって、有効表示領域では所定の T F T 配置パターンの繰り返しとなるように T F T が設けられ、

上記 T F T 配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられた T F T のゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j} = (p,q)$ と表記するとき、

$C_{i,j} = (i+1,j)$ 、 $C_{i,j+1} = (i,j+1)$ 、

$C_{i,j+2} = (i+1,j+2)$ 、 $C_{i,j+3} = (i,j+3)$ 、

$C_{i+1,j} = (i+1,j+1)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、

$C_{i+1,j+2} = (i+1,j+3)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、

$C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+1)$ 、

$C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+3)$ 、

$C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+2)$ 、

10

20

30

40

50

$C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+4)$

のパターンであり、

上記信号線駆動回路は、第1の画素グループを構成する画素

$C_{i,j}$ 、 $C_{i,j+2}$ 、 $C_{i+1,j}$ 、 $C_{i+1,j+2}$ 、

$C_{i+2,j+1}$ 、 $C_{i+2,j+3}$ 、 $C_{i+3,j+1}$ 、 $C_{i+3,j+3}$

と、第2の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動するものであることを特徴としている。

10

【0015】

上記TFT配置パターンによれば、図1のようなTFTの配置となる。具体的には、画素 $C_{i,j} \sim C_{i+3,j+3}$ は、図1の表示データD1,2~D4,5が書き込まれる16個の画素に対応する。そして、第1の画素グループと第2の画素グループとに、互いに逆極性のドレイン信号を印加することによって、図1に示すような、縦2ドットを組にした反転駆動が可能となる。

【0016】

よって、ラインごとの反転駆動や1ドットごとの反転駆動では表示が乱れる、いわゆるキラパターンを正確に表示できる。したがって、より表示品質の優れた液晶表示装置を実現できる。

20

【0017】

ここで、上記TFT配置パターンに従ってTFTが配置された液晶パネルでは、1本の走査線がゲート信号を印加する画素のドレイン信号の極性が正極性か負極性のいずれか一方に統一されている。すなわち、上記TFT配置パターンは、1回の走査において、1本の走査線がドレイン信号の極性に応じた1種類のゲートパルス幅のゲート信号をすべての画素に供給可能であるようにTFTを配置するものである。それゆえ、上記液晶表示装置は、後述するように、正極性のドレイン信号が印加された時のゲートパルス幅 T_p と、負極性のドレイン信号が印加された時のゲートパルス幅 T_n とを異ならせて、ゲート信号を印加することが可能となる。

【0018】

30

また、本発明に係る液晶表示装置は、上記TFT配置パターンが、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i+1,j+1)$ 、

$C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+3)$ 、

$C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+2)$ 、

$C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+4)$ 、

$C_{i+2,j} = (i+3,j)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、

$C_{i+2,j+2} = (i+3,j+2)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、

$C_{i+3,j} = (i+3,j+1)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、

$C_{i+3,j+2} = (i+3,j+3)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンであってもよい。

40

【0019】

また、本発明に係る液晶表示装置は、上記TFT配置パターンが、

$C_{i,j} = (i+1,j+1)$ 、 $C_{i,j+1} = (i,j+1)$ 、

$C_{i,j+2} = (i+1,j+3)$ 、 $C_{i,j+3} = (i,j+3)$ 、

$C_{i+1,j} = (i+1,j)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、

$C_{i+1,j+2} = (i+1,j+2)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、

$C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+2)$ 、

$C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+4)$ 、

$C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+1)$ 、

$C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+3)$

50

のパターンであってもよい。

【0020】

また、本発明に係る液晶表示装置は、上記 T F T 配置パターンが、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i,j+2)$ 、
 $C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+4)$ 、
 $C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+1)$ 、
 $C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+3)$ 、
 $C_{i+2,j} = (i+3,j+1)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、
 $C_{i+2,j+2} = (i+3,j+3)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、
 $C_{i+3,j} = (i+3,j)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、
 $C_{i+3,j+2} = (i+3,j+2)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンであってもよい。

10

【0021】

さらに、本発明に係る液晶表示装置は、1行目の画素と2行目の画素との T F T の配置パターンが同じであってもよい。また、本発明に係る液晶表示装置は、1行目の画素と2行目の画素との T F T の配置パターンが異なってもよい。

【0022】

さらに、本発明に係る液晶表示装置は、上記走査線駆動回路は、上記信号線駆動回路によって正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加するものであることを

20

【0023】

これにより、正極性のドレイン信号を印加する時にはゲートパルス幅 T_p を長くし、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くできる。よって、正極性のドレイン信号を印加する際、電流供給能力が低下して充電が不足する分を補えるように、長いゲートパルス幅 T_p を確保することが可能となる。したがって、書き込むべきソース電位に応じてゲート信号幅を変更することにより、パネル充電時間を確保することができ。それゆえ、大型・高精細の液晶パネルにおいて、画素が密になり、トランジスタ1つにかけることのできる充電時間が短くなっても、充電の不足を防止できる。

【0024】

30

さらに、本発明に係る液晶表示装置は、上記ゲートパルス幅は、1水平走査期間を H としたとき、 $T_p + T_n \leq 2H$ となるように設定されていることを特徴としている。

【0025】

これにより、充電時間に余裕のある負極性のドレイン信号を印加する時のゲートパルス幅から、正極性のドレイン信号を印加する時のゲートパルス幅へ時間を融通して、 $2H$ 単位でゲートパルス幅 T_p 、 T_n を最適化できる。

【0026】

なお、両方の充電時間を確保した上で、 $T_p + T_n < 2H$ である場合には、ゲート信号を印加しない時間を設けてもよい。逆に、 $T_p + T_n > 2H$ である場合には、 $T_p + T_n = 2H$ となるように、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くしてもよい。

40

【0027】

さらに、本発明に係る液晶表示装置は、画素ごとの表示データを、正極性のドレイン信号によって書き込まれるものと、負極性のドレイン信号によって書き込まれるものとに振り分けて、上記信号線駆動回路へ供給する走査線順次変換手段を備えることを特徴としている。

【0028】

これにより、図1に示すような、縦2ドットを組にした反転駆動が可能となる。なお、走査線順次変換手段は、第1の画素グループと第2の画素グループとにそれぞれ対応する2つの F I F O メモリやフレームメモリによって実現できる。

50

【0029】

また、本発明に係る液晶表示装置は、行列方向に配置された各画素と対応するようにTFTが設けられた液晶表示装置であって、画素のTFTのゲートと接続された、互いに異なる極性の画素を駆動するための第1の走査線および第2の走査線を有し、上記第1の走査線が、同一画素列内で隣接する2つの画素のTFTに接続され、上記第2の走査線が、2行2列の4つの画素ごとに一方の対角に位置する2つの画素のTFTに接続されたことを特徴としている。

【0030】

このようにTFTを配置すれば、上述したTFT配置パターンの繰り返しが得られる。すなわち、図1のようなTFTの配置となる。そして、第1の画素グループと第2の画素グループとに、互いに逆極性のドレイン信号を印加することによって、図1に示すような、縦2ドットを組にした反転駆動が可能となる。

【0031】

よって、ラインごとの反転駆動や1ドットごとの反転駆動では表示が乱れる、いわゆるキラパターンを正確に表示できる。したがって、より表示品質の優れた液晶表示装置を実現できる。

【0032】

さらに、本発明に係る液晶表示装置は、正極性のドレイン信号が印加された時のゲートパルス幅が負極性のドレイン信号が印加された時のゲートパルス幅より長いゲート信号を印加する走査線駆動回路を備えることを特徴としている。

【0033】

これにより、さらに、正極性のドレイン信号を印加する時にはゲートパルス幅 T_p を長くし、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くできる。よって、正極性のドレイン信号を印加する際、電流供給能力が低下して充電が不足する分を補えるように、長いゲートパルス幅 T_p を確保することが可能となる。したがって、書き込むべきソース電位に応じてゲート信号幅を変更することにより、パネル充電時間を確保することができる。それゆえ、大型・高精細の液晶パネルにおいて、画素が密になり、トランジスタ1つにかけることのできる充電時間が短くなっても、充電の不足を防止できる。

【0034】

さらに、本発明に係る液晶表示装置は、有効表示領域の画素を、列方向に2画素毎かつ行方向に1画素毎に反転駆動するものであることを特徴としている。

【0035】

これにより、さらに、1画素ずらし、列方向2画素毎、行方向1画素毎のドット反転駆動が可能となる。

【0036】

さらに、本発明に係る液晶表示装置は、有効表示領域が m 列 n 行であるとき、画素を駆動するソース信号線の数 $m+1$ 本であってもよい。また、本発明に係る液晶表示装置は、有効表示領域が m 列 n 行であるとき、画素を駆動するソース信号線の数 m 本であってもよい。

【0037】

さらに、本発明に係る液晶表示装置は、有効表示領域が m 列 n 行であるとき、画素を駆動するソースドライバの数 $m+1$ 個であってもよい。また、本発明に係る液晶表示装置は、有効表示領域が m 列 n 行であるとき、画素を駆動するソースドライバの数 m 個であってもよい。

【0038】

また、本発明に係るゲートドライバは、液晶表示装置のゲートドライバであって、シフトレジスタと複数の出力回路とからなり、上記の各出力回路は、出力を制御するゲートアウトプットエネーブル信号を入力するために、第1のゲートアウトプットエネーブル信号線および第2のゲートアウトプットエネーブル信号線のいずれか一方と接続されていることを特徴としている。

10

20

30

40

50

【0039】

これにより、第1のゲートアウトプットエネーブル信号によって奇数行の走査線を駆動するゲートドライバの出力を制御し、第2のゲートアウトプットエネーブル信号によって偶数行の走査線を駆動するゲートドライバの出力を制御することができる。具体的には、ゲートアウトプットエネーブル信号がハイ状態の時、ゲートドライバの出力をスルーさせ、ロー状態の時、ゲートドライバの出力をオフにすればよい。このように、複数系統のゲートアウトプットエネーブル信号を設けることにより、シフトレジスタの構成を複雑（段数を増加させることなく）にすることなく、2つのゲートパルスの中に、簡単に、ゲートパルスの休止期間（ t_5 、 t_6 （図18を参照））を設けることができるため、正確に表示データを画素に書き込むことが可能となる。

10

【0040】

また、本発明に係るゲートドライバは、液晶表示装置のゲートドライバであって、パルス幅が異なる第1のゲート線駆動パルスおよび第2のゲート線駆動パルスを、第1のゲート線駆動パルスと第2のゲート線駆動パルスとが2水平走査期間の間にそれぞれ1回ゲート線駆動信号であるハイレベルの電圧になり、かつ、第1のゲート線駆動パルスと第2のゲート線駆動パルスとの間にいずれのゲート線をも駆動しない期間を生成するように、走査線に出力するものであることを特徴としている。

【0041】

これにより、2つのゲートパルスの中に、簡単に、ゲートパルスの休止期間（ t_5 、 t_6 （図18を参照））を設けることができるため、正確に表示データを画素に書き込むことが可能となる。

20

【0042】

また、本発明に係る液晶表示装置は、上記のゲートドライバを搭載したことを特徴としている。

【0043】

これにより、パネル充電時間を確保するために、書き込むべきソース電位に応じてゲート信号幅を変更することが可能となる。したがって、より表示品質の優れた液晶表示装置を実現できる。

【0044】

さらに、本発明に係る液晶表示装置の駆動方法は、行列方向に配置された各画素と対応するように設けられたTFT、該TFTのゲートを共通接続する走査線、該TFTのドレインを共通接続する信号線、該TFTのソースと接続されている各画素の画素電極、走査線へのゲート信号を制御する走査線駆動回路、信号線へのドレイン信号を制御する信号線駆動回路を有し、有効表示領域では所定のTFT配置パターンの繰り返しとなるようにTFTが設けられ、

30

上記TFT配置パターンは、有効表示領域の x 行 y 列の画素 $C_{x,y}$ に設けられたTFTのゲートが有効表示領域の p 本目の走査線に、ドレインが有効表示領域の q 本目の信号線に接続されていることを $C_{i,j}=(p,q)$ と表記するとき、

$$C_{i,j}=(i+1,j)、C_{i,j+1}=(i,j+1)、$$

$$C_{i,j+2}=(i+1,j+2)、C_{i,j+3}=(i,j+3)、$$

$$C_{i+1,j}=(i+1,j+1)、C_{i+1,j+1}=(i+2,j+1)、$$

$$C_{i+1,j+2}=(i+1,j+3)、C_{i+1,j+3}=(i+2,j+3)、$$

$$C_{i+2,j}=(i+2,j)、C_{i+2,j+1}=(i+3,j+1)、$$

$$C_{i+2,j+2}=(i+2,j+2)、C_{i+2,j+3}=(i+3,j+3)、$$

$$C_{i+3,j}=(i+4,j)、C_{i+3,j+1}=(i+3,j+2)、$$

$$C_{i+3,j+2}=(i+4,j+2)、C_{i+3,j+3}=(i+3,j+4)$$

のパターンである液晶表示装置の駆動方法であって、

上記信号線駆動回路が、第1の画素グループを構成する画素

$$C_{i,j}、C_{i,j+2}、C_{i+1,j}、C_{i+1,j+2}、$$

$$C_{i+2,j+1}、C_{i+2,j+3}、C_{i+3,j+1}、C_{i+3,j+3}$$

40

50

と、第2の画素グループを構成する画素

$C_{i,j+1}$ 、 $C_{i,j+3}$ 、 $C_{i+1,j+1}$ 、 $C_{i+1,j+3}$

$C_{i+2,j}$ 、 $C_{i+2,j+2}$ 、 $C_{i+3,j}$ 、 $C_{i+3,j+2}$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動することを特徴としている。

【0045】

上記TFT配置パターンによれば、図1のようなTFTの配置となる。具体的には、画素 $C_{i,j} \sim C_{i+3,j+3}$ は、図1の表示データD1,2~D4,5が書き込まれる16個の画素に対応する。そして、第1の画素グループと第2の画素グループとに、互いに逆極性のドレイン信号を印加することによって、図1に示すような、縦2ドットを組にした反転駆動が可能となる。 10

【0046】

よって、ラインごとの反転駆動や1ドットごとの反転駆動では表示が乱れる、いわゆるキラパターンを正確に表示できる。したがって、より表示品質の優れた液晶表示装置を実現できる。

【0047】

ここで、上記TFT配置パターンに従ってTFTが配置された液晶パネルでは、1本の走査線がゲート信号を印加する画素のドレイン信号の極性が正極性か負極性のいずれか一方に統一されている。すなわち、上記TFT配置パターンは、1回の走査において、1本の走査線がドレイン信号の極性に応じた1種類のゲートパルス幅のゲート信号をすべての画素に供給可能であるようにTFTを配置するものである。それゆえ、上記液晶表示装置は、正極性のドレイン信号が印加された時のゲートパルス幅 T_p と、負極性のドレイン信号が印加された時のゲートパルス幅 T_n とを異ならせて、ゲート信号を印加することが可能となる。 20

【0048】

また、本発明に係る液晶表示装置の駆動方法は、上記TFT配置パターンが、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i+1,j+1)$ 、

$C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+3)$ 、

$C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+2)$ 、

$C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+4)$ 、 30

$C_{i+2,j} = (i+3,j)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、

$C_{i+2,j+2} = (i+3,j+2)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、

$C_{i+3,j} = (i+3,j+1)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、

$C_{i+3,j+2} = (i+3,j+3)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンであってもよい。

【0049】

また、本発明に係る液晶表示装置の駆動方法は、上記TFT配置パターンが、

$C_{i,j} = (i+1,j+1)$ 、 $C_{i,j+1} = (i,j+1)$ 、

$C_{i,j+2} = (i+1,j+3)$ 、 $C_{i,j+3} = (i,j+3)$ 、

$C_{i+1,j} = (i+1,j)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、 40

$C_{i+1,j+2} = (i+1,j+2)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、

$C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+2)$ 、

$C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+4)$ 、

$C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+1)$ 、

$C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+3)$

のパターンであってもよい。

【0050】

また、本発明に係る液晶表示装置の駆動方法は、上記TFT配置パターンが、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i,j+2)$ 、

$C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+4)$ 、 50

$C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+1)$ 、
 $C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+3)$ 、
 $C_{i+2,j} = (i+3,j+1)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、
 $C_{i+2,j+2} = (i+3,j+3)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、
 $C_{i+3,j} = (i+3,j)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、
 $C_{i+3,j+2} = (i+3,j+2)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンであってもよい。

【0051】

さらに、本発明に係る液晶表示装置の駆動方法は、上記走査線駆動回路が、上記信号線駆動回路によって正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加することを特徴としている。

10

【0052】

これにより、さらに、正極性のドレイン信号を印加する時にはゲートパルス幅 T_p を長くし、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くできる。よって、正極性のドレイン信号を印加する際、電流供給能力が低下して充電が不足する分を補えるように、長いゲートパルス幅 T_p を確保することが可能となる。したがって、書き込むべきソース電位に応じてゲート信号幅を変更することにより、パネル充電時間を確保することができる。それゆえ、大型・高精細の液晶パネルにおいて、画素が密になり、トランジスタ1つにかけることのできる充電時間が短くなっても、充電の不足を防止できる。

20

【0053】

さらに、本発明に係る液晶表示装置の駆動方法は、上記ゲートパルス幅は、1 水平走査期間を H としたとき、 $T_p + T_n \leq 2H$ となるように設定されていることを特徴としている。

【0054】

これにより、さらに、充電時間に余裕のある負極性のドレイン信号を印加する時のゲートパルス幅から、正極性のドレイン信号を印加する時のゲートパルス幅へ時間を融通して、 $2H$ 単位でゲートパルス幅 T_p 、 T_n を最適化できる。

【0055】

なお、両方の充電時間を確保した上で、 $T_p + T_n < 2H$ である場合には、ゲート信号を印加しない時間を設けてもよい。逆に、 $T_p + T_n > 2H$ である場合には、 $T_p + T_n = 2H$ となるように、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くしてもよい。

30

【0056】

また、本発明に係る液晶表示装置の駆動方法は、有効表示領域の1行目の画素をドット反転駆動し、2行目以降の画素を、列方向に2画素毎かつ行方向に1画素毎に、1行目の極性とは異なる極性で反転駆動するとともに、正極性のドレイン信号が印加された時のゲートパルス幅が負極性のドレイン信号が印加された時のゲートパルス幅より長いゲート信号を画素に印加することを特徴としている。

【0057】

これにより、ラインごとの反転駆動や1ドットごとの反転駆動では表示が乱れる、いわゆるキラパターンを正確に表示できる。したがって、より表示品質の優れた液晶表示装置を実現できる。

40

【0058】

また、正極性のドレイン信号を印加する時にはゲートパルス幅 T_p を長くし、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くできる。よって、正極性のドレイン信号を印加する際、電流供給能力が低下して充電が不足する分を補えるように、長いゲートパルス幅 T_p を確保することが可能となる。したがって、書き込むべきソース電位に応じてゲート信号幅を変更することにより、パネル充電時間を確保することができる。それゆえ、大型・高精細の液晶パネルにおいて、画素が密になり、トランジスタ1つにかけ

50

ることのできる充電時間が短くなっても、充電の不足を防止できる。

【発明の効果】

【0059】

以上のように、本発明に係る液晶表示装置は、有効表示領域では所定のTFT配置パターンの繰り返しとなるようにTFTが設けられ、上記TFT配置パターンは、有効表示領域のx行y列の画素C_{x,y}に設けられたTFTのゲートが有効表示領域のp本目の走査線に、ドレインが有効表示領域のq本目の信号線に接続されていることをC_{i,j}=(p,q)と表記するとき、

C_{i,j}=(i+1,j)、C_{i,j+1}=(i,j+1)、
 C_{i,j+2}=(i+1,j+2)、C_{i,j+3}=(i,j+3)、
 C_{i+1,j}=(i+1,j+1)、C_{i+1,j+1}=(i+2,j+1)、
 C_{i+1,j+2}=(i+1,j+3)、C_{i+1,j+3}=(i+2,j+3)、
 C_{i+2,j}=(i+2,j)、C_{i+2,j+1}=(i+3,j+1)、
 C_{i+2,j+2}=(i+2,j+2)、C_{i+2,j+3}=(i+3,j+3)、
 C_{i+3,j}=(i+4,j)、C_{i+3,j+1}=(i+3,j+2)、
 C_{i+3,j+2}=(i+4,j+2)、C_{i+3,j+3}=(i+3,j+4)

10

のパターンであり、

上記信号線駆動回路は、第1の画素グループを構成する画素

C_{i,j}、C_{i,j+2}、C_{i+1,j}、C_{i+1,j+2}、
 C_{i+2,j+1}、C_{i+2,j+3}、C_{i+3,j+1}、C_{i+3,j+3}

20

と、第2の画素グループを構成する画素

C_{i,j+1}、C_{i,j+3}、C_{i+1,j+1}、C_{i+1,j+3}
 C_{i+2,j}、C_{i+2,j+2}、C_{i+3,j}、C_{i+3,j+2}

とを、互いに逆極性のドレイン信号を印加することによって反転駆動するものである。

【0060】

上記TFT配置パターンによれば、図1のようなTFTの配置となる。具体的には、画素C_{i,j}~C_{i+3,j+3}は、図1の表示データD_{1,2}~D_{4,5}が書き込まれる16個の画素に対応する。そして、第1の画素グループと第2の画素グループとに、互いに逆極性のドレイン信号を印加することによって、図1に示すような、縦2ドットを組にした反転駆動が可能となる。

30

【0061】

よって、ラインごとの反転駆動や1ドットごとの反転駆動では表示が乱れる、いわゆるキラパターンを正確に表示できる。したがって、より表示品質の優れた液晶表示装置を実現できるという効果を奏する。

【0062】

ここで、上記TFT配置パターンに従ってTFTが配置された液晶パネルでは、1本の走査線がゲート信号を印加する画素のドレイン信号の極性が正極性か負極性のいずれか一方に統一されている。すなわち、上記TFT配置パターンは、1回の走査において、1本の走査線がドレイン信号の極性に応じた1種類のゲートパルス幅のゲート信号をすべての画素に供給可能であるようにTFTを配置するものである。それゆえ、上記液晶表示装置は、正極性のドレイン信号が印加された時のゲートパルス幅T_pと、負極性のドレイン信号が印加された時のゲートパルス幅T_nとを異ならせて、ゲート信号を印加することが可能となる。

40

【0063】

また、本発明に係る液晶表示装置は、上記TFT配置パターンが、

C_{i,j}=(i,j)、C_{i,j+1}=(i+1,j+1)、
 C_{i,j+2}=(i,j+2)、C_{i,j+3}=(i+1,j+3)、
 C_{i+1,j}=(i+2,j)、C_{i+1,j+1}=(i+1,j+2)、
 C_{i+1,j+2}=(i+2,j+2)、C_{i+1,j+3}=(i+1,j+4)、
 C_{i+2,j}=(i+3,j)、C_{i+2,j+1}=(i+2,j+1)、

50

$C_{i+2,j+2} = (i+3,j+2)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、
 $C_{i+3,j} = (i+3,j+1)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、
 $C_{i+3,j+2} = (i+3,j+3)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンであっても上記と同様の効果を奏する。

【0064】

また、本発明に係る液晶表示装置は、上記 T F T 配置パターンが、

$C_{i,j} = (i+1,j+1)$ 、 $C_{i,j+1} = (i,j+1)$ 、
 $C_{i,j+2} = (i+1,j+3)$ 、 $C_{i,j+3} = (i,j+3)$ 、
 $C_{i+1,j} = (i+1,j)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、
 $C_{i+1,j+2} = (i+1,j+2)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、
 $C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+2)$ 、
 $C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+4)$ 、
 $C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+1)$ 、
 $C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+3)$

のパターンであっても上記と同様の効果を奏する。

10

【0065】

また、本発明に係る液晶表示装置は、上記 T F T 配置パターンが、

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i,j+2)$ 、
 $C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+4)$ 、
 $C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+1)$ 、
 $C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+3)$ 、
 $C_{i+2,j} = (i+3,j+1)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、
 $C_{i+2,j+2} = (i+3,j+3)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、
 $C_{i+3,j} = (i+3,j)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、
 $C_{i+3,j+2} = (i+3,j+2)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

のパターンであっても上記と同様の効果を奏する。

20

【0066】

さらに、本発明に係る液晶表示装置は、上記走査線駆動回路は、上記信号線駆動回路によって正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加するものである。

30

【0067】

これにより、正極性のドレイン信号を印加する時にはゲートパルス幅 T_p を長くし、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くできる。よって、正極性のドレイン信号を印加する際、電流供給能力が低下して充電が不足する分を補えるように、長いゲートパルス幅 T_p を確保することが可能となる。したがって、書き込むべきソース電位に応じてゲート信号幅を変更することにより、パネル充電時間を確保することができる。それゆえ、大型・高精細の液晶パネルにおいて、画素が密になり、トランジスタ1つにかけることのできる充電時間が短くなっても、充電の不足を防止できるという効果を奏する。

40

【0068】

また、本発明に係る液晶表示装置は、行列方向に配置された各画素と対応するように T F T が設けられた液晶表示装置であって、画素の T F T のゲートと接続された、互いに異なる極性の画素を駆動するための第1の走査線および第2の走査線を有し、上記第1の走査線が、同一画素列内で隣接する2つの画素の T F T に接続され、上記第2の走査線が、2行2列の4つの画素ごとに一方の対角に位置する2つの画素の T F T に接続された構成である。

【0069】

このように T F T を配置すれば、上述した T F T 配置パターンの繰り返しが得られる。よって、上記と同様の効果を奏する。

【発明を実施するための最良の形態】

50

【0070】

本発明の一実施の形態について図1から図18に基づいて説明すれば、以下のとおりである。

【0071】

図2は、本実施の形態に係るアクティブマトリクス方式の液晶表示装置1の構成の概略を示すブロック図である。なお、以下の説明では、アクティブマトリクス方式の代表例であるTFT（薄膜トランジスタ）方式の液晶表示装置を例示する。ただし、本発明は、いわゆる電気光学的変調素子に広く適用可能であって、特にマトリクス型のTFTを用いる表示装置に好適であり、液晶表示装置に限定されるものではない。

【0072】

液晶表示装置1は、液晶表示部とそれを駆動する液晶駆動装置とで構成されている。液晶表示部は、TFT方式の液晶パネル11を含んでいる。この液晶パネル11内には、図示しない液晶表示素子と、対向電極（共通電極）とが設けられている。一方、液晶駆動装置は、それぞれIC（Integrated Circuit）からなるソースドライバ12およびゲートドライバ13と、コントローラ14と、液晶駆動電源（図示せず）とを含んでいる。

【0073】

ソースドライバ12やゲートドライバ13は、一般的には、配線のあるフィルム上に先のICチップを搭載した、例えばTCP（Tape Carrier Package）を液晶パネル上のITO（Indium Tin Oxide;インジウムスズ酸化膜）端子上に実装・接続したり、先のICチップをACF（Anisotropic Conductive Film:異方性導電膜）を介して直接、液晶パネル上のITO端子に熱圧着して実装し、接続する方法で構成されている。なお、液晶表示装置の小型化に対応するため、コントローラ14、ソースドライバ12、ゲートドライバ13、液晶駆動電源を、1チップ、あるいは、2ないし3チップで構成してもよい。

【0074】

コントローラ14は、デジタル化された表示データ（例えば、赤、緑、青に対応するRGBの各信号）および各種制御信号をソースドライバ12に出力するとともに、各種制御信号をゲートドライバ13に出力している。ソースドライバ12への主な制御信号は、水平同期信号、スタートパルス信号およびソースドライバ用クロック信号等がある。一方、ゲートドライバ13への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等がある。

【0075】

コントローラ14は、外部から入力された映像信号から表示データを生成し、タイミング等を制御した後、ソースドライバ12へ表示データ（Data）として入力する。特に、コントローラ14は、映像信号に基づく表示データを液晶パネル11に表示する順序に変換する走査線順次変換部41を備えている。なお、変換後の表示データが図2の表示データ（Data）である。走査線順次変換部41の構成については後述する。

【0076】

なお、ソースドライバ12およびゲートドライバ13へは、液晶駆動電源より液晶パネル表示用電圧が供給される。図中、各ICを駆動するための電源は省略している。

【0077】

ソースドライバ12は、入力された表示データを時分割で内部にラッチし、その後、コントローラ14から入力される水平同期信号（ラッチ信号とも言う）にラッチおよびこの信号に同期してDA（デジタル→アナログ）変換を行う。そして、ソースドライバ12は、DA変換によって得られた階調表示用のアナログ電圧（階調表示用電圧）を、液晶駆動電圧出力端子から、信号線（ソース信号ライン）を介して、その液晶駆動電圧出力端子に対応した液晶パネル11内の液晶表示素子（図示せず）へそれぞれ出力する。そのため、図2に示すように、ソースドライバ12は、シフトレジスタ回路21、データラッチ回路22、D/A変換回路23、出力回路24を備えている。

【0078】

つぎに、液晶パネル11について説明する。液晶パネル11には、画素電極、画素容量

10

20

30

40

50

、画素への印加電圧をON/OFFする素子としてのTFT、信号線（ソース信号ライン）、走査線（ゲート信号ライン）、対向電極が設けられている。なお、画素電極は対向電極とで液晶層を挟持している。

【0079】

信号線には、ソースドライバ12から、表示対象の画素の明るさに応じた階調表示電圧が与えられる。走査線には、ゲートドライバ13からTFTが順次ONするように走査信号が与えられる。

【0080】

ON状態のTFTを通して、該TFTのドレインに接続された画素電極に信号線の電圧が印加されると、画素電極と対向電極との間の画素容量に電荷が蓄積される。これにより、液晶において光透過率が変化し、表示が行われる。 10

【0081】

本実施の形態に係る液晶表示装置1は、行列方向に配置された各画素と対応するように設けられたTFT、該TFTのゲートを共通接続する走査線G、該TFTのドレインを共通接続する信号線G、該TFTのソースと接続されている各画素の画素電極、走査線Gへのゲート信号を制御するゲートドライバ（走査線駆動回路）13、信号線SDへのドレイン信号を制御するソースドライバ（信号線駆動回路）12を有する。

【0082】

以下、行方向にm個、列方向にnの画素を有する表示パネル11を具体例として説明する。なお、各画素を $C_{m,n}$ と表記する。また、各画素と空間的に対応する表示データを $D_{m,n}$ と表記する。図中、画素に設けられたTFTを四角で示す。 20

【0083】

図1は、表示パネル11のTFTの配置と1番目のフレームF1の画素の極性とを示す説明図である。図3は、1番目のフレームF1の駆動例を示す説明図である。図4は、1+1番目のフレームF1+1の画素の極性を示す説明図である。図5は、1+1番目のフレームF1+1の駆動例を示す説明図である。

【0084】

図1に示すように、表示パネル11には、各画素に1つのTFTが設けられている。各TFTは、ゲートが1つの走査線 G_n に、ドレインが1つの信号線 SD_n に、ソースが画素電極に接続されている。 30

【0085】

ここで、表示パネル11の有効表示領域には、TFTが、所定のTFT配置パターンの繰り返しとなるように設けられている。図1では、2行目より下がTFT配置パターンの繰り返し領域である。なお、図4、図6～図8、図10、図14も同様である。

【0086】

繰り返しのパターンは、繰り返し領域のx行y列の画素 $C_{x,y}$ に設けられたTFTのゲートが繰り返し領域のp本目の走査線に、ドレインが繰り返し領域のq本目の信号線に接続されていることを $C_{i,j}=(p,q)$ と表記するとき、

$$\begin{aligned} &C_{i,j}=(i+1,j)、C_{i,j+1}=(i,j+1)、 \\ &C_{i,j+2}=(i+1,j+2)、C_{i,j+3}=(i,j+3)、 \\ &C_{i+1,j}=(i+1,j+1)、C_{i+1,j+1}=(i+2,j+1)、 \\ &C_{i+1,j+2}=(i+1,j+3)、C_{i+1,j+3}=(i+2,j+3)、 \\ &C_{i+2,j}=(i+2,j)、C_{i+2,j+1}=(i+3,j+1)、 \\ &C_{i+2,j+2}=(i+2,j+2)、C_{i+2,j+3}=(i+3,j+3)、 \\ &C_{i+3,j}=(i+4,j)、C_{i+3,j+1}=(i+3,j+2)、 \\ &C_{i+3,j+2}=(i+4,j+2)、C_{i+3,j+3}=(i+3,j+4) \end{aligned}$$

40

と表すことができる。具体的には、図1の表示データ $D_{1,2} \sim D_{4,5}$ が書き込まれる16個の画素が、上記の画素 $C_{i,j} \sim C_{i+3,j+3}$ に対応する。

【0087】

なお、TFT配置の繰り返しパターンとしては、上記パターンの他、次の3つのパターン 50

ンが可能である。

【0088】

図6は、表示パネル11のTF Tの他の配置と1番目のフレームFlの画素の極性とを示す説明図である。図6では、次の繰り返しのパターンに従って、TF Tが配置されている。

【0089】

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i+1,j+1)$ 、
 $C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+3)$ 、
 $C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+2)$ 、
 $C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+4)$ 、
 $C_{i+2,j} = (i+3,j)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、
 $C_{i+2,j+2} = (i+3,j+2)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、
 $C_{i+3,j} = (i+3,j+1)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、
 $C_{i+3,j+2} = (i+3,j+3)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

10

図7は、表示パネル11のTF Tの他の配置と1番目のフレームFlの画素の極性とを示す説明図である。図7では、次の繰り返しのパターンに従って、TF Tが配置されている。

【0090】

$C_{i,j} = (i+1,j+1)$ 、 $C_{i,j+1} = (i,j+1)$ 、
 $C_{i,j+2} = (i+1,j+3)$ 、 $C_{i,j+3} = (i,j+3)$ 、
 $C_{i+1,j} = (i+1,j)$ 、 $C_{i+1,j+1} = (i+2,j+1)$ 、
 $C_{i+1,j+2} = (i+1,j+2)$ 、 $C_{i+1,j+3} = (i+2,j+3)$ 、
 $C_{i+2,j} = (i+2,j)$ 、 $C_{i+2,j+1} = (i+3,j+2)$ 、
 $C_{i+2,j+2} = (i+2,j+2)$ 、 $C_{i+2,j+3} = (i+3,j+4)$ 、
 $C_{i+3,j} = (i+4,j)$ 、 $C_{i+3,j+1} = (i+3,j+1)$ 、
 $C_{i+3,j+2} = (i+4,j+2)$ 、 $C_{i+3,j+3} = (i+3,j+3)$

20

なお、図7のTF T配置パターンにすると、シフトレジスタ回路に入力するDataの順序を、例えば、表示データD1,2よりも表示データD1,3の方を先に来させる処理をすればよい。かつ、前記処理を、後述する走査線順次変換部41で行うことが可能である。

【0091】

図8は、表示パネル11のTF Tの他の配置と1番目のフレームFlの画素の極性とを示す説明図である。図8では、次の繰り返しのパターンに従って、TF Tが配置されている。

30

【0092】

$C_{i,j} = (i,j)$ 、 $C_{i,j+1} = (i,j+2)$ 、
 $C_{i,j+2} = (i,j+2)$ 、 $C_{i,j+3} = (i+1,j+4)$ 、
 $C_{i+1,j} = (i+2,j)$ 、 $C_{i+1,j+1} = (i+1,j+1)$ 、
 $C_{i+1,j+2} = (i+2,j+2)$ 、 $C_{i+1,j+3} = (i+1,j+3)$ 、
 $C_{i+2,j} = (i+3,j+1)$ 、 $C_{i+2,j+1} = (i+2,j+1)$ 、
 $C_{i+2,j+2} = (i+3,j+3)$ 、 $C_{i+2,j+3} = (i+2,j+3)$ 、
 $C_{i+3,j} = (i+3,j)$ 、 $C_{i+3,j+1} = (i+4,j+1)$ 、
 $C_{i+3,j+2} = (i+3,j+2)$ 、 $C_{i+3,j+3} = (i+4,j+3)$

40

なお、図8のパターンでは、“—”が表示されている画素のTF Tを右隣の信号線に接続してもよい。

【0093】

ここで、図1に示したように（図4、図6～図8、図10、図14も同様）、液晶表示装置1の表示パネル11では、奇数番目の走査線G3, G5, …（第1の走査線）が、同一画素列内で隣接する2つの画素（D1,2とD1,3等）のTF Tに接続されており、偶数番目の走査線G2, G4, …（第2の走査線）が、2行2列の4つの画素ごとに一方の対角に位置する2つの画素（D2,3とD3,4等）のTF Tに接続されている。すなわち、後述するように

50

、奇数番目の走査線 $G3, G5, \dots$ と偶数番目の走査線 $G2, G4, \dots$ とは、互いに異なる極性で駆動される画素に接続されている。

【0094】

また、有効表示領域の 1 行目の画素の T F T の配置は、他の行に設けた T F T の配置と同じであってもよいし異なっても良い。すなわち、1 画素ずらし列方向 2 画素毎のドット反転駆動を行う場合、1 行目の画素と 2 行目以降にある画素とは T F T の配置が同じ場合と異なる場合とがある。

【0095】

ドット反転駆動で、同一走査線である $G1$ で同一極性となる一方の列の T F T を駆動すれば良く、駆動する一方の列の画素である偶数番目の列か奇数番目の列の画素のどちらか一方に T F T を設ければ良い（図 1、図 10）。次の走査線 $G2$ では、1 行目にある画素で走査線 $G1$ で駆動されなかった画素と、2 行目にある画素で走査線 $G1$ で駆動された画素と同列の画素を駆動するように、T F T を設けた。

【0096】

すなわち、図 1 では、走査線 $G1$ に設けられる T F T は、偶数番目の信号線 $SD2k$ に接続されている。あるいは、図 10 に示すように、走査線 $G1$ に設けられる T F T は、奇数番目の信号線 $SD2k-1$ ($SD1$ を除く) に接続されているともよい。

【0097】

さらに、本発明は、一方の極性の画素の駆動を列方向に隣接する 2 画素を、行方向に 1 つ飛ばしで同一走査線で駆動し、他方の極性の画素の駆動を同一極性で、前記走査線とは異なる、別の同一走査線で駆動する液晶表示装置であって、同一画素列内に T F T を同一走査線に対して千鳥状に設けてなる第 1 の画素群と、同一走査線に対して行方向に 2 画素単位で千鳥状に T F T を配置してなる第 2 の画素群とを有するように構成してもよい。

【0098】

なお、1 行目の画素の上の行に、ダミー画素やダミー走査線を設けても良い。ダミーとは有効表示領域外の画素や前記画素を駆動する走査線等を意味する。ダミー画素やダミー走査線を設けることで、同一極性で駆動する走査線の負荷を均一にしたり、信号線から受ける有効画素のクロストークの影響を 1 行目と他の行とを同じようにすることが可能となる。

【0099】

なお、図 10 は、表示パネル 11 の T F T の他の配置と 1 番目のフレーム $F1$ の画素の極性とを示す説明図である。図 11 は、1 番目のフレーム $F1$ の駆動例を示す説明図である。

【0100】

そして、上記の構造の液晶パネル 11 に対して、ソースドライバ 12 は、第 1 の画素グループを構成する画素

$$C_{i,j}, C_{i,j+2}, C_{i+1,j}, C_{i+1,j+2}, \\ C_{i+2,j+1}, C_{i+2,j+3}, C_{i+3,j+1}, C_{i+3,j+3}$$

と、第 2 の画素グループを構成する画素

$$C_{i,j+1}, C_{i,j+3}, C_{i+1,j+1}, C_{i+1,j+3} \\ C_{i+2,j}, C_{i+2,j+2}, C_{i+3,j}, C_{i+3,j+2}$$

とを、互いに逆極性のドレイン信号を印加することによって反転駆動する。すなわち、図 1 で “+” と表示されている画素（第 1 の画素グループ）と “-” と表示されている画素（第 2 の画素グループ）と、互いに逆極性のドレイン信号を印加する。さらに、ソースドライバ 12 は、フレームごとに極性を反転する。これにより、縦 2 ドットを組にした反転駆動を行うことができる。

【0101】

一方、ゲートドライバ 13 は、ゲート信号を印加する画素に正極性のドレイン信号が印加される時にはゲートパルス幅を T_p （第 1 のゲート線駆動パルス幅）とし、負極性のドレイン信号が印加される時にはゲートパルス幅を T_n （第 2 のゲート線駆動パルス幅）と

10

20

30

40

50

する。なお、上記の T F T 配置パターンに従って T F T が配置されているため、1 本の走査線がゲート信号を印加する画素のドレイン信号の極性が正極性か負極性のいずれか一方に統一されている。

【0102】

ここで、図 9 は、ゲートドライバ 13 の一構成例を示すブロック図である。

【0103】

図 9 に示すように、ゲートドライバ 13 は、シフトレジスタ 31、出力回路 32 で構成できる。出力回路 32 には、コントローラ 14 から、ゲートアウトプットエネーブル信号 G O E 1 と、ゲートアウトプットエネーブル信号 G O E 2 とが入力される。ゲートドライバ 13 では、ゲートアウトプットエネーブル信号 G O E 1, G O E 2 が “ H ” のとき、走査線 G_n にゲートパルスが出力される。これにより、奇数番目の走査線 G_{2k-1} のオンからオフの切り替わりタイミングと、偶数番目の走査線 G_{2k} のオフからオンの切り替わりタイミングとを容易に制御できる。なお、シフトレジスタの段数を少なくすると、奇数番目の走査線 G_{2k-1} がオンからオフになるタイミングが、偶数番目の走査線 G_{2k} がオフからオンになるタイミングとが一致する。

【0104】

つぎに、走査線順次変換部 41 の構成および表示データを液晶パネル 11 に表示する順序に変換する処理について説明する。走査線順次変換部 41 は、画素ごとの表示データを、正極性のドレイン信号によって書き込まれるものと、負極性のドレイン信号によって書き込まれるものとに振り分けて、ソースドライバ 12 へ供給する機能を有する。表示データ D_{m,n} は、走査線順次変換部 41 で走査線順次に変換される。

【0105】

図 3 は、走査線順次変換部 41 による表示データの変換例を示す説明図である。図 3 の行は走査線 G_n で書き込む表示データを示し、列は信号線 S D_m が印加する表示データを示している。なお、図 5、図 11、図 15 も同様である。また、図 3 の D_{m,n} は m 列、n 行にある画素を駆動する表示データを示している。なお、図 1、図 4、図 5～図 8、図 10、図 11、図 14、図 15 も同様である。

【0106】

図 12 は、図 3 に対応する走査線順次変換部 41 の一構成例を示すブロック図である。図 12 の構成の走査線順次変換部 41 では、表示データが、F I F O (first in, first out) メモリ 42 と F I F O メモリ 43 とに振り分けられる。具体的には、表示データ D_{1,1}、D_{2,1}、D_{3,1}、D_{4,1}、D_{5,1}、D_{6,1} があるとき、F I F O メモリ 42 には D_{2,1}、D_{4,1}、D_{6,1} を、F I F O メモリ 43 には D_{1,1}、D_{3,1}、D_{5,1} をそれぞれ振り分ける。そして、走査線順次変換部 41 によって走査線順次に変換されたデータは、シフトレジスタ 21 でシフトされた後、データラッチ回路 22 でデータラッチされる。データラッチされたデータは、D/A 変換回路 23 で D/A 変換され、出力回路 24 より信号線 S D_m に出力されて、走査線の走査によって、書き込まれる。

【0107】

表示データは、図 12 や図 13 の構成の走査線順次変換部 41 では、D a t a I n に線順次に、1 行目の画素に対応する表示データから、n 行目の画素に対応する表示データまでが、一定の周期で 1 垂直表示期間の間に入力される。すなわち、まず表示データ D_{1,1}、D_{2,1}、D_{3,1}、D_{4,1}、D_{5,1}、D_{6,1} がこの順に入力され、次に 2 行目の画素に対応する表示データ D_{1,2}、D_{2,2}、D_{3,2}、D_{4,2}、D_{5,2}、D_{6,2} がこの順に入力され、・・・、最後に n 行目の画素に対応する表示データ D_{1,n}、D_{2,n}、D_{3,n}、D_{4,n}、D_{5,n}、D_{6,n} がこの順で入力される。

【0108】

上記表示データを図 1 に示した T F T 配置の表示パネル 11 に表示するために、図 12 の走査線順次変換部 41 は、スイッチ S W 1, S W 2 および F I F O メモリ 42, 43 によって、表示データを走査する走査線順 (G₁、G₂、G₃、G₄ の順) に 2 行単位で表示データを走査する走査線を替える。

【0109】

また、図13は、図11に対応する走査線順次変換部41の一構成例を示すブロック図である。図13に示すように、走査線順次変換部41はフレームメモリ44によって構成することができる。

【0110】

図13の走査線順次変換部41は、フレームメモリ44に、上記表示データを該表示データと空間的に対応するアドレスに記憶する。

【0111】

図3は、図1の液晶パネル11に表示データを表示するために、走査線順次変換を行った後の表示データの位置を示す。図3では、行方向が走査する走査線、列方向が画素に表示データを印加するソースドライバを示している。より具体的には、表示データD2,1は、走査線G1が選択された時に、ソースドライバSD2から画素に+極性の表示データが印加されることを示している。

10

【0112】

ここで、図3の表示データD6,5に注目すれば、Data Inの段階では、1走査期間の先頭のデータから6番目の位置にあるが、駆動されるソースドライバがSD7である。また、図11についても同様である。すなわち、図3、図11から判るように、表示データがData Inの段階ではDm, nであるが、画素を駆動するソースドライバの数はm+1個である。

【0113】

このように、1画素ずらし、列方向2画素毎、行方向1画素毎のドット反転駆動をライン反転駆動すると、後述する図14のようなTF T配置をとらない限り、C (n行, m列)の画素を駆動するのに、ソースドライバの数がm+1個必要である。すなわち、図1、図10のようにTF Tを配置すれば、列方向2画素毎、行方向1画素毎のドット反転駆動のn行, m列の画素からなる液晶表示装置を、ソースドライバの数がm+1個で構成できる。

20

【0114】

ここで、図3、図5、図11から判るように、液晶表示装置1では、1行のm個の画素を表示するのに、m+1個のソースドライバを用いている。

【0115】

つぎに、図14は、表示パネル11のTF Tのさらに他の配置と1番目のフレームF1の画素の極性とを示す説明図である。図15は、1番目のフレームF1の駆動例を示す説明図である。図16は、図15に対応する走査線順次変換部41の一構成例を示すブロック図である。

30

【0116】

図15は、図14に示したTF T配置の表示パネル11に表示データを表示するために、走査線順次変換を行った後の表示データの位置を示している。図15では、行方向が走査する走査線、列方向が画素に表示データを印加するソースドライバを示す。

【0117】

図14のTF T配置では、n行, m列の画素からなる表示パネル11を、1画素ずらし、列方向2画素毎、行方向1画素毎のドット反転駆動をしても、必要なソースドライバの数がm個である。すなわち、図14のようにTF Tを配置すれば、列方向2画素毎、行方向1画素毎のドット反転駆動のn行, m列の画素からなる液晶表示装置を、ソースドライバの数がm個で構成できる。

40

【0118】

図14に示すように、画素C2,4、C4,4、C6,4のTF Tのドレインはそれぞれ、信号線SD1、SD3、SD5に接続されている。なお、このような接続は、例えば、画素C2,4のTF Tのドレインを信号線SD2を横切って、すなわちクロスアンダーさせて設けることによって可能である。

【0119】

50

図 1 4 に示す構成とすると、図 1 5 に示すように走査線順次変換が行われる。よって、1 行 m 個の画素の駆動を、 m 個のソースドライバで実現できる。その結果、図 1 6 に示すように、1 個のラインメモリ 4 5 によって走査線順次変換部 4 1 を実現できる。すなわち、走査線順次変換部 4 1 の構成を簡略化できる。

【0 1 2 0】

図 1 7 は、走査線 G_n および信号線 $S D_m$ のタイミングチャートである。

【0 1 2 1】

走査線 G_n のタイミングチャートに示すように、ゲートドライバ 1 3 は、画素に書き込む電圧が正極性の時のゲートオン時間が、負極性の時のゲートオン時間よりも長くなるように、ゲートパルスを出力する。正極性の 1 期間と負極性の 1 期間との合計が 2 水平走査期間 (2 H) となっている。 10

【0 1 2 2】

なお、データ $S D_m$ の極性切り替えは、コントローラ 1 4 から D/A 変換回路 2 3 に極性切り替え信号を送信して、制御してもよい。

【0 1 2 3】

また、図 1 7 で、水平同期信号 $H D$ を (正極性書き込み期間) と $H D 2$ (負極性書き込み期間) とに区別したが、これはゲートオン時間制御のタイミング関係を明確にするためであって、必ずしもこの方法に限定されない。つまり、コントローラ 1 4 は、水平同期信号 $H D$ を極性に関係なく等間隔に発生させてもよい。

【0 1 2 4】

図 1 8 は、ゲートドライバ 1 3 (走査線駆動部 $G D$) のタイミングチャートである。図 9 に示したシフトレジスタを参照しながら、図 1 5 のタイミングチャートを説明する。 20

【0 1 2 5】

クロックは、2 H の期間に 2 回ハイ期間をもつ第 1 のパルス (ハイ期間: t_1 、ロー期間: t_2) と、第 2 のパルス (ハイ期間 t_3 、ロー期間: t_4) とからなる。

【0 1 2 6】

シフトレジスタ 3 1 は、シストスタート信号 $S P$ が入力されると、シフト信号をシフトレジスタ 3 1 内でシフト開始する。そして、第 1 のパルスの立ち上がりで走査線 G_1 を駆動するシフトレジスタがハイになり、第 2 のパルスの立ち上がりで走査線 G_1 を駆動するシフトレジスタがローになると共に、走査線 G_2 を駆動するシフトレジスタがハイになる。このように、シフトレジスタ 3 1 は、シフト信号を順次シフトしていく。 30

【0 1 2 7】

ゲートドライバ 1 3 は、特に、ゲートアウトプットエネーブル信号 $G O E 1$ 、 $G O E 2$ を出力する。ゲートアウトプットエネーブル信号 $G O E 1$ は奇数行の走査線を駆動するゲートドライバの出力を制御し、ゲートアウトプットエネーブル信号 $G O E 2$ は偶数行の走査線を駆動するゲートドライバの出力を制御する。出力回路 3 2 では、ゲートアウトプットエネーブル信号 $G O E 1$ 、 $G O E 2$ がハイ状態の時、ゲートドライバの出力をスルーさせ、 $G O E 1$ 、 $G O E 2$ がロー状態の時、ゲートドライバの出力をオフに制御する。

【0 1 2 8】

このように、複数系統のゲートアウトプットエネーブル信号を設けることにより、シフトレジスタ 3 1 の構成を複雑 (段数を増加させることなく) にすることなく、 T_p と T_n の間に簡単に、ゲートパルスの休止期間である t_5 、 t_6 (図 1 8) を設けることができるため、正確に表示データを画素に書き込むことが可能となる。 40

【0 1 2 9】

上述のように、ゲートドライバ 1 3 は、ソースドライバ 1 2 によって正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加する。

【0 1 3 0】

ここで、ゲートパルス幅は、1 水平走査期間を H としたとき、 $T_p + T_n \leq 2 H$ となるように設定されている。これにより、充電時間に余裕のある負極性のドレイン信号を印加す 50

る時のゲートパルス幅から、正極性のドレイン信号を印加する時のゲートパルス幅へ時間を融通して、2 H単位でゲートパルス幅 T_p 、 T_n を最適化できる。ゲートパルス幅 T_p 、 T_n は、コンデンサ電流の式と3極管領域の電流式とに基づいて充電時間のシミュレーションを行うことによって、その比率を決定できる。

【0131】

以下、ゲートパルス幅 T_p 、 T_n の決定方法について、詳細に説明する。

【0132】

TFTの電流電圧特性は、非飽和領域と飽和領域とがあるが、非飽和領域で考えて問題がない。TFTのドレイン電圧を V_d 、ソース電圧を V_s 、ゲート電圧を V_g 、立ち上がり電圧を V_T 、ソース電流を I_s とすると、ソース電流 I_s は、次の数式(1)で表記される。

10

【0133】

$$I_s = k * \{ (V_g - V_s - V_T) * (V_d - V_s) \} - (V_d - V_s)^2 / 2 \} \quad \dots (1)$$

COM電位 V_{com} を5 V、各画素の容量を C 、前記容量 C に蓄えている電荷を Q とし、 $V_g = 15$ V、 $V_T = 2.5$ V、正極性の表示データを10 V、負極性の表示データを0 Vとすると、正極性のデータの書き込み時間 t_p および負極性のデータ書き込み時間 t_n は以下の式を解くことにより求まる。

【0134】

T_n 期間；

20

$$dQ/dt = k * \{ 12.5 * (5 - Q/C) - (5 - Q/C)^2 / 2 \} \quad \dots (2)$$

$Q^2 - 15CQ - 75C^2 = 0$ の根を α_1 、 α_2 、および定数を $-k/2C^2$ とすると

$$t_n = (k/2C^2) * [\ln \{ (5C - \alpha_1)(5C - \alpha_2) \} - \ln \{ (5C + \alpha_1)(5C + \alpha_2) \}] \quad \dots (3)$$

T_p 期間；

$$dQ/dt = k * \{ (7.5 - Q/C) * (5 - Q/C) - (5 - Q/C)^2 / 2 \} \quad \dots (4)$$

$Q^2 - 15CQ + 50C^2 = 0$ の根を α_3 、 α_4 、定数を $k/2C^2$ とすると、

30

$$t_p = (k/2C^2) [\ln \{ (5C - \alpha_3)(5C - \alpha_4) \} - \ln \{ (5C + \alpha_3)(5C + \alpha_4) \}] \quad \dots (5)$$

よって、

$$t_n/t_p = [\ln \{ (5C - \alpha_1)(5C - \alpha_2) \} - \ln \{ (5C + \alpha_1)(5C + \alpha_2) \}] / [\ln \{ (5C - \alpha_3)(5C - \alpha_4) \} - \ln \{ (5C + \alpha_3)(5C + \alpha_4) \}] \quad \dots (6)$$

数式(2)と数式(4)を比較すると、単位時間当たりの電流は T_n 期間の方が多く流れており、容量 C が充放電される振幅は T_n 期間も T_p 期間も10 Vであるから、 T_n 期間の方が短くて良いことは明らかである。

40

【0135】

なお、 $(V_d - V_s) = 0$ で、 I_s は0であるから、 $(V_d - V_s) = 0$ 近辺では充放電に時間を要するので、TFTのドレイン電圧とソース電圧を完全に一致させる必要はない。つまり、あらかじめ出力である表示状態をみて、入力である表示データを所定の表示状態になるように設定すれば良い。

【0136】

いずれにしても、上記のように t_n/t_p の比はパラメータを測定することにより、計算でも求めることができる。しかし、実際的には、 T_n と T_p を2 H期間のなかで可変して表示データの画素への書き込みが正常に行われる範囲に設定すれば良い。例えば、中間調ベータ表示でフリッカーの発生しない時間比に設定してもよい。

50

【0137】

上記のように、ゲートパルス幅 T_p および T_n は、それぞれ独立かつ任意に決定できる。よって、一方が長くなっても、必ずしも他方を短くする必要はない。例えば、両方の充電時間を確保した上で、 $T_p + T_n < 2H$ である場合には、ゲート信号を印加しない時間を設けてもよい。逆に、 $T_p + T_n > 2H$ である場合には、 $T_p + T_n = 2H$ となるように、負極性のドレイン信号を印加する時のゲートパルス幅 T_n を短くしてもよい。

【0138】

以上より、上記液晶表示装置 1 によれば、1 本の走査線が 1 回の走査において、ドレイン信号の極性に応じた 1 種類のゲートパルス幅のゲート信号をすべての画素に供給可能であるように、TFT が所定の TFT 配置パターンに従って配置されている。それゆえ、正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加することが可能となる。

10

【0139】

よって、正極性のドレイン信号を印加する際、TFT の電流供給能力が低下して充電が不足する分を補えるように、長いゲートパルス幅 T_p を確保することが可能となる。したがって、書き込むべきソース電位に応じてゲート信号幅を変更することにより、パネル充電時間を確保することができる。それゆえ、大型・高精細の液晶パネルにおいて、画素が密になり、トランジスタ 1 つにかけることのできる充電時間が短くなっても、充電の不足を防止できるという効果を奏する。

【0140】

また、上記液晶表示装置 1 は、ラインごとの反転駆動や 1 ドットごとの反転駆動では表示が乱れる、いわゆるキラパターンを正確に表示できる。したがって、より優れた表示品質が実現できる。

20

【0141】

なお、本実施の形態は本発明の範囲を限定するものではなく、本発明の範囲内で種々の変更が可能であり、例えば、以下のように構成することができる。

【0142】

本発明に係る表示装置は、 n 行 m 列の有効画素からなる表示装置であって、1 行目の画素の TFT が、該画素に隣接する複数の信号線のいずれか一方に接続されていてもよい。

【0143】

本発明に係る表示装置は、 n 行 m 列の有効画素からなる表示装置であって、ソースドライバの数が $m + 1$ 個のドライバにより駆動されるものであってもよい。

30

【0144】

本発明に係る表示装置は、 n 行 m 列の有効画素からなる表示装置であって、同一列にある一部の画素の TFT のドレインが隣接しない信号線に接続されていてもよい。

【0145】

本発明に係る表示装置は、TFT 配置のパターンが図 1、図 6～図 8、図 10、図 14 であってもよい。

【0146】

本発明に係る表示装置は、ゲートドライバの出力が 2 系統のゲートアウトプットエネルギー信号によって、ゲートオン時間が制御されるものであってもよい。

40

【0147】

本発明に係る液晶表示装置は、一方の極性の画素の駆動をするための走査線と、前記極性と異なる画素の駆動をするための走査線とで駆動する液晶表示装置であって、同一画素列内に TFT を同一走査線に対して千鳥状に設けてなる第 1 の画素群と、同一走査線に対して行方向に 2 画素単位で千鳥状に TFT を配置してなる第 2 の画素群とを有していてもよい。

【0148】

本発明に係る液晶表示装置の駆動方法は、有効表示領域の第 1 行目の画素をドット反転駆動し、2 行目以降を列方向に 2 画素毎に、行方向に 1 画素毎に、1 行目の極性と異なる

50

極性で 2 行目から反転駆動する液晶表示装置の駆動方法であって、正極性のドレイン信号が印加された時のゲートパルス幅 T_p が負極性のドレイン信号が印加された時のゲートパルス幅 T_n より長いゲート信号を印加する方法であってもよい。

【0149】

本発明に係る液晶表示装置は、1 画素ずらし、列方向 2 画素毎、行方向 1 画素毎のドット反転駆動の (m 列, n 行) の有効画素からなる液晶表示装置であって、前記画素を駆動するソース信号線の数 $m+1$ 本であってもよい。

【0150】

本発明に係る液晶表示装置は、1 画素ずらし、列方向 2 画素毎、行方向 1 画素毎のドット反転駆動の (m 列, n 行) の有効画素からなる液晶表示装置であって、前記画素を駆動するソース信号線の数 m 本であってもよい。 10

【0151】

本発明に係る液晶表示装置は、1 画素ずらし、列方向 2 画素毎、行方向 1 画素毎のドット反転駆動の (m 列, n 行) の有効画素からなる液晶表示装置であって、前記画素を駆動するソースドライバの数 $m+1$ 個であってもよい。

【0152】

本発明に係る液晶表示装置は、1 画素ずらし、列方向 2 画素毎、行方向 1 画素毎のドット反転駆動の (m 列, n 行) の有効画素からなる液晶表示装置であって、前記画素を駆動するソースドライバの数 m 個であってもよい。

【0153】

本発明に係る液晶表示装置のゲートドライバ（走査線駆動回路）は、シフトレジスタと複数個の出力回路とからなり、それぞれの出力回路が第 1 のゲートアウトプットエネーブル信号 $G O E 1$ か第 2 のゲートアウトプットエネーブル信号 $G O E 2$ のいずれか一方のゲートアウトプットエネーブル信号に接続されていてもよい。 20

【0154】

本発明に係る液晶表示装置のゲートドライバ（走査線駆動回路）は、第 1 のゲート線（走査線）駆動パルス幅 T_p と第 2 のゲート線（走査線）駆動パルス幅 T_n との複数系統のゲート線駆動パルスを走査線に出力するゲートドライバであって、第 1 のゲート線駆動パルスと第 2 のゲート線駆動パルスとが 2 水平走査期間の間にそれぞれ 1 回ゲート線駆動信号であるハイレベルの電圧を順次出力し、第 1 のゲート線駆動パルスと第 2 のゲート線駆動パルスとの間にいずれのゲート線をも駆動しない期間を有するものであってもよい。 30

【産業上の利用可能性】

【0155】

本発明に係る液晶表示装置は、書き込むべきソース電位に応じてゲート信号幅を変更できるため、パネル充電時間を確保することが可能となり、大型・高精細の液晶パネルに特に好適である。

【図面の簡単な説明】

【0156】

【図 1】図 2 に示した表示パネルの T F T の配置と 1 番目のフレームの画素の極性とを示す説明図である。 40

【図 2】本発明の一実施の形態に係る液晶表示装置の構成の概略を示すブロック図である。

【図 3】図 1 に示した表示パネルの 1 番目のフレームの駆動例を示す説明図である。

【図 4】図 2 に示した表示パネルの T F T の配置と 1 + 1 番目のフレームの画素の極性とを示す説明図である。

【図 5】図 4 に示した表示パネルの 1 + 1 番目のフレームの駆動例を示す説明図である。

【図 6】図 2 に示した表示パネルの T F T の他の配置を示す説明図である。

【図 7】図 2 に示した表示パネルの T F T の他の配置を示す説明図である。

【図 8】図 2 に示した表示パネルの T F T の他の配置を示す説明図である。

【図 9】図 2 に示したゲートドライバの一構成例を示すブロック図である。 50

【図 10】図 2 に示した表示パネルの T F T の他の配置と 1 番目のフレームの画素の極性を示す説明図である。

【図 11】図 10 に示した表示パネルの 1 番目のフレームの駆動例を示す説明図である。

【図 12】図 2 に示したコントローラの走査線順次変換部の一構成例を示すブロック図である。

【図 13】図 2 に示したコントローラの走査線順次変換部の他の構成例を示すブロック図である。

【図 14】図 2 に示した表示パネルの T F T のさらに他の配置と 1 番目のフレームの画素の極性を示す説明図である。

【図 15】図 14 に示した表示パネルの 1 番目のフレームの駆動例を示す説明図である。

【図 16】図 2 に示したコントローラの走査線順次変換部のさらに他の構成例を示すブロック図である。

【図 17】図 2 に示した表示パネルの走査線および信号線のタイミングチャートである。

【図 18】図 2 に示した表示パネルの走査線のタイミングチャートである。

【図 19】背景技術に係る液晶表示装置におけるライン反転駆動によるゲート信号のタイミングチャートである。

【図 20】背景技術に係る液晶表示装置の電極構造を示す平面図である。

【図 21】図 20 に示した液晶表示装置をゲート・ライン反転方式で駆動したときに、1 ドットごとに反転する正・負の電圧が印加される様子を示す説明図である。

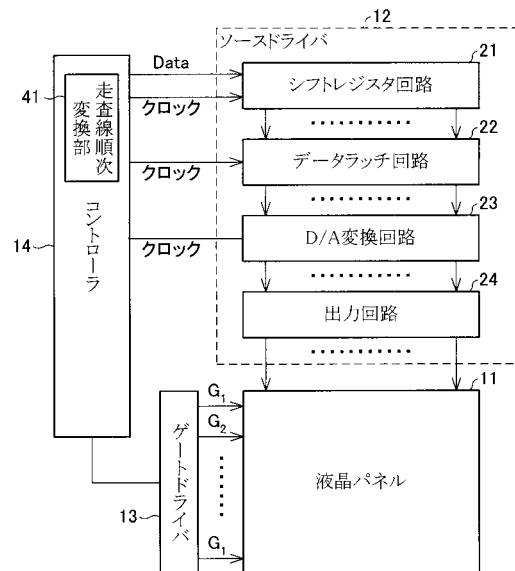
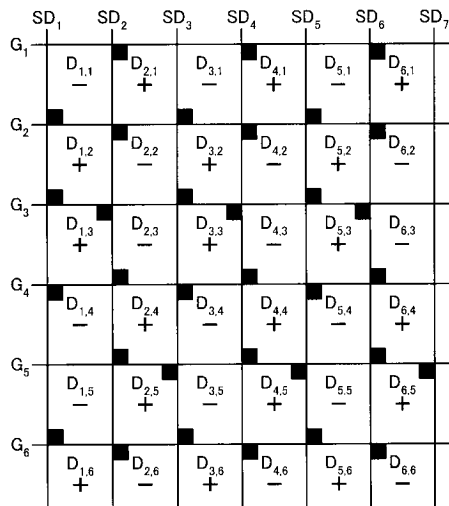
【符号の説明】

【0157】

- 1 液晶表示装置
- 12 ソースドライバ（信号線駆動回路）
- 13 ゲートドライバ（走査線駆動回路）
- 41 走査線順次変換部（走査線順次変換手段）

【図 1】

【図 2】



【図 3】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
+ G ₁	—	D _{2,1}	—	D _{4,1}	—	D _{6,1}	
- G ₂	D _{1,1}	D _{2,2}	D _{3,1}	D _{4,2}	D _{5,1}	D _{6,2}	
+ G ₃	D _{1,2}	D _{1,3}	D _{3,2}	D _{3,3}	D _{5,2}	D _{5,3}	
- G ₄	D _{1,4}	D _{2,3}	D _{3,4}	D _{4,3}	D _{5,4}	D _{6,3}	
+ G ₅	—	D _{2,4}	D _{2,5}	D _{4,4}	D _{4,5}	D _{6,4}	D _{6,5}
- G ₆	D _{1,5}	D _{2,6}	D _{3,5}	D _{4,6}	D _{5,5}	D _{6,6}	

【図 4】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
G ₁	D _{1,1} +	D _{2,1} —	D _{3,1} +	D _{4,1} —	D _{5,1} +	D _{6,1} —	
G ₂	D _{1,2} —	D _{2,2} +	D _{3,2} —	D _{4,2} +	D _{5,2} —	D _{6,2} +	
G ₃	D _{1,3} —	D _{2,3} +	D _{3,3} —	D _{4,3} +	D _{5,3} —	D _{6,3} +	
G ₄	D _{1,4} +	D _{2,4} —	D _{3,4} +	D _{4,4} —	D _{5,4} +	D _{6,4} —	
G ₅	D _{1,5} +	D _{2,5} —	D _{3,5} +	D _{4,5} —	D _{5,5} +	D _{6,5} —	
G ₆	D _{1,6} —	D _{2,6} +	D _{3,6} —	D _{4,6} +	D _{5,6} —	D _{6,6} +	

【図 5】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
- G ₁	—	D _{2,1}	—	D _{4,1}	—	D _{6,1}	
+ G ₂	D _{1,1}	D _{2,2}	D _{3,1}	D _{4,2}	D _{5,1}	D _{6,2}	
- G ₃	D _{1,2}	D _{1,3}	D _{3,2}	D _{3,3}	D _{5,2}	D _{5,3}	
+ G ₄	D _{1,4}	D _{2,3}	D _{3,4}	D _{4,3}	D _{5,4}	D _{6,3}	
- G ₅	—	D _{2,4}	D _{2,5}	D _{4,4}	D _{4,5}	D _{6,4}	D _{6,5}
+ G ₆	D _{1,5}	D _{2,6}	D _{3,5}	D _{4,6}	D _{5,5}	D _{6,6}	

【図 6】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆
G ₁	D _{1,1} +	D _{2,1} —	D _{3,1} +	D _{4,1} —	D _{5,1} +	
G ₂	D _{1,2} —	D _{2,2} +	D _{3,2} —	D _{4,2} +	D _{5,2} —	
G ₃	D _{1,3} —	D _{2,3} +	D _{3,3} —	D _{4,3} +	D _{5,3} —	
G ₄	D _{1,4} +	D _{2,4} —	D _{3,4} +	D _{4,4} —	D _{5,4} +	
G ₅	D _{1,5} +	D _{2,5} —	D _{3,5} +	D _{4,5} —	D _{5,5} +	
G ₆						

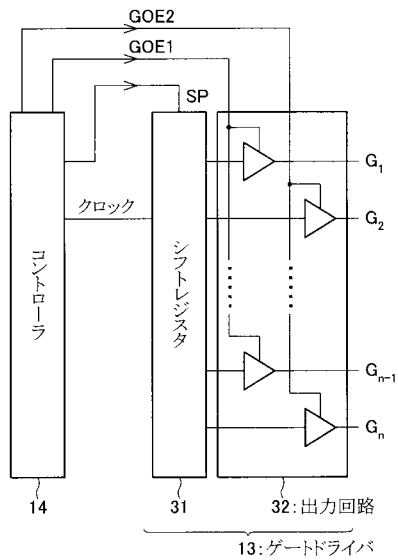
【図 7】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
G ₁	D _{1,1} —	D _{2,1} +	D _{3,1} —	D _{4,1} +	D _{5,1} —	D _{6,1} +	
G ₂	D _{1,2} +	D _{2,2} —	D _{3,2} +	D _{4,2} —	D _{5,2} +	D _{6,2} —	
G ₃	D _{1,3} +	D _{2,3} —	D _{3,3} +	D _{4,3} —	D _{5,3} +	D _{6,3} —	
G ₄	D _{1,4} —	D _{2,4} +	D _{3,4} —	D _{4,4} +	D _{5,4} —	D _{6,4} +	
G ₅	D _{1,5} —	D _{2,5} +	D _{3,5} —	D _{4,5} +	D _{5,5} —	D _{6,5} +	
G ₆	D _{1,6} +	D _{2,6} —	D _{3,6} +	D _{4,6} —	D _{5,6} +	D _{6,6} —	

【図 8】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
G ₁	D _{1,1} +	D _{2,1} —	D _{3,1} +	D _{4,1} —	D _{5,1} +	D _{6,1} —	
G ₂	D _{1,2} —	D _{2,2} +	D _{3,2} —	D _{4,2} +	D _{5,2} —	D _{6,2} +	
G ₃	D _{1,3} —	D _{2,3} +	D _{3,3} —	D _{4,3} +	D _{5,3} —	D _{6,3} +	
G ₄	D _{1,4} +	D _{2,4} —	D _{3,4} +	D _{4,4} —	D _{5,4} +	D _{6,4} —	
G ₅	D _{1,5} +	D _{2,5} —	D _{3,5} +	D _{4,5} —	D _{5,5} +	D _{6,5} —	
G ₆	D _{1,6} —	D _{2,6} +	D _{3,6} —	D _{4,6} +	D _{5,6} —	D _{6,6} +	

【図 9】



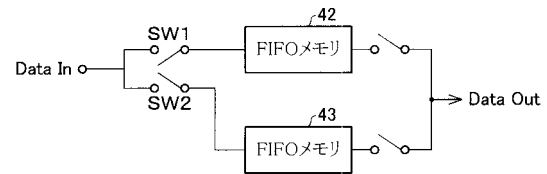
【図 10】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
G ₁	D _{1,1} —	D _{2,1} +	D _{3,1} —	D _{4,1} +	D _{5,1} —	D _{6,1} +	
G ₂	D _{1,2} +	D _{2,2} —	D _{3,2} +	D _{4,2} —	D _{5,2} +	D _{6,2} —	
G ₃	D _{1,3} +	D _{2,3} —	D _{3,3} +	D _{4,3} —	D _{5,3} +	D _{6,3} —	
G ₄	D _{1,4} —	D _{2,4} +	D _{3,4} —	D _{4,4} +	D _{5,4} —	D _{6,4} +	
G ₅	D _{1,5} —	D _{2,5} +	D _{3,5} —	D _{4,5} +	D _{5,5} —	D _{6,5} +	
G ₆	D _{1,6} +	D _{2,6} —	D _{3,6} +	D _{4,6} —	D _{5,6} +	D _{6,6} —	

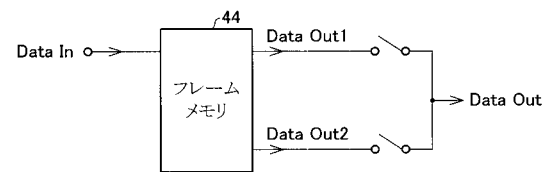
【図 1 1】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
+ G ₁	—	—	D _{2,1}	—	D _{4,1}	—	D _{6,1}
— G ₂	D _{1,1}	D _{2,2}	D _{3,1}	D _{4,2}	D _{5,1}	D _{6,2}	
+ G ₃	D _{1,2}	D _{1,3}	D _{3,2}	D _{3,3}	D _{5,2}	D _{5,3}	
— G ₄	D _{1,4}	D _{2,3}	D _{3,4}	D _{4,3}	D _{5,4}	D _{6,3}	
+ G ₅	—	D _{2,4}	D _{2,5}	D _{4,4}	D _{4,5}	D _{6,4}	D _{6,5}
— G ₆	D _{1,5}	D _{2,6}	D _{3,5}	D _{4,6}	D _{5,5}	D _{6,6}	

【図 1 2】



【図 1 3】



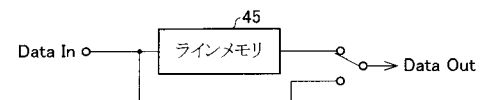
【図 1 4】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
G ₁	D _{1,1} —	D _{2,1} +	D _{3,1} —	D _{4,1} +	D _{5,1} —	D _{6,1} +	
G ₂	D _{1,2} +	D _{2,2} —	D _{3,2} +	D _{4,2} —	D _{5,2} +	D _{6,2} —	
G ₃	D _{1,3} +	D _{2,3} —	D _{3,3} +	D _{4,3} —	D _{5,3} +	D _{6,3} —	
G ₄	D _{1,4} —	D _{2,4} +	D _{3,4} —	D _{4,4} +	D _{5,4} —	D _{6,4} +	
G ₅	D _{1,5} —	D _{2,5} +	D _{3,5} —	D _{4,5} +	D _{5,5} —	D _{6,5} +	
G ₆	D _{1,6} +	D _{2,6} —	D _{3,6} +	D _{4,6} —	D _{5,6} +	D _{6,6} —	

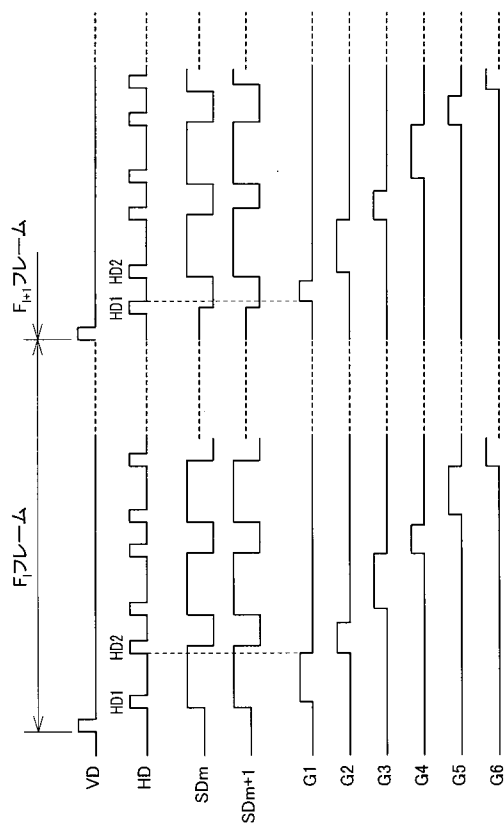
【図 1 5】

	SD ₁	SD ₂	SD ₃	SD ₄	SD ₅	SD ₆	SD ₇
+ G ₁	—	D _{2,1}	—	D _{4,1}	—	D _{6,1}	
— G ₂	D _{1,1}	D _{2,2}	D _{3,1}	D _{4,2}	D _{5,1}	D _{6,2}	
+ G ₃	D _{1,2}	D _{1,3}	D _{3,2}	D _{3,3}	D _{5,2}	D _{5,3}	
— G ₄	D _{1,4}	D _{2,3}	D _{3,4}	D _{4,3}	D _{5,4}	D _{6,3}	
+ G ₅	D _{2,4}	D _{2,5}	D _{4,4}	D _{4,5}	D _{6,4}	D _{6,5}	
— G ₆	D _{1,5}	D _{2,6}	D _{3,5}	D _{4,6}	D _{5,5}	D _{6,6}	

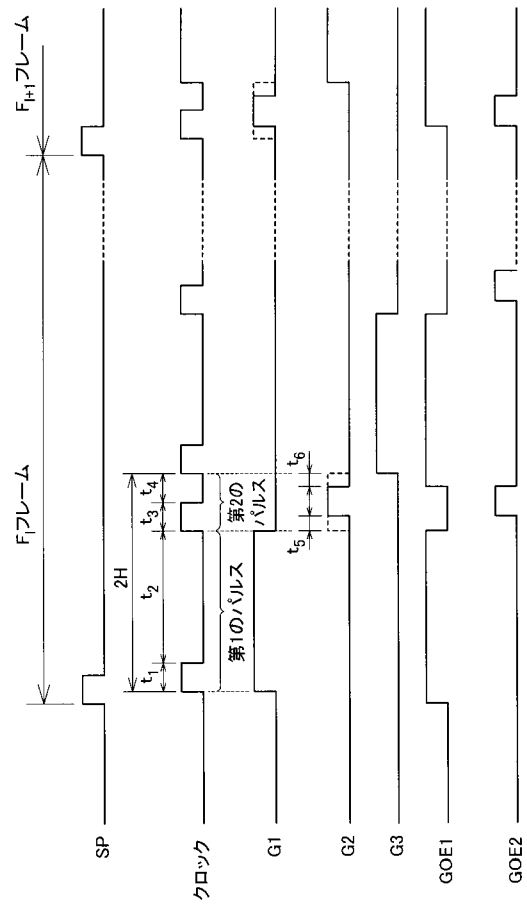
【図 1 6】



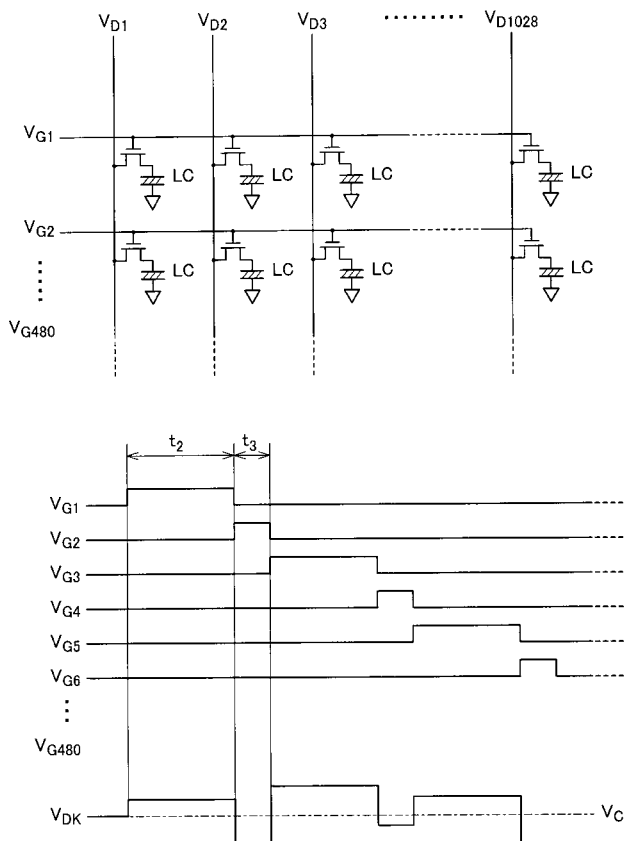
【図 17】



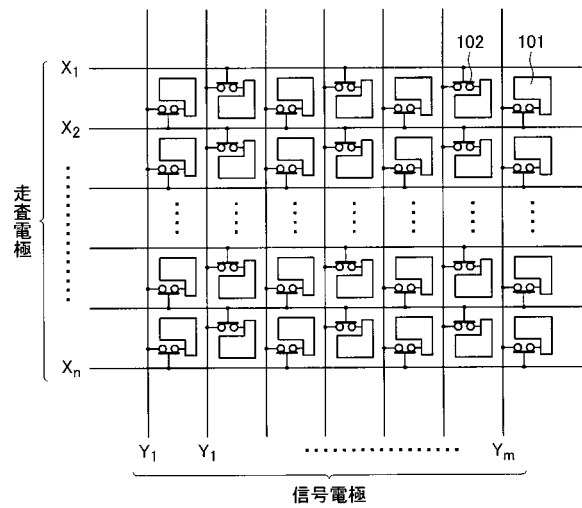
【図 18】



【図 19】



【図 20】



【図 2 1】

正	負	正	負	正	負	正	負
負	正	負	正	負	正	負	正
正	負	正	負	正	負	正	負
負	正	負	正	負	正	負	正
正	負	正	負	正	負	正	負
負	正	負	正	負	正	負	正

フロントページの続き(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 X

(72)発明者 森本 隆志

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 水巻 秀隆

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 JA24 JA37 JA41 JB22 JB31 JB41 NA25 PA06
2H093 NA16 NA31 NA34 NA43 NC09 NC11 NC22 NC26 NC28 NC29
NC34 NC49 NC65 ND35 ND58 NE03
5C006 AC22 AC26 AF42 AF43 AF44 BB14 BB16 BC03 BC22 BF01
BF03 FA14 GA02
5C080 AA10 BB05 DD30 FF11 GG12 JJ02 JJ04

专利名称(译)	液晶显示装置及其驱动方法，栅极驱动器		
公开(公告)号	JP2005165038A	公开(公告)日	2005-06-23
申请号	JP2003404851	申请日	2003-12-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山口明 正楽明大 森本隆志 水巻秀隆		
发明人	山口 明 正楽 明大 森本 隆志 水巻 秀隆		
IPC分类号	G02F1/1343 G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G02F1/1343 G09G3/20.621.B G09G3/20.621.M G09G3/20.622.C G09G3/20.622.D G09G3/20.623.X		
F-TERM分类号	2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB41 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA31 2H093/NA34 2H093/NA43 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC29 2H093/NC34 2H093/NC49 2H093/NC65 2H093/ND35 2H093/ND58 2H093/NE03 5C006/AC22 5C006/AC26 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB14 5C006/BB16 5C006/BC03 5C006/BC22 5C006/BF01 5C006/BF03 5C006/FA14 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD30 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZA08 2H193/ZB02 2H193/ZC13 2H193/ZC14 2H193/ZC20 2H193/ZF23 2H193/ZH40 2H193/ZP03		
代理人(译)	木岛隆一 金子 一郎		
外部链接	Espacenet		

摘要(译)

解决的问题：使栅极信号宽度根据要写入的源电位而变化，以确保面板充电时间。在液晶显示装置（1）中，按照预定的TFT配置图案设置有各个像素的TFT，以能够垂直驱动两个点。然后，当通过信号线驱动电路施加正极漏极信号时，扫描线驱动电路施加其栅极脉冲宽度 T_p 长于施加负极漏极信号时的栅极脉冲宽度 T_n 的栅极信号。要做。[选型图]图1

