

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-159115

(P2005-159115A)

(43) 公開日 平成17年6月16日(2005.6.16)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/786	H O 1 L 29/78 6 1 9 B	2 H O 9 2
G O 2 F 1/1368	G O 2 F 1/1368	5 C O 9 4
G O 9 F 9/30	G O 9 F 9/30 3 3 8	5 F 1 1 0
G O 9 F 9/35	G O 9 F 9/30 3 4 9 C	
	G O 9 F 9/35	
審査請求 未請求 請求項の数 13 O L (全 20 頁)		

(21) 出願番号 特願2003-397129 (P2003-397129)
 (22) 出願日 平成15年11月27日 (2003.11.27)

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100096231
 弁理士 稲垣 清
 (72) 発明者 吉永 一秀
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 齋藤 総一
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 嶋本 浩文
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

最終頁に続く

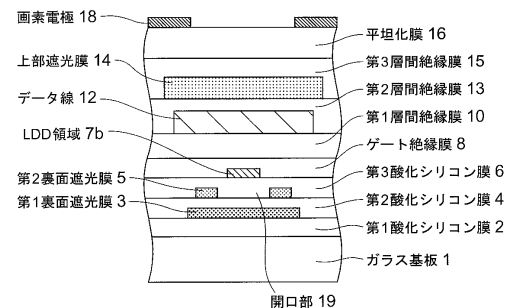
(54) 【発明の名称】 薄膜トランジスタアレイ基板及びアクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 バックゲート効果及び光リーク電流による薄膜トランジスタの特性の変動を同時に抑制する、薄膜トランジスタアレイ基板及びアクティブマトリクス型液晶表示装置を提供する。

【解決手段】 薄膜トランジスタアレイ基板30は、ガラス基板1と、ガラス基板1上に順次に形成された第1裏面遮光膜3、第2酸化シリコン膜4、第2裏面遮光膜5および第3酸化シリコン膜6と、第3酸化シリコン膜6上に形成された多結晶シリコン層7を有する薄膜トランジスタとを備える。第1裏面遮光膜3が少なくとも薄膜トランジスタの多結晶シリコン層7に対向する位置に形成され、第2裏面遮光膜5が多結晶シリコン層7のチャネル領域に対向する位置に開口部19を有する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

光透過性基板と、該光透過性基板上に順次に形成された第 1 の裏面遮光膜、第 1 の層間膜、第 2 の裏面遮光膜および第 2 の層間膜と、該第 2 の層間膜上に形成された活性層を有する薄膜トランジスタとを備え、前記第 1 の裏面遮光膜が少なくとも前記薄膜トランジスタの活性層に対向する位置に形成され、前記第 2 の裏面遮光膜が前記活性層のチャンネル領域の少なくとも一部に対向する位置に開口部を有することを特徴とする薄膜トランジスタアレイ基板。

【請求項 2】

前記第 2 の裏面遮光膜は、光吸収性材料で形成される、請求項 1 に記載の薄膜トランジスタアレイ基板。 10

【請求項 3】

前記第 2 の裏面遮光膜は、不純物ドーパシリコン又はシリコン含有材料から成る、請求項 2 に記載の薄膜トランジスタアレイ基板。

【請求項 4】

前記第 2 の裏面遮光膜は定電位に維持される、請求項 1 ～ 3 の何れか一に記載の薄膜トランジスタアレイ基板。

【請求項 5】

前記第 2 の裏面遮光膜は、列又は行方向に並ぶ薄膜トランジスタの裏面に、連続して形成される請求項 4 に記載の薄膜トランジスタアレイ基板。 20

【請求項 6】

前記第 1 の裏面遮光膜と前記活性層のドレイン領域とを電氣的に接続する、請求項 1 ～ 5 の何れか一に記載の薄膜トランジスタアレイ基板。

【請求項 7】

前記第 1 の裏面遮光膜と前記第 2 の裏面遮光膜の外形が、前記光透過性基板と直交方向に見て相互に重なり合う、請求項 1 ～ 6 の何れか一に記載の薄膜トランジスタアレイ基板。

【請求項 8】

前記第 2 の層間膜の厚みが 30 nm ～ 100 nm である、請求項 1 ～ 7 の何れか一に記載の薄膜トランジスタアレイ基板。 30

【請求項 9】

前記第 1 の層間膜の厚みと前記第 2 の層間膜の厚みの和が 150 nm 以上である、請求項 1 ～ 8 の何れか一に記載の薄膜トランジスタアレイ基板。

【請求項 10】

前記光透過性基板の表面を基準としたときに、前記第 2 の裏面遮光膜の最上部が、前記薄膜トランジスタの活性層の上面よりも上に位置する、請求項 1 ～ 9 の何れか一に記載の薄膜トランジスタアレイ基板。

【請求項 11】

前記開口部は、前記光透過性基板と直交方向に見て、前記薄膜トランジスタのゲート電極と前記活性層とが対向する位置と重なり合う、請求項 1 ～ 10 の何れか一に記載の薄膜トランジスタアレイ基板。 40

【請求項 12】

前記第 2 の裏面遮光膜の開口部の端部と前記薄膜トランジスタのソース・ドレイン領域の端部との間の距離が、前記第 1 の層間膜の厚みと前記第 2 の層間膜の厚みとの和よりも大きい、請求項 1 ～ 11 の何れか一に記載の薄膜トランジスタアレイ基板。

【請求項 13】

請求項 1 ～ 12 の何れか一に記載の薄膜トランジスタアレイ基板と、該薄膜トランジスタアレイ基板に対向して配設された対向基板と、前記薄膜トランジスタアレイ基板と前記対向基板との間に封入された液晶層とを備えることを特徴とするアクティブマトリクス型液晶表示装置。 50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタアレイ基板及びアクティブマトリクス（Active Matrix）型液晶表示装置に関し、更に詳細には、画素を制御するアクティブ素子として薄膜トランジスタ（Thin Film Transistor）を用いた薄膜トランジスタアレイ基板及びそれを備えたアクティブマトリクス型液晶表示装置に関する。

【背景技術】

【0002】

近年、壁掛け型TVや投射型TV、あるいはOA機器用表示装置として、液晶表示装置を用いた各種表示装置の開発が行われている。特に、能動素子である薄膜トランジスタをスイッチング素子として使用するアクティブマトリクス型液晶表示装置は、走査線数が増加してもコントラストや応答速度が低下しない等の利点があるため、高品位のOA機器用表示装置やハイビジョンTV用表示装置を実現する上で有力である。また、プロジェクタと呼ばれる投射型表示装置のライトバルブとして使用した場合には、大画面表示が容易に得られるという利点を有している。

【0003】

透過型液晶を用いたライトバルブ用の液晶表示装置では、通常、光源から液晶表示装置に高輝度の光を入射させ、画像情報に応じてその透過を制御している。即ち、薄膜トランジスタをスイッチング駆動させて画素毎に液晶層に電界を印加して液晶の配向を変化させることにより、入射光の透過を制御する。液晶表示装置を通過した光は、レンズなどから成る投影用光学系を介してスクリーン上に拡大投影される。この場合、光源は液晶表示装置の対向基板側に配置され、投射用光学系は液晶表示装置の薄膜トランジスタアレイ基板側に配置される。

【0004】

アモルファス・シリコン（amorphous silicon）や多結晶シリコンから成る活性層を有する薄膜トランジスタでは、チャンネル領域やLDD領域に光が照射されると、光励起により光リーク電流が発生し、薄膜トランジスタの特性に影響を及ぼすという問題がある。ここで、薄膜トランジスタの活性層に入射する光には、光源からの光だけでなく、液晶表示装置を一旦透過して投影用光学系で反射され、液晶表示装置の裏面側から再び液晶表示装置に入射する光、即ち戻り光が含まれる。

【0005】

特に、ライトバルブ用液晶表示装置では、高輝度の光を用いるので、液晶表示装置に入射する光源光及び戻り光の強度が大きく、活性層に入射する光の強度も大きい。このため、大きな光リーク電流が発生する。近年では、投射型表示装置の小型化および高輝度化が進んでおり、液晶表示装置へ入射する光の強度が更に増加する傾向にあるため、光リーク電流が更に大きくなり、薄膜トランジスタの特性への影響が更に大きくなるという問題があった。

【0006】

光リーク電流を抑制するため、液晶表示装置では一般的に、光源光の活性層への入射を遮る上部遮光膜と、戻り光の活性層への入射を遮る裏面遮光膜が、それぞれ絶縁膜を介して活性層の上方及び下方に設けられている。ここで、光リーク電流を十分に低減させるためには、上部遮光膜及び裏面遮光膜の遮光面積を十分に大きくする必要がある。これは、上部遮光膜及び裏面遮光膜の遮光面積が小さいと、基板法線方向に対して斜めに入射した光が、裏面遮光膜とデータ線、ゲート線、又は上部遮光膜などとの間で多重に反射した結果、活性層のチャンネル領域やLDD領域に入射し易くなるからである。また、裏面遮光膜などを画素電極に対して電氣的に並列に接続して蓄積容量として構成する際に、裏面遮光膜の面積を大きくすることによって、蓄積容量の容量値を増やして、保持特性を向上させ、光リーク電流の影響を低減させることが出来る。

【0007】

しかし、多重反射に対する遮光効果を高めるために、上部遮光膜や裏面遮光膜などの遮光面積を増大させると、相対的に画素開口領域の面積が低下する。これによって、白表示時の明るさが減少し、コントラスト比が低下するという問題がある。このため、大きなコントラスト比を有する液晶表示装置を得るためには、上部遮光膜及び裏面遮光膜の遮光面積を出来るだけ小さく保つ必要がある。

【0008】

特許文献1では、裏面遮光膜と活性層との間に第2の裏面遮光膜を設ける構成を提案している。図17は第2の裏面遮光膜を有する薄膜トランジスタアレイ基板の一例の構成を、図18に図17のXVIII-XVIII線に沿った断面をそれぞれ示す。薄膜トランジスタアレイ基板130では、図17に示すように、ゲート線109とデータ線122とが直交して配置され、これらの交点に薄膜トランジスタが配置される。 10

【0009】

図18に示すように、活性層を構成する多結晶シリコン層107の下方には、多結晶シリコン層107と対向し、多結晶シリコン層107と略同形状の第1裏面遮光膜103が設けられている。第1裏面遮光膜103は、タングステンシリサイドなどの光透過性の低い材料から成る。また、多結晶シリコン層107と第1裏面遮光膜103との間には、第1裏面遮光膜103と対向し、第1裏面遮光膜103と略同形状の第2裏面遮光膜105が設けられている。第2裏面遮光膜105は、アモルファス・シリコンなどの光吸収性を有する材料から成る。第1裏面遮光膜103と第2裏面遮光膜105との間、及び第2裏面遮光膜105と多結晶シリコン層107との間には、酸化シリコン膜などの絶縁膜が介在している。 20

【特許文献1】特開2003-131261号（図1、2）

【発明の開示】

【発明が解決しようとする課題】

【0010】

特許文献1によれば、多結晶シリコン層107と第1裏面遮光膜103との間に設けられた光吸収性を有する第2裏面遮光膜105により、基板法線方向に対して斜めに入射した光が、第1裏面遮光膜103とデータ線122等との間の多重反射によってチャンネル領域107c及びLDD領域107b、107dに到達する前に、光吸収性を有する第2裏面遮光膜105に入射、吸収させることが出来る。従って、遮光に必要な面積を小さく保ちつつ、且つ光リーク電流を減少させることが出来る。この場合、第2裏面遮光膜105と多結晶シリコン層107との距離、即ち酸化シリコン膜106の膜厚d2を小さくすることによって、上記基板法線方向に対して斜めに入射した光を、より効率的に第2裏面遮光膜105に入射、吸収させることが出来る。 30

【0011】

しかし、上記酸化シリコン膜106の膜厚を小さくして、第2裏面遮光膜105と多結晶シリコン層107のチャンネル領域107c及びLDD領域107b、107dとを近接させると、第2裏面遮光膜105がチャンネル領域107c及びLDD領域107b、107dに対してゲート電極として作用するバックゲート効果が発生し、薄膜トランジスタの特性が変動する問題が生じる。このため、多結晶シリコン層107と第2裏面遮光膜105との間に介在する絶縁膜の膜厚d2を一定値以上に保つ必要があり、第2裏面遮光膜105による光リーク電流の低減効果には限界があった。 40

【0012】

本発明は、上記に鑑み、バックゲート効果及び光リーク電流による薄膜トランジスタの特性の変動を同時に抑制する、薄膜トランジスタアレイ基板及びアクティブマトリクス型液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成する本発明に係る薄膜トランジスタアレイ基板は、光透過性基板と、該光透過性基板上に順次に形成された第1の裏面遮光膜、第1の層間膜、第2の裏面遮光膜 50

および第2の層間膜と、該第2の層間膜上に形成された活性層を有する薄膜トランジスタとを備え、前記第1の裏面遮光膜が少なくとも前記薄膜トランジスタの活性層に対向する位置に形成され、前記第2の裏面遮光膜が前記活性層のチャンネル領域の少なくとも一部に対向する位置に開口部を有することを特徴としている。

【0014】

本発明に係るアクティブマトリクス型液晶表示装置は、本発明に係る薄膜トランジスタアレイ基板と、該薄膜トランジスタアレイ基板に対向して配設された対向基板と、前記薄膜トランジスタアレイ基板と前記対向基板との間に封入された液晶層とを備えることを特徴としている。

【発明の効果】

10

【0015】

本発明に係る薄膜トランジスタアレイ基板によれば、第2の裏面遮光膜が活性層のチャンネル領域の少なくとも一部に対向する位置に開口部を有するので、第2の裏面遮光膜のチャンネル領域に対するバックゲート効果を低減できる。また、開口部周辺の第2の裏面遮光膜によって、第1の裏面遮光膜と、データ線、ゲート線又は上部遮光膜との間で多重反射して活性層のチャンネル領域に向かう光を遮断できるので、活性層のチャンネル領域への光の入射を抑制し、光リーク電流を低減できる。バックゲート効果及び光リーク電流の低減によって、薄膜トランジスタの特性の変動を抑制することが出来る。

【0016】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記第2の裏面遮光膜は、光吸収性材料で形成される。この場合、第2の裏面遮光膜に入射する光は吸収されるので、活性層のチャンネル領域に向かう光を効果的に遮断することが出来る。本発明の薄膜トランジスタアレイ基板は、好適には、前記第2の裏面遮光膜は、不純物ドーピングシリコン又はシリコン含有材料から成る。

20

【0017】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記第2の裏面遮光膜は定電位に維持される。本発明の薄膜トランジスタアレイ基板では、好適には、前記第2の裏面遮光膜は、列又は行方向に並ぶ薄膜トランジスタの裏面に、連続して形成される。或いは、前記第1の裏面遮光膜と前記活性層のドレイン領域とを電氣的に接続することも出来る。この場合、第1の裏面遮光膜と活性層のドレイン領域との間で蓄積容量を構成し、

30

【0018】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記第1の裏面遮光膜と前記第2の裏面遮光膜の外形が、前記光透過性基板と直交方向に見て相互に重なり合う。

【0019】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記第2の層間膜の厚みが30nm～100nmである。第2の層間膜の厚みが100nm以下であることによって、第2の裏面遮光膜を活性層の近くに形成し、光リーク電流を効果的に低減できる。また、活性層のドレイン領域と第2の裏面遮光膜との間で蓄積容量が構成される際には、その容量値を十分に増加させることが出来る。第2の層間膜の厚みが30nm以上であることによって、第2の裏面遮光膜によるバックゲート効果と類似の効果を十分に抑制することが出来る。

40

【0020】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記第1の層間膜の厚みと前記第2の層間膜の厚みの和が150nm以上である。バックゲート効果を十分に低減することが出来る。

【0021】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記光透過性基板の表面を基準としたときに、前記第2の裏面遮光膜の最上部が、前記薄膜トランジスタの活性層

50

の上面よりも上に位置する。この場合、前述の多重反射に対する遮光効果に加えて、光透過性基板の表面に略平行な方向から活性層のチャンネル領域に入射する光を、上面が活性層の上面よりも上側に位置する第2の裏面遮光膜によって遮ることが出来る。従って、活性層のチャンネル領域に入射する光を低減し、光リーク電流を更に低減することが出来る。

【0022】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記開口部は、前記光透過性基板と直交方向に見て、前記薄膜トランジスタのゲート電極と前記活性層とが対向する位置と重なり合う。ゲート線に第2の裏面遮光膜による段差が生じないので、配線切れを起こす確率が低くなり、歩留り及び信頼性を高めることが出来る。

【0023】

本発明の薄膜トランジスタアレイ基板の好適な実施態様では、前記第2の裏面遮光膜の開口部の端部と前記薄膜トランジスタのソース・ドレイン領域の端部との間の距離が、前記第1の層間膜の厚みと前記第2の層間膜の厚みとの和よりも大きい。これにより、第2の裏面遮光膜によって光透過性基板の表面に略平行な方向から活性層のチャンネル領域に及ぼされる、バックゲート効果と類似の効果が抑制できる。

【0024】

本発明に係るアクティブマトリクス型液晶表示装置によれば、上記本発明に係る薄膜トランジスタアレイ基板と同様の効果を有するアクティブマトリクス型液晶表示装置を得ることが出来る。

【発明を実施するための最良の形態】

【0025】

以下、図面を参照し、本発明に係る実施形態例に基づいて本発明を更に詳細に説明する。図1は、本発明の第1実施形態例に係る薄膜トランジスタアレイ基板の構成を示す平面図であり、図2は図1のII-II線に沿った断面を示す断面図であり、図3は図1のIII-III線に沿った断面を示す断面図である。図1～図3には、1画素に対応する薄膜トランジスタ及びその近傍を示す。薄膜トランジスタアレイ基板30において複数の画素がマトリクス状に配置され、表面に対向電極を備えた対向基板と液晶を介して対向配置される。

【0026】

薄膜トランジスタアレイ基板30は、ガラス基板1と、ガラス基板1上に形成された第1酸化シリコン膜2とを有する。第1酸化シリコン膜2は、ガラス基板1に含まれる重金属の拡散を防止するために形成されている。

【0027】

第1酸化シリコン膜2上には、第1裏面遮光膜3が形成されている。第1裏面遮光膜3は、隣接する画素の間に形成され、行方向に沿って延在するストライプ状の第1部分3aと列方向に沿って延在するストライプ状の第2部分3bとが交差して成る格子状の部分と、コンタクトホール17の下方に形成された第3部分3cとを有し、多結晶シリコン層7、ゲート線9、及びデータ線12に対向して形成されている。第1裏面遮光膜3は、光遮断性を有する、例えばタングステンシリサイドなどから成る。第1酸化シリコン膜2及び第1裏面遮光膜3を覆って、第2酸化シリコン膜4が形成されている。

【0028】

第2酸化シリコン膜4上には、第2裏面遮光膜5が形成されている。第2裏面遮光膜5は、第1裏面遮光膜3の第1部分3aに対向する第1部分5aと、第1裏面遮光膜3の第2部分3bに対向する第2部分5bとを含む。第2裏面遮光膜5は、光吸収性を有する材料、例えばアモルファス・シリコンなどから成る。また、多結晶シリコン層7のチャンネル領域7c及びLDD領域7bに対向する開口部19を有する。第2裏面遮光膜5は、薄膜トランジスタアレイ基板7の外縁部で所定の定電位を有する電源ラインに接続されている。第2酸化シリコン膜4及び第2裏面遮光膜5を覆って、第3酸化シリコン膜6が形成されている。第3酸化シリコン膜6の膜厚は30nm～300nmである。

【0029】

第3酸化シリコン膜6上には、多結晶シリコン層7が形成されている。多結晶シリコン

10

20

30

40

50

層 7 は、不純物がドーピングされていないチャネル領域 7 c、低濃度の不純物がドーピングされた L D D 領域 7 b、7 d、及び高濃度の不純物がドーピングされた、ソース領域 7 a、ドレイン領域 7 e を有する。第 2 裏面遮光膜 5 の開口部 1 9 の縁部とチャネル領域 7 c 又は L D D 領域 7 b、7 d との距離は、第 2 酸化シリコン膜 4 の膜厚 d 1 と、第 3 酸化シリコン膜 6 の膜厚 d 2 との和 ($d 1 + d 2$) よりも大きく設定されている。

【0030】

ドレイン領域 7 e の一部は第 2 裏面遮光膜 5 に沿って延在し、ドレイン領域 7 e と第 2 裏面遮光膜 5 との間で第 3 酸化シリコン膜 6 を挟んで蓄積容量の一部を形成している。ここで、第 3 酸化シリコン膜 6 の膜厚を 30 nm ~ 300 nm と薄く形成し、第 2 裏面遮光膜 5 が多結晶シリコン層 7 の近くに形成されることにより、光リーク電流を低減できると共に、蓄積容量の容量値を増加させることが出来る。第 3 酸化シリコン膜 6 及び多結晶シリコン層 7 を覆って、ゲート酸化膜 8 が形成されている。

10

【0031】

ゲート絶縁膜 8 上には、不純物がドーピングされた多結晶シリコン膜やシリサイド膜などから成るゲート線 9 が形成されている。ゲート線 9 は、チャネル領域 7 c の上方を通過して形成され、薄膜トランジスタのゲート電極として機能する。ゲート絶縁膜 8 及びゲート線 9 を覆って、第 1 層間絶縁膜 10 が形成されている。

【0032】

第 1 層間絶縁膜 10 及びゲート絶縁膜 8 を貫通し、ソース領域 7 a に達するコンタクトホール 11 が形成されている。コンタクトホール 11 内及び第 1 層間絶縁膜 10 上に連続して、アルミニウム等の低抵抗金属から成るデータ線 12 が形成されている。第 1 層間絶縁膜 10 及びデータ線 12 を覆って、第 2 層間絶縁膜 13 が形成されている。

20

【0033】

第 2 層間絶縁膜 13 上には、上部遮光膜 14 が形成されている。上部遮光膜 14 は、コンタクト接続領域 7 f を除く多結晶シリコン層 7、ゲート線 9、及びデータ線 12 を覆うように格子状に形成されている。上部遮光膜 14 は、また、薄膜トランジスタアレイ基板 30 の外縁部で所定の定電位を有する電源ラインに接続されている。第 2 層間絶縁膜 13 及び上部遮光膜 14 を覆って、第 3 層間絶縁膜 15 が形成されている。

【0034】

第 3 層間絶縁膜 15 上には平坦化膜 16 が形成され、平坦化膜 16 上には I T O (Indium Tin Oxide) から成る画素電極 18 が形成されている。図 3 に示すように、平坦化膜 16、第 3 層間絶縁膜 15、第 2 層間絶縁膜 13、第 1 層間絶縁膜 10、及びゲート絶縁膜 8 を貫通し、ドレイン領域 7 e に達するコンタクトホール 17 が形成されている。コンタクトホール 17 の底面及び側壁には、平坦化膜 16 上に形成された画素電極 18 に連続して、画素電極 18 が形成され、薄膜トランジスタアレイ基板 30 を構成している。

30

【0035】

薄膜トランジスタアレイ基板 30 をアクティブマトリクス型液晶表示装置のライトバルブとして用いる場合、図 4 に示すように対向電極 41 を備えた対向基板 40 が対向配置される。対向基板 40 側から入射されチャネル領域 7 c 及び L D D 領域 7 b、7 d に直接向かう光 L 1 は、上部遮光膜 14 によって遮断される。上部遮光膜 14 等によって遮断されなかった光の一部 L 2 は薄膜トランジスタアレイ基板 30 を通過する。上部遮光膜 14 等によって遮断されなかった光の他の一部 L 3 は、第 1 裏面遮光膜 3 で反射されるが、第 2 裏面遮光膜 5 において入射、吸収されるので、チャネル領域 7 c 及び L D D 領域 7 b、7 d への入射が遮られる。

40

【0036】

薄膜トランジスタアレイ基板 30 を通過する光のうちの一部は薄膜トランジスタアレイ基板 30 の裏面側に設けられた図示しない光学系によって反射され、戻り光 L 4 として薄膜トランジスタアレイ基板 30 に入射する。この戻り光 L 4 のうちチャネル領域 7 c 及び L D D 領域 7 b、7 d に直接向かうものは、第 1 裏面遮光膜 3 によって遮られる。また、ゲート線 9、データ線 12 や上部遮光膜 14 により反射され、チャネル領域 7 c 及び L

50

D D領域7b、7dに向かう光は第2裏面遮光膜5に入射、吸収されるので、チャンネル領域7c及びL D D領域7b、7dへの入射が遮られる。

【0037】

ここで、第2裏面遮光膜5には開口部19が設けられているものの、開口部19周辺の第2裏面遮光膜5によってチャンネル領域7c及びL D D領域7b、7dに向かう光の大半が遮られる。従って、チャンネル領域7c及びL D D領域7b、7dへの光の入射を抑制でき、光リーク電流を低減できる。更に、第1裏面遮光膜3と多結晶シリコン層7との距離、即ち第2酸化シリコン膜4の膜厚d1と第3酸化シリコン膜6の膜厚d2との和($d1 + d2$)を大きく保ちつつ、第2裏面遮光膜5と多結晶シリコン層7と距離、即ち第3酸化シリコン膜6の膜厚d2を小さくすることによって、バックゲート効果を抑制しつつ、チャンネル領域7c及びL D D領域7b、7dに向かう光をより効果的に遮り、これによって、光リーク電流を更に低減することが出来る。

10

【0038】

図5に本実施形態例の薄膜トランジスタアレイ基板30、比較例1の薄膜トランジスタアレイ基板、及び比較例2の薄膜トランジスタアレイ基板における光リーク電流の測定結果を示す。比較例1の薄膜トランジスタアレイ基板は、第1裏面遮光膜3及び第2裏面遮光膜5を有しないことを除いては、本実施形態例の薄膜トランジスタアレイ基板30と同様の構成を有している。比較例2の薄膜トランジスタアレイ基板は、第2裏面遮光膜5が開口部19を備えていないことを除いては、本実施形態例の薄膜トランジスタアレイ基板30と同様の構成を有している。同図中、グラフ(a)に示すデータが比較例1の薄膜トランジスタアレイ基板の光リーク電流を、グラフ(b)に示すデータが比較例2の薄膜トランジスタアレイ基板の光リーク電流を、グラフ(c)に示すデータが本実施形態例の薄膜トランジスタアレイ基板30の光リーク電流をそれぞれ示している。

20

【0039】

図5から理解できるように、本実施形態例の薄膜トランジスタアレイ基板30では、光リーク電流は、比較例1の薄膜トランジスタアレイ基板よりも大幅に低減され、且つ比較例2の薄膜トランジスタアレイ基板と略同程度にまで低減されている。

【0040】

図6は、本実施形態例の薄膜トランジスタアレイ基板30において、第1裏面遮光膜3と多結晶シリコン層7との間の絶縁膜厚、即ち第2酸化シリコン膜2の膜厚d1と第3酸化シリコン膜3の膜厚d2との和($d1 + d2$)と、バックゲート電圧によるT F Tリーク電流との関係について測定した結果を示す。同図から、絶縁膜厚($d1 + d2$)が100nmの場合にはバックゲート電圧によるT F Tリーク電流の上昇が大きく、絶縁膜厚が200nmの場合には、バックゲート電圧によるT F Tリーク電流の上昇が抑えられる旨が理解できる。

30

【0041】

実験によって求めたバックゲート電圧の最適値は3V程度であるが、薄膜トランジスタのバックゲート電圧によるバイアス条件は映像信号によって異なる。また、フレーム毎に極性の異なる信号が書き込まれることによっても、バックゲート電圧の最適値は異なる。従って、絶縁膜厚($d1 + d2$)が薄い場合には、バックゲート電圧によるT F Tリーク電流の上昇が顕著に発生する。一方、絶縁膜厚($d1 + d2$)が200nmの場合には、特性がフラットな領域に含まれるためバックゲート電圧によってT F Tリーク電流が上昇する問題は発生しない。

40

【0042】

本実施形態例では、また、第3酸化シリコン膜5の膜厚d2を小さくして、第2裏面遮光膜5と多結晶シリコン層7とを十分に近接させることにより、第2裏面遮光膜5とドレイン領域7eの一部によって構成される蓄積容量の容量値を高めることが出来る。これによって、光リーク電流による保持電位の変動を抑制することが出来る。

【0043】

更に、第2裏面遮光膜5の開口部19の縁部とチャンネル領域7c又はL D D領域7b、

50

7 dとの距離が、第1裏面遮光膜3と多結晶シリコン層7との間に介在する絶縁膜の膜厚より大きく設定されていることにより、第2裏面遮光膜5によってチャネル領域7 c又はLDD領域7 b、7 dの横方向から及ぼされる、バックゲート効果と類似の効果が抑制できる。

【0044】

以上説明したように本実施形態例によれば、光リーク電流の抑制と蓄積容量の増加という2つの効果が得られるので、強い光が照射された場合でも画素電位の変動を十分に抑えることが出来る。

【0045】

図7(a)～(c)、図8(d)、(e)は、薄膜トランジスタアレイ基板30の各製造段階をそれぞれ示す断面図である。先ず、図7(a)に示すように、CVD (Chemical Vapor Deposition) 法を用いて、ガラス基板1の表面に第1酸化シリコン膜2を堆積する。次いで、第1酸化シリコン膜2上に図示しないタングステンシリサイド膜を形成し、一般的なフォトリソグラフィ技術及びエッチング技術を用いて、タングステンシリサイド膜をパターンニングすることにより、第1裏面遮光膜3を形成する。続いて、CVD法を用いて、第1酸化シリコン膜2及び第1裏面遮光膜3上に第2酸化シリコン膜4を堆積し、第1裏面遮光膜3を第2酸化シリコン膜4で覆う。

【0046】

次に、減圧化学気相成長 (Low Pressure Chemical Vapor Deposition: LPCVD) 法やプラズマ化学気相成長 (Plasma Chemical Vapor Deposition: PCVD) 法などを用いて、第2酸化シリコン膜4上に図示しないアモルファス・シリコン膜を堆積し、フォトリソグラフィ技術及びエッチング技術を用いて、アモルファス・シリコン膜をパターンニングすることにより、第2裏面遮光膜5を形成する。

【0047】

次に、図7(b)に示すように、CVD法を用いて、第2酸化シリコン膜4及び第2裏面遮光膜5上に第3酸化シリコン膜6を堆積し、第2裏面遮光膜5を第3酸化シリコン膜6で覆う。次いで、LPCVD法やPCVD法などを用いて、第3酸化シリコン膜6上に図示しないアモルファス・シリコン膜を堆積した後、レーザ・アニール法などを用いて、アモルファス・シリコン膜を結晶化させる。続いて、フォトリソグラフィ技術及びエッチング技術を用いて、結晶化したアモルファス・シリコン膜をパターンニングすることにより、薄膜トランジスタ31の活性層として機能する多結晶シリコン層7を形成する。

【0048】

次に、図7(c)に示すように、CVD法を用いて、第3酸化シリコン膜6及び多結晶シリコン層7上に酸化シリコン膜から成るゲート絶縁膜8を形成し、多結晶シリコン層7をゲート絶縁膜8で覆う。次いで、不純物がドーパされた図示しない多結晶シリコン膜及び図示しないシリサイド膜を順次にゲート絶縁膜8上に形成する。続いて、フォトリソグラフィ技術及びエッチング技術を用いて、積層された多結晶シリコン膜及びシリサイド膜をパターンニングすることにより、ゲート線9を形成する。

【0049】

次に、ゲート線9をマスクとして、多結晶シリコン層7に低濃度の不純物を選択的にドーパする。次いで、図示しないパターンニングされたフォトレジスト膜をマスクとして、多結晶シリコン層7に高濃度の不純物を選択的にドーパする。これによって、多結晶シリコン層7にソース領域7 a、LDD領域7 b、7 d、チャネル領域7 c、及びドレイン領域7 eをそれぞれ形成することが出来る。

【0050】

次に、図8(d)に示すように、CVD法を用いて、ゲート絶縁膜8及びゲート線9上に酸化シリコン膜から成る第1層間絶縁膜10を形成し、ゲート線9を第1層間絶縁膜10で覆う。次いで、フォトリソグラフィ技術及びエッチング技術を用いて、第1層間絶縁膜10及びゲート絶縁膜8を選択的に除去し、ソース領域7 aを露出するコンタクトホール11を形成する。続いて、スパッタ法などにより第1層間絶縁膜10上に図示しないア

ルミニウム膜を堆積し、フォトリソグラフィ技術及びエッチング技術を用いて、アルミニウム膜をパターンニングすることによりデータ線 12 を形成する。データ線 12 は、コンタクトホール 11 の内部にも形成され、ソース領域 7a に電氣的に接続される。

【0051】

次に、図 8 (e) に示すように、CVD 法を用いて、第 1 層間絶縁膜 10 及びデータ線 12 上に酸化シリコン膜から成る第 2 層間絶縁膜 13 を形成し、データ線 12 を第 2 層間絶縁膜 13 で覆う。次いで、第 2 層間絶縁膜 13 上にスパッタ法などにより図示しないクロム膜を堆積し、フォトリソグラフィ技術及びエッチング技術を用いて、クロム膜をパターンニングして上部遮光膜 14 を形成する。次いで、CVD 法を用いて、第 2 層間絶縁膜 13 及び上部遮光膜 14 上に酸化シリコン膜から成る第 3 層間絶縁膜 15 を堆積して、上部遮光膜 14 を第 3 層間絶縁膜 15 で覆う。続いて、塗布法を用いて、第 3 層間絶縁膜 15 上に平坦化膜 16 を形成する。

10

【0052】

次に、フォトリソグラフィ技術及びエッチング技術を用いて、平坦化膜 16、第 3 層間絶縁膜 15、第 2 層間絶縁膜 13、第 1 層間絶縁膜 10、及びゲート絶縁膜 8 を選択的に除去し、ドレイン領域 7e を露出するコンタクトホール 17 を形成する。次いで、平坦化膜 16 上に ITO 膜を形成し、フォトリソグラフィ技術及びエッチング技術を用いて、ITO 膜をパターンニングして画素電極 18 を形成する。画素電極 18 は、コンタクトホール 17 の内部にも形成されて、ドレイン領域 7e に電氣的に接続される。上記工程によって、図 1～図 3 に示した本実施形態例の薄膜トランジスタアレイ基板 30 が得られる。

20

【0053】

図 9 は本発明の第 2 実施形態例に係る薄膜トランジスタアレイ基板 31 の構成を示す平面図であり、図 10 は、図 9 の X-X 線に沿った断面を示す断面図である。本実施形態例の薄膜トランジスタアレイ基板 31 では、第 1 実施形態例の薄膜トランジスタアレイ基板 30 において格子状に形成されていた第 1 裏面遮光膜 3 が、画素単位で分離して島状に形成されている。また、ドレイン領域 7e の下面より、第 3 酸化シリコン膜 6 及び第 2 酸化シリコン膜 4 を貫通して、第 1 裏面遮光膜 3 に達するコンタクトホール 22 が設けられている。コンタクトホール 22 内には、ドレイン領域 7e を構成する多結晶シリコンに連続し、第 1 裏面遮光膜 3 に接続する、多結晶シリコンから成るコンタクトが設けられ、第 1 裏面遮光膜 3 とドレイン領域 7e とが電氣的に接続されている。第 2 裏面遮光膜 5 は、コンタクトホール 22 が設けられている領域及びその近傍領域には形成されていない。本実施形態例の薄膜トランジスタアレイ基板 31 は、上記を除いては第 1 実施形態例の薄膜トランジスタアレイ基板 30 と同様の構成を有している。なお、これらの図中で、図 1～図 3 に示した第 1 実施形態例の薄膜トランジスタアレイ基板 30 と同様の構成を有する部分については同じ符号を付した。

30

【0054】

本実施形態例の薄膜トランジスタアレイ基板によれば、定電位に接続された第 2 裏面遮光膜 5 と、画素単位で分離して島状に形成された第 1 裏面遮光膜 3 との間でも、蓄積容量を構成し、単位面積あたりの蓄積容量の容量値を高めることが出来る。従って、第 1 実施形態例の薄膜トランジスタアレイ基板 30 と比較して、画素電位の変動を更に小さくし、且つ所定の蓄積容量の確保に必要な面積を更に小さくすることが出来る。

40

【0055】

なお、本実施形態例ではドレイン領域 7e の下面から第 1 裏面遮光膜 3 の上面に直接に貫通するコンタクトホール 22 を設けることにより、ドレイン領域 7e と第 1 裏面遮光膜 3 との接続を行ったが、データ線 12 に対向しない領域にドレイン領域 7e 及び第 1 裏面遮光膜 3 をそれぞれ延在させ、この延在させた領域にコンタクトホールを設けることにより、ドレイン領域 7e と第 1 裏面遮光膜 3 との接続を行っても構わない。

【0056】

図 11 (a)～(c)、図 12 (d)、(e) は、第 2 実施形態例に係る薄膜トランジスタアレイ基板 31 の各製造段階をそれぞれ示す断面図である。先ず、図 11 (a) に示

50

すように、一般的なCVD法を用いて、ガラス基板1の表面に第1酸化シリコン膜2を堆積する。次いで、第1酸化シリコン膜2上に図示しないタングステンシリサイド膜を堆積し、一般的なフォトリソグラフィ技術及びエッチング技術を用いて、タングステンシリサイド膜をパターニングすることにより、画素単位で分離した島状の第1裏面遮光膜3を形成する。続いて、CVD法を用いて、第1酸化シリコン膜2及び第1裏面遮光膜3上に第2酸化シリコン膜4を堆積し、第1裏面遮光膜3を第2酸化シリコン膜4で覆う。

【0057】

次に、減圧化学気相成長法やプラズマ化学気相成長法などを用いて、第2酸化シリコン膜4上に図示しないアモルファス・シリコン膜を堆積し、フォトリソグラフィ技術及びエッチング技術を用いて、アモルファス・シリコン膜をパターニングすることにより、略格子状の第2裏面遮光膜5を形成する。 10

【0058】

次に、図11(b)に示すように、CVD法を用いて、第2酸化シリコン膜4及び第2裏面遮光膜5上に第3酸化シリコン膜6を堆積し、第2裏面遮光膜5を第3酸化シリコン膜6で覆う。引き続き、フォトリソグラフィ技術及びエッチング技術を用いて、第3シリコン膜6及び第2酸化シリコン膜4を選択的に除去し、第1裏面遮光膜3が露出するコンタクトホール22を形成する。

【0059】

次いで、LPCVD法やPCVD法などを用いて、第3酸化シリコン膜6上に図示しないアモルファス・シリコン膜を堆積した後、レーザ・アニール法などを用いて、アモルファス・シリコン膜を結晶化させる。続いて、フォトリソグラフィ技術及びエッチング技術を用いて、結晶化したアモルファス・シリコン膜をパターニングすることにより、薄膜トランジスタ31の活性層として機能する多結晶シリコン層7を第2酸化シリコン膜4上に形成する。多結晶シリコン層7は、コンタクトホール22の内部にも形成されて、第1裏面遮光膜3に電氣的に接続される。 20

【0060】

次に、図11(c)に示すように、CVD法を用いて、第3酸化シリコン膜6及び多結晶シリコン層7上に酸化シリコン膜から成るゲート絶縁膜8を形成し、多結晶シリコン層7をゲート絶縁膜8で覆う。続いて、図示しない不純物がドーパされた多結晶シリコン膜及びシリサイド膜を順次にゲート絶縁膜8上に堆積して積層膜を形成した後、フォトリソグラフィ技術及びエッチング技術を用いて、この積層膜をパターニングしてゲート線9を形成する。 30

【0061】

次に、ゲート線9をマスクとして、多結晶シリコン層7に低濃度の不純物を選択的にドーパする。次いで、図示しないパターニングされたフォトレジスト膜をマスクとして、多結晶シリコン層7に高濃度の不純物を選択的にドーパする。これによって、多結晶シリコン層7にソース領域7a、LDD領域7b、7d、チャンネル領域7c、及びドレイン領域を形成することが出来る。

【0062】

次に、図12(d)に示すように、CVD法を用いて、ゲート絶縁膜8及びゲート線9上に酸化シリコン膜から成る第1層間絶縁膜10を形成し、ゲート線9を第1層間絶縁膜10で覆う。次いで、フォトリソグラフィ技術及びエッチング技術を用いて、第1層間絶縁膜10及びゲート絶縁膜8を選択的に除去し、ソース領域7aが露出するコンタクトホール11を形成する。続いて、スパッタ法などを用いて、第1層間絶縁膜10上に図示しないアルミニウム膜を形成し、フォトリソグラフィ技術及びエッチング技術を用いてアルミニウム膜をパターニングしてデータ線12を形成する。データ線12は、コンタクトホール11の内部にも形成されて、ソース領域7aに電氣的に接続される。 40

【0063】

次に、図12(e)に示すように、CVD法により第1層間絶縁膜10及びデータ線12上に酸化シリコン膜から成る第2層間絶縁膜13を形成し、データ線12を第2層間絶 50

縁膜 13 で覆う。次いで、第 2 層間絶縁膜 13 上にスパッタ法などを用いて、図示しないクロム膜を堆積し、フォトリソグラフィ技術及びエッチング技術を用いて、クロム膜をパターンニングすることにより、上部遮光膜 14 を形成する。続いて、CVD 法を用いて、第 2 層間絶縁膜 13 及び上部遮光膜 14 上に酸化シリコン膜から成る第 3 層間絶縁膜 15 を堆積して、上部遮光膜 14 を第 3 層間絶縁膜 15 で覆う。続いて、塗布法を用いて、第 3 層間絶縁膜 15 上に平坦化膜 16 を形成する。

【0064】

次に、フォトリソグラフィ技術及びエッチング技術により、平坦化膜 16、第 3 層間絶縁膜 15、第 2 層間絶縁膜 13、第 1 層間絶縁膜 10、及びゲート絶縁膜 8 を選択的に除去し、ドレイン領域 7e を露出する、図 9 に示したコンタクトホール 17 を形成する。次いで、平坦化膜 16 上に ITO 膜を形成し、フォトリソグラフィ技術及びエッチング技術を用いて、ITO 膜をパターンニングして図示しない画素電極を形成する。画素電極は、コンタクトホール 17 の内部にも形成されて、ドレイン領域 7e に電氣的に接続される。上述の工程により、図 9 及び図 10 に示した本実施形態例の薄膜トランジスタアレイ基板 31 が得られる。

【0065】

図 13 は、本発明の第 3 実施形態例に係る薄膜トランジスタアレイ基板の構成を示す平面図であり、図 14 は図 13 の XIV-XIV 線に沿った断面を示す断面図である。本実施形態例の薄膜トランジスタアレイ基板 32 では、第 2 裏面遮光膜 5 の開口部 20 は、コンタクト接続領域 7f を除く多結晶シリコン層 7 に対向する。また、第 2 裏面遮光膜 5 の第 1 部分 5a 及び第 2 部分 5b は、それぞれ第 1 裏面遮光膜 3 の第 1 部分 3a 及び第 2 部分 3b よりも画素開口領域の内側まで形成されている。更に、ガラス基板 1 の表面を基準として、第 2 裏面遮光膜 5 の上面がチャネル領域 7c 及び LDD 領域 7b、7d の上面よりも上になるように、第 2 裏面遮光膜 5 の膜厚が設定されている。本実施形態例の薄膜トランジスタアレイ基板 32 は、上記を除いては第 1 実施形態例の薄膜トランジスタアレイ基板 30 と同様の構成を有している。なお、これらの図中で、図 1～図 3 に示した第 1 実施形態例の薄膜トランジスタアレイ基板 30 と同様の構成を有する部分については同じ符号を付した。

【0066】

本実施形態例の薄膜トランジスタアレイ基板 32 によれば、ガラス基板 1 の表面と平行な方向に、チャネル領域 7c 及び LDD 領域 7b、7d に入射する光は、第 2 裏面遮光膜 5 によって遮られるので、チャネル領域 7c 及び LDD 領域 7b、7d に到達することは出来ない。このように、薄膜トランジスタアレイ基板 32 を構成する多層膜における屈折や反射によって、チャネル領域 7c 及び LDD 領域 7b、7d に向かう光も、第 2 裏面遮光膜 5 によって効率的に遮られ、且つ光吸収性を有する第 2 裏面遮光膜 5 によって吸収される。従って、チャネル領域 7c 及び LDD 領域 7b、7d に到達する光の量は極めて少なくなるので、光リーク電流を極めて低いレベルに抑えることが出来る。また、チャネル領域 7c 及び LDD 領域 7b、7d と第 1 裏面遮光膜 3 及び第 2 裏面遮光膜 5 における開口部 20 の縁部との距離を十分に大きくすることによりバックゲート効果を抑制することが出来る。これらによって、薄膜トランジスタの特性の変動を抑制することが出来る。

【0067】

薄膜トランジスタアレイ基板 32 の製造方法について説明する。本実施形態例の薄膜トランジスタアレイ基板 32 の製造方法は、図 7 及び図 8 を用いて説明した、第 1 実施形態例の薄膜トランジスタアレイ基板 30 の製造方法とは、下記の点を除いては同様である。

【0068】

即ち、図 7 (a) に示した工程において、第 1 裏面遮光膜 3 の厚さを 200 nm に、第 2 酸化シリコン膜 4 の厚さを 300 nm に、第 2 裏面遮光膜 5 の厚さを 400 nm にそれぞれ形成する。第 2 裏面遮光膜 5 のパターンニングを行う際には、画素開口領域における内側領域、及びコンタクト接続領域 7f を除く多結晶シリコン層 7 に対向する領域を除去する。また、第 2 裏面遮光膜 5 の側面がテーパ状に成るようにすると、上層の被覆性を良

10

20

30

40

50

くすることが出来る。図 7 (b) に示した工程において、第 3 酸化シリコン膜 6 を厚さ 100 nm に、多結晶シリコン層 7 を厚さ 50 nm にそれぞれ形成する。

【0069】

本実施形態例の薄膜トランジスタアレイ基板 32 では、第 2 裏面遮光膜 5 と第 1 裏面遮光膜 3 とが一部に重なりを有するので、第 1 酸化シリコン膜 2 の表面を基準とすると、第 2 裏面遮光膜 5 の最上部、即ち上面の高さは $200\text{ nm} + 300\text{ nm} + 400\text{ nm} = 900\text{ nm}$ である。一方、チャネル領域 7c の上面の高さは $200\text{ nm} + 300\text{ nm} + 100\text{ nm} + 50\text{ nm} = 650\text{ nm}$ であり、第 2 裏面遮光膜 5 の上面よりも低くなっている。このため、多結晶シリコン層 7 は、水平方向、即ちガラス基板 1 の表面に平行な方向に多結晶シリコン層 7 に入射する光から完全に遮蔽される。

10

【0070】

なお、本実施形態例では第 2 裏面遮光膜 5 と第 1 裏面遮光膜 3 とが、一部に重なりを有するように形成されているが、必ずしも重なりを有しなくてもよい。この場合にも、好ましくは、第 2 裏面遮光膜 5 の最上部がチャネル領域 7c および LDD 領域 7b、d よりも上に位置するように薄膜トランジスタアレイ基板を構成する各層の膜厚を設定する。本実施形態例の薄膜トランジスタアレイ基板 32 における第 2 酸化シリコン膜 4、第 2 裏面遮光膜 5、第 3 酸化シリコン膜 6、及び多結晶シリコン層 7 の膜厚設定であれば、第 1 裏面遮光膜 3 と第 2 裏面遮光膜 5 とが重ならないとしても、第 2 裏面遮光膜 5 の最上部の高さは $(300 + 400) = 700\text{ nm}$ であり、チャネル領域 7c 及び LDD 領域 7b、7d の上面の高さは 650 nm であるので、第 2 裏面遮光膜 5 の最上部はチャネル領域 7c 及び LDD 領域 7b、7d よりも上側に位置している。

20

【0071】

本実施形態例では、第 2 裏面遮光膜 5 の開口部 20 が、コンタクト接続領域 7f を除く多結晶シリコン層 7 の全ての領域に対向するものとしたが、第 2 裏面遮光膜 5 の開口部 20 が、少なくともチャネル領域 7c 及び LDD 領域 7b、7d に対向することにより、本発明の効果を得ることが出来る。また、第 2 裏面遮光膜 5 の材料として、アモルファスシリコンに代えて、非晶質シリコンを用いても同様の効果を得ることが出来る。

【0072】

図 15 は本発明の第 4 実施形態例に係る薄膜トランジスタアレイ基板の構成を示す平面図であり、図 16 は図 15 の XVI-XVI 線に沿った断面を示す断面図である。本実施形態例の薄膜トランジスタアレイ基板 33 は、第 2 裏面遮光膜 5 の開口部 21 が、第 3 実施形態例における第 2 裏面遮光膜 5 の開口部 20 が有する領域に加えて、ゲート線 9 に対向する領域を含むことを除いては、第 3 実施形態例の薄膜トランジスタアレイ基板 32 と同様の構成を有している。

30

【0073】

第 3 実施形態例の薄膜トランジスタアレイ基板 32 では、大きな膜厚を有する第 2 裏面遮光膜 5 の上方に形成されるゲート線 9 などの配線に段差を生じさせるので、配線の信頼性が低下する恐れがある。本実施形態例の薄膜トランジスタアレイ基板 33 によれば、開口部 21 がゲート線 9 に対向する領域を含むことにより、ゲート線 9 に第 2 裏面遮光膜 5 による段差が生じないので、配線切れを起こす確率が低くなり、歩留り及び信頼性を高めることが出来る。このように、本実施形態例の薄膜トランジスタアレイ基板 33 によれば、第 3 実施形態例の薄膜トランジスタアレイ基板 32 の効果に加えて、高い信頼性を得ることが出来る。

40

【0074】

本実施形態例の薄膜トランジスタアレイ基板 33 の製造方法は、第 2 裏面遮光膜 5 のパターンニングを行う際に、ゲート線 9 に対向する領域を更に除去することを除いては、第 3 実施形態例の薄膜トランジスタアレイ基板 32 の製造方法と同様である。なお、本実施形態例では、ゲート線 9 におけるゲート電極部分に連続する領域 23 においても、第 2 裏面遮光膜 5 を除去しているが、除去しなくて本実施形態例の効果を得ることが出来る。

【0075】

50

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明に係る薄膜トランジスタアレイ基板及びアクティブマトリクス型液晶表示装置は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した薄膜トランジスタアレイ基板及びアクティブマトリクス型液晶表示装置も、本発明の範囲に含まれる。本発明に係る薄膜トランジスタアレイ基板及びアクティブマトリクス型液晶表示装置は、ライトバルブとして好適に構成できる。

【図面の簡単な説明】

【0076】

【図1】第1実施形態例の薄膜トランジスタアレイ基板の構成を示す平面図である。

【図2】図1のII-II線に沿った断面を示す断面図である。

10

【図3】図1のIII-III線に沿った断面を示す断面図である。

【図4】第1実施形態例に係る薄膜トランジスタアレイ基板の機能を示す断面図である。

【図5】第1実施形態例及び従来の薄膜トランジスタアレイ基板における光リーク電流をそれぞれ示すグラフである。

【図6】第1実施形態例及び従来の薄膜トランジスタアレイ基板における、バックゲート電圧とTFTRリーク電流との関係を示すグラフである。

【図7】図7(a)～(c)は、第1実施形態例に係る薄膜トランジスタアレイ基板の各製造段階をそれぞれ示す断面図である。

【図8】図8(d)、(e)は、第1実施形態例に係る薄膜トランジスタアレイ基板の、図7に後続する各製造段階をそれぞれ示す断面図である。

20

【図9】第2実施形態例に係る薄膜トランジスタアレイ基板の構成を示す平面図である。

【図10】図9のX-X線に沿った断面を示す断面図である。

【図11】図11(a)～(c)は、第2実施形態例に係る薄膜トランジスタアレイ基板の各製造段階をそれぞれ示す断面図である。

【図12】図12(d)、(e)は、第2実施形態例に係る薄膜トランジスタアレイ基板の、図11に後続する各製造段階をそれぞれ示す断面図である。

【図13】第3実施形態例に係る薄膜トランジスタアレイ基板の構成を示す平面図である。

【図14】図13のXIV-XIV線に沿った断面を示す断面図である。

【図15】第4実施形態例に係る薄膜トランジスタアレイ基板の構成を示す平面図である

30

【図16】図15のXVI-XVI線に沿った断面を示す断面図である。

【図17】第2の下部遮光膜を有する薄膜トランジスタアレイ基板の一例の構成を示す平面図である。

【図18】図17のXVIII-XVIII線に沿った断面を示す断面図である。

【符号の説明】

【0077】

1：ガラス基板

2：第1酸化シリコン膜

3：第1裏面遮光膜

40

3a：第1部分

3b：第2部分

3c：第3部分

4：第2酸化シリコン膜

5：第2裏面遮光膜

5a：第1部分

5b：第2部分

6：第3酸化シリコン膜

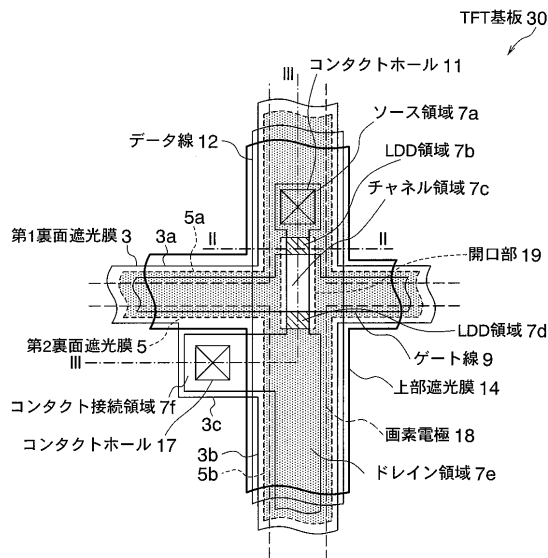
7：多結晶シリコン膜

7a：ソース領域

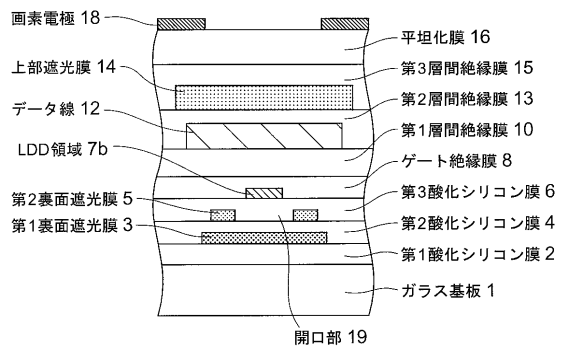
50

- 7b、7d：LDD領域
 7c：チャネル領域
 7e：ドレイン領域
 7f：コンタクト接続領域
 8：ゲート絶縁膜
 9：ゲート線
 10：第1層間絶縁膜
 11：コンタクトホール
 12：データ線
 13：第2層間絶縁膜
 14：上部遮光膜
 15：第3層間絶縁膜
 16：平坦化膜
 17：コンタクトホール
 18：画素電極
 19、20、21：（第2下部遮光膜の）開口部
 22：コンタクトホール
 23：（ゲート線における）ゲート電極部分に連続する領域
 30、31、32、33、130：薄膜トランジスタアレイ基板

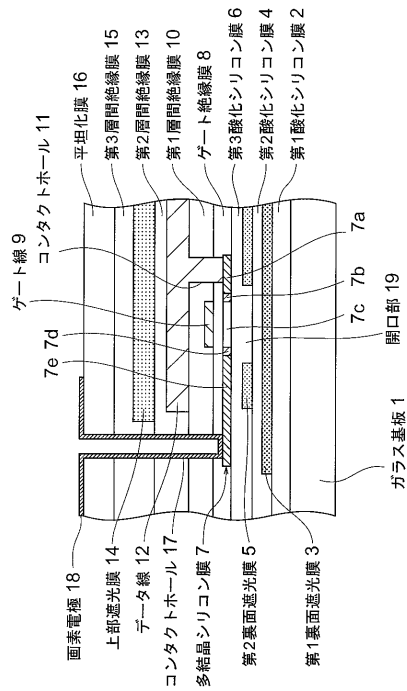
【図1】



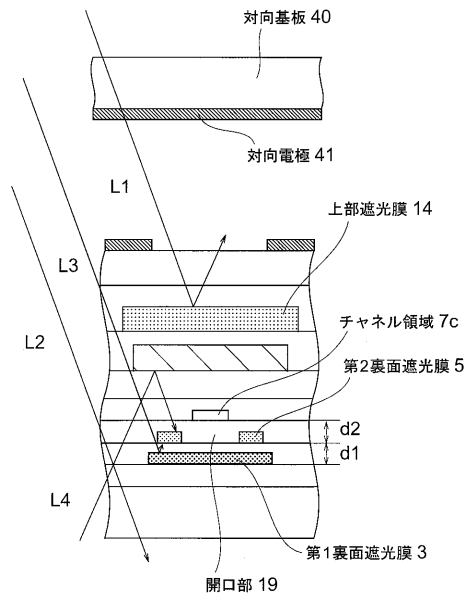
【図2】



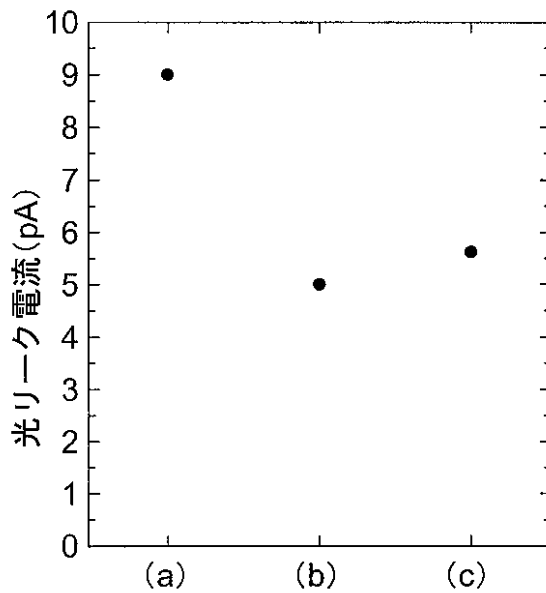
【図 3】



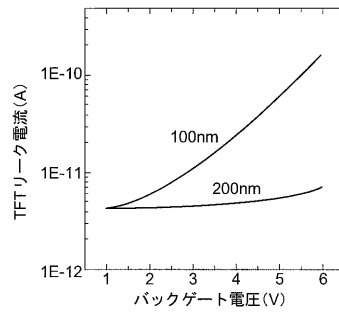
【図 4】



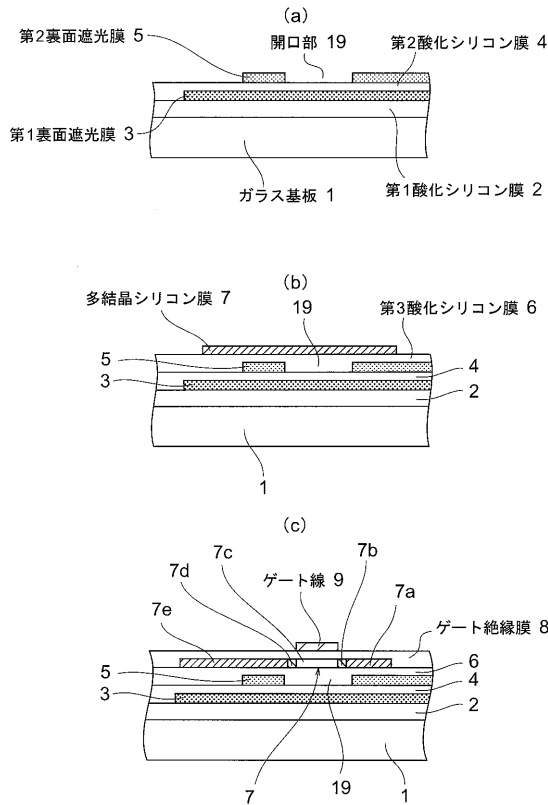
【図 5】



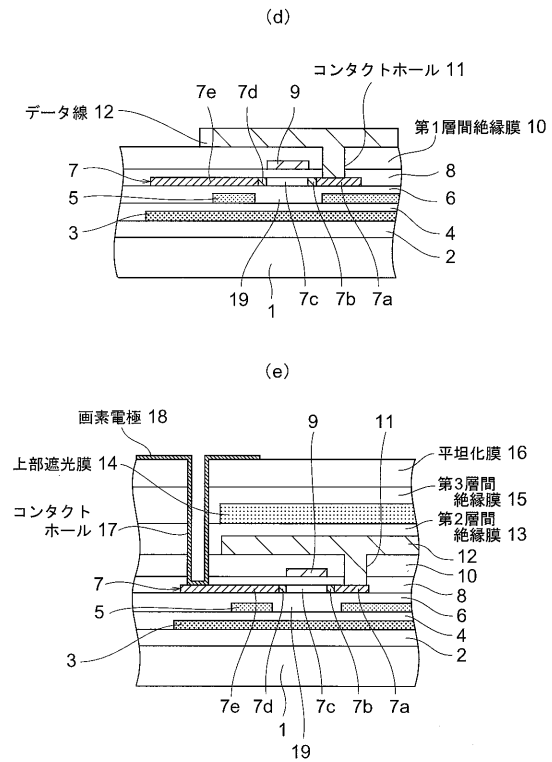
【図 6】



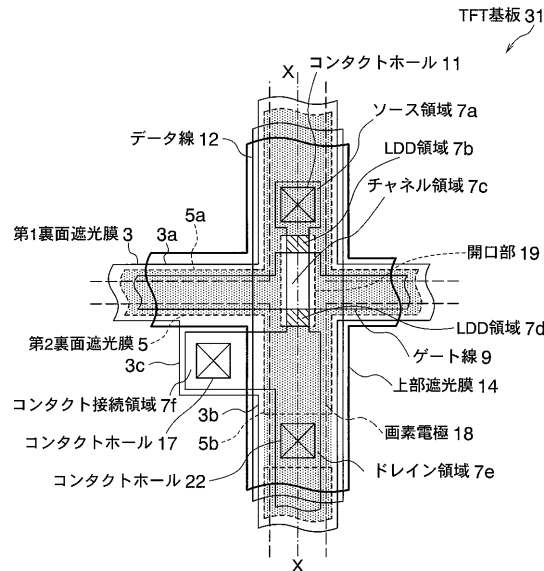
【図 7】



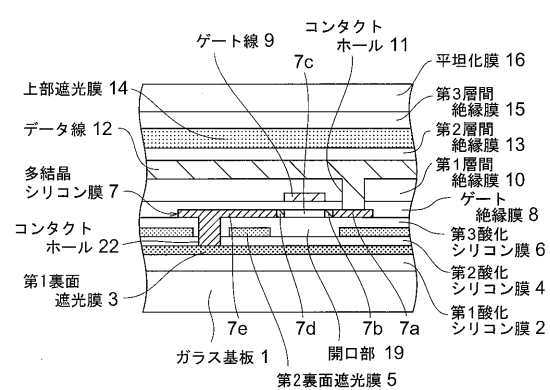
【図 8】



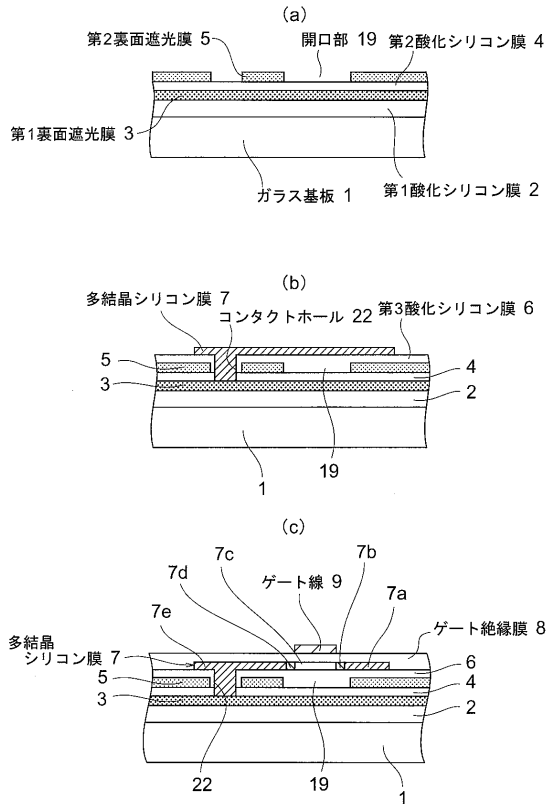
【図 9】



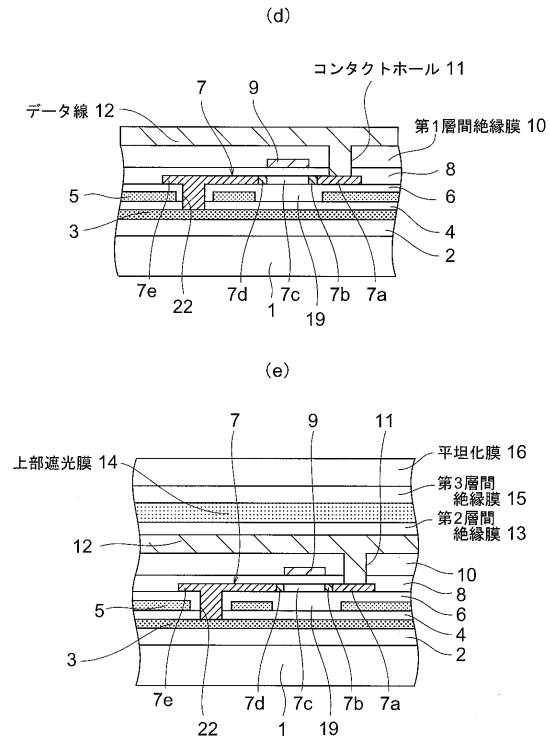
【図 10】



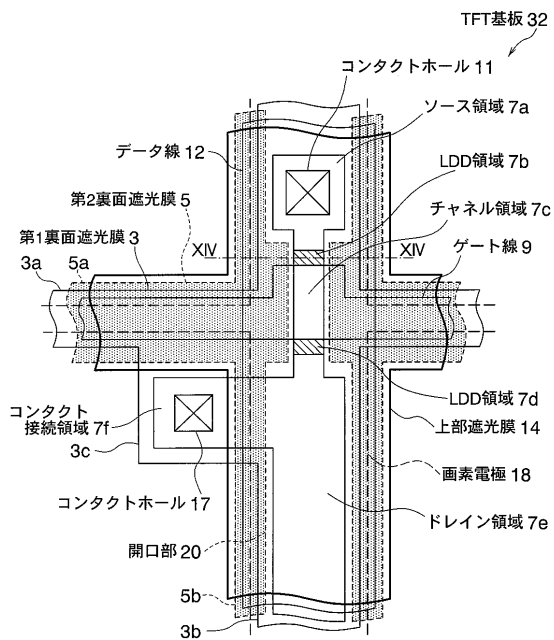
【図 1 1】



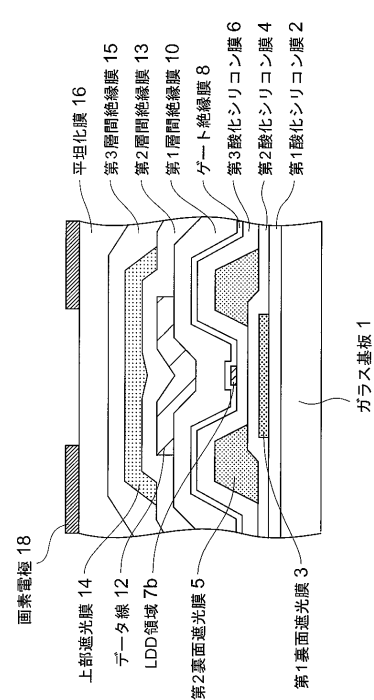
【図 1 2】



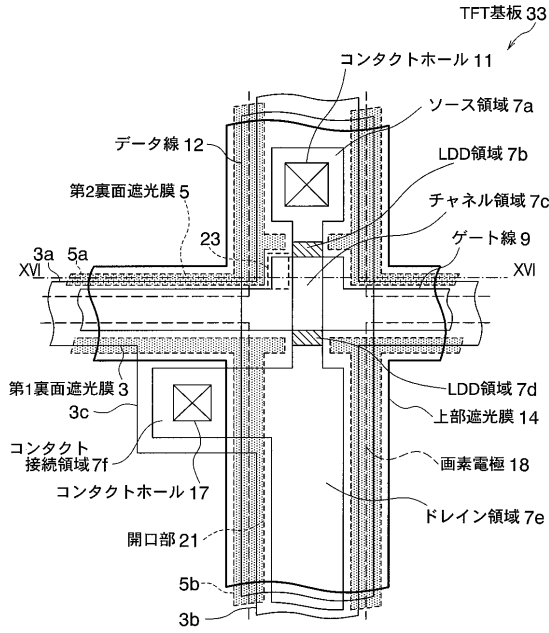
【図 1 3】



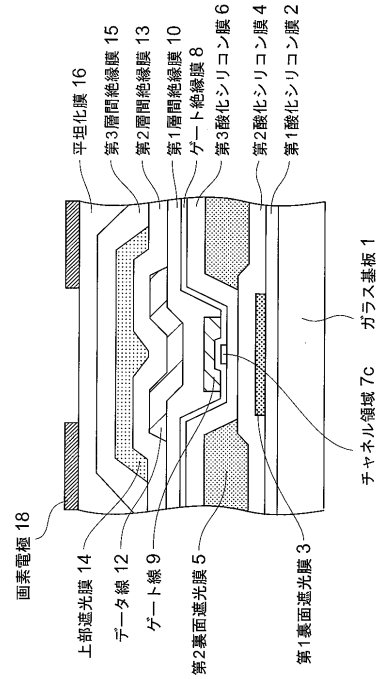
【図 1 4】



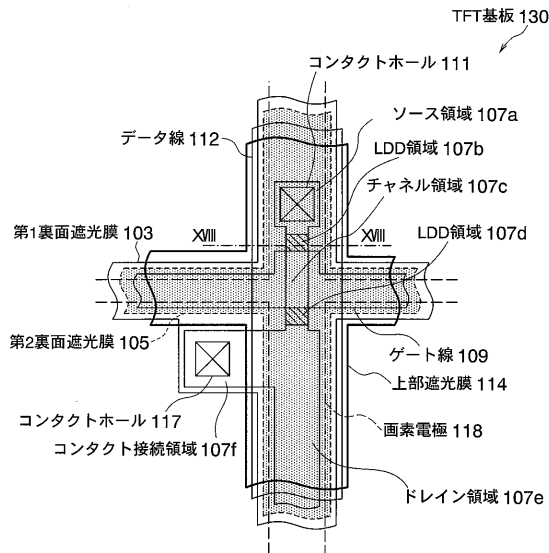
【図 15】



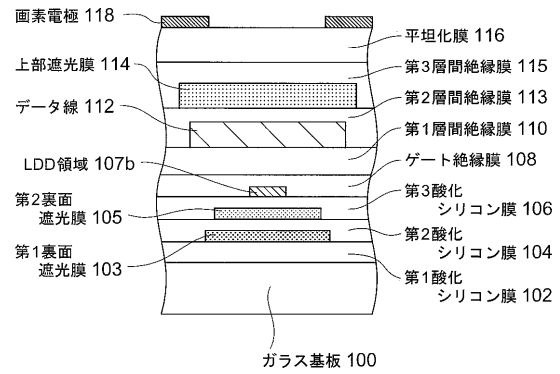
【図 16】



【図 17】



【図 18】



フロントページの続き

Fターム(参考) 2H092 GA11 GA17 JA24 JA27 JA28 JA36 JA40 JB51 NA01 NA11
PA09
5C094 AA25 AA48 BA03 BA43 CA19 DA13 DB01 DB04 EB02 ED15
FA01 FA02 JA08
5F110 AA06 AA21 AA30 BB01 CC02 DD02 DD13 DD17 EE05 EE09
EE42 FF02 FF29 GG02 GG13 GG45 GG47 HL03 HL07 HL23
HM04 HM15 NN03 NN23 NN33 NN35 NN43 NN44 NN46 NN48
NN72 NN73 PP03 QQ11

专利名称(译)	薄膜晶体管阵列基板和有源矩阵液晶显示装置		
公开(公告)号	JP2005159115A	公开(公告)日	2005-06-16
申请号	JP2003397129	申请日	2003-11-27
申请(专利权)人(译)	NEC公司		
[标]发明人	吉永一秀 齋藤総一 嶋本浩文		
发明人	吉永 一秀 齋藤 総一 嶋本 浩文		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L29/786		
FI分类号	H01L29/78.619.B G02F1/1368 G09F9/30.338 G09F9/30.349.C G09F9/35		
F-TERM分类号	2H092/GA11 2H092/GA17 2H092/JA24 2H092/JA27 2H092/JA28 2H092/JA36 2H092/JA40 2H092/JB51 2H092/NA01 2H092/NA11 2H092/PA09 5C094/AA25 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EB02 5C094/ED15 5C094/FA01 5C094/FA02 5C094/JA08 5F110/AA06 5F110/AA21 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD17 5F110/EE05 5F110/EE09 5F110/EE42 5F110/FF02 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG45 5F110/GG47 5F110/HL03 5F110/HL07 5F110/HL23 5F110/HM04 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN33 5F110/NN35 5F110/NN43 5F110/NN44 5F110/NN46 5F110/NN48 5F110/NN72 5F110/NN73 5F110/PP03 5F110/QQ11 2H192/AA24 2H192/BC11 2H192/CB02 2H192/CB53 2H192/CC05 2H192/DA12 2H192/DA44 2H192/DA65 2H192/DA67 2H192/EA04 2H192/EA13 2H192/EA14 2H192/EA15 2H192/EA76 2H192/JB02		
代理人(译)	稻垣清		
其他公开文献	JP4645022B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种薄膜晶体管阵列基板和有源矩阵型液晶显示装置，其能够同时抑制由于背栅效应和漏光电流引起的薄膜晶体管特性的波动。薄膜晶体管阵列基板（30）包括玻璃基板（1），依次形成在玻璃基板（1）上的第一背面遮光膜（3），第二氧化硅膜（4），第二背面遮光膜（5）和第三氧化硅。提供具有在第三氧化硅膜6上形成的多晶硅层7的膜6和薄膜晶体管。第一背面遮光膜3至少形成在面向薄膜晶体管的多晶硅层7的位置处，第二背面遮光膜5在面向多晶硅层7的沟道区域的位置处具有开口19。[选择图]图2

