

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-342923
(P2004-342923A)

(43) 公開日 平成16年12月2日(2004.12.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 9 B	2 H 0 9 1
GO 2 F 1/1335	GO 2 F 1/1335 5 0 0	2 H 0 9 2
GO 2 F 1/1368	GO 2 F 1/1368	5 F 1 1 0
HO 1 L 21/336	HO 1 L 29/78 6 1 7 N	
	HO 1 L 29/78 6 1 6 A	
審査請求 未請求 請求項の数 12 O L (全 15 頁)		

(21) 出願番号	特願2003-139205 (P2003-139205)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成15年5月16日 (2003.5.16)	(74) 代理人	100095728 弁理士 上柳 雅普
		(74) 代理人	100107076 弁理士 藤網 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	小出 慎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	伊藤 友幸 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		最終頁に続く	

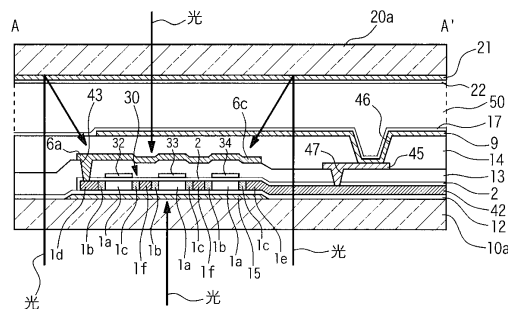
(54) 【発明の名称】 液晶装置、アクティブマトリクス基板、表示装置、及び電子機器

(57) 【要約】

【課題】 薄膜トランジスタのリーク電流を極めて低レベルに抑えることができ、画素の超高精細化に容易に対応することができる液晶装置、及びこれを備えた電子機器を提供する。

【解決手段】 本発明の液晶装置は、TFT30が、多結晶シリコンからなる半導体層42と、前記半導体層42と複数箇所で交差する複数のゲート電極32~34とを備えたP型トランジスタとされるとともに、前記半導体層42の各チャネル領域1a両側部に低濃度ドープ領域1b、1cが形成されたLDD構造を有しており、前記薄膜トランジスタの厚さ方向両側に遮光手段(遮光膜15、データ線分岐部6c)を備えている。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

互いに交差して設けられた複数の走査線及び複数のデータ線と、前記データ線と前記走査線との交差部に対応して設けられた薄膜トランジスタと、該薄膜トランジスタに接続された画素電極とを有するアクティブマトリクス基板と、前記アクティブマトリクス基板と対向して配置された対向基板と、前記両基板間に挟持された液晶層とを備えた液晶装置であって、

前記薄膜トランジスタが、半導体層と、前記半導体層と複数箇所で交差する複数のゲート電極と、前記半導体層の各チャンネル領域の少なくとも片側に P 型の低濃度ドープ領域が形成された LDD 部とを有する P 型トランジスタで構成され、

10

前記薄膜トランジスタの厚さ方向両側に遮光手段を備えたことを特徴とする液晶装置。

【請求項 2】

前記データ線が、前記半導体層のチャンネル領域と平面的に重なるように配置されて前記遮光手段を成していることを特徴とする請求項 1 に記載の液晶装置。

【請求項 3】

前記データ線が、前記走査線と交差する方向に延在するデータ線本線部と、該データ線本線部から分岐又は延出されて該データ線本線部と交差する方向に延びるデータ線分岐部とを有しており、

前記データ線分岐部が、前記チャンネル領域と平面的に重なるように配置されて前記遮光手段を成していることを特徴とする請求項 1 又は 2 に記載の液晶装置。

20

【請求項 4】

前記アクティブマトリクス基板上に、反射表示を行うための反射層が形成され、前記反射層の一部が、前記半導体層のチャンネル領域と平面的に重なるように形成されて前記遮光手段を成していることを特徴とする請求項 1 に記載の液晶装置。

【請求項 5】

前記走査線が、前記データ線と交差する方向に延在する走査線本線部と、該走査線本線部と交差する方向に延設された複数の走査線分岐部とを有しており、

前記走査線分岐部が、前記半導体層と平面的に交差した前記ゲート電極部を有していることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の液晶装置。

【請求項 6】

前記半導体層が、ポリシリコン又は連続粒界シリコンであることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の液晶装置。

30

【請求項 7】

前記遮光手段が、前記チャンネル領域に対応した位置で前記対向基板に形成されていることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の液晶装置。

【請求項 8】

互いに交差して設けられた複数の走査線及び複数のデータ線と、前記データ線と前記走査線との交差部に対応して設けられた薄膜トランジスタとを備えたアクティブマトリクス基板であって、

前記薄膜トランジスタが、半導体層と、前記半導体層と複数箇所で交差する複数のゲート電極と、前記半導体層の各チャンネル領域の少なくとも片側に P 型の低濃度ドープ領域が形成された LDD 部とを有する P 型トランジスタで構成され、

40

前記薄膜トランジスタの厚さ方向両側に遮光手段を備えたことを特徴とするアクティブマトリクス基板。

【請求項 9】

前記データ線が、前記半導体層のチャンネル領域と平面的に重なるように配置されて前記遮光手段を成していることを特徴とする請求項 8 に記載のアクティブマトリクス基板。

【請求項 10】

前記データ線が、前記走査線と交差する方向に延在するデータ線本線部と、該データ線本線部から分岐又は延出されて該データ線本線部と交差する方向に延びるデータ線分岐部と

50

を有しており、

前記データ線分岐部が、前記チャネル領域と平面的に重なるように配置されて前記遮光手段を成していることを特徴とする請求項 8 又は 9 に記載のアクティブマトリクス基板。

【請求項 11】

請求項 8 ないし 10 のいずれか 1 項に記載のアクティブマトリクス基板を備えたことを特徴とする表示装置。

【請求項 12】

請求項 1 ないし 7 のいずれか 1 項に記載の液晶装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、アクティブマトリクス基板、液晶装置、表示装置、及び電子機器に関するものである。

【0002】

【従来の技術】

液晶装置をはじめとする表示装置の分野では、高輝度化や高精細化に対する要求が多く、例えば現在写真のデジタル化が進んでおり、それとともに、印刷せずに従来の写真と同様に鮮やかな画像を楽しめる表示装置の開発が望まれている。しかしながら、そのような超高精細度の液晶パネルは現状技術では実現できていない。その主な理由は、画素に使用するトランジスタのリーク電流の低減ができないからである。

20

従来より、液晶装置の薄膜トランジスタの半導体層をアモルファスシリコンで作る方法、低温ポリシリコン膜で作る方法または高温ポリシリコン膜で作る方法がある。低温ポリシリコン膜で作る方法は、画素周辺に画像信号の供給回路を構成でき、さらに大型のガラス基板が使えるというメリットがあるのでこれらの中では超高精細度の液晶パネルの実現に向けてはもっとも有望である。しかしながら、低温ポリシリコン膜は、膜中に欠陥が多く存在するためにリーク電流は一般的には高い値を示す。先に述べた三方法のうちでも最も高いのでその点では超高精細度の液晶パネルには不向きであり、矛盾している。

従来高精細と呼ばれてきた 200ppi (25.4mm 辺に 200 個の画素数) クラスの液晶表示装置では、画素のトランジスタを N 型で構成し、LSI 技術と同様な LDD 型の接合を用い、さらにゲートを 2 重もしくは 3 重の段数に分割したマルチゲート構造としているの例がある。

30

一方、リーク電流を低減する方法としては、暗状態でのリーク電流が比較的低いとされる P 型を用いる方法 (例えば、特許文献 1 参照) や、光照射で増加する光リーク電流を低減するために遮光膜をつける方法 (例えば、特許文献 2 参照) などがある。

【0003】

【特許文献 1】

特開平 5 - 313195 号公報

【特許文献 2】

特開平 3 - 80225 号公報

【0004】

40

【発明が解決しようとする課題】

しかし、本発明者らが、実際にこれらの低温ポリシリコンの従来技術に基づき、画素のトランジスタを P 型で構成し、LDD 構造やマルチゲート構造、さらに光が入らないような遮光構造を用いて構成してみたところ、N 型で同様に構成したものとあまり変わらないリーク電流の値を示し、上記各文献に記載の技術のみでは、超高精細化に要求されるリーク電流の低減目標値にまで達成できないということがわかった。

【0005】

本発明は、上記課題を解決するために成されたものであって、薄膜トランジスタのリーク電流を極めて低レベルに抑えることができ、画素の超高精細化に容易に対応することができる液晶装置、及びこれを備えた電子機器を提供することを目的としている。

50

また本発明は、薄膜トランジスタのリーク電流を極めて低レベルに抑えることができるアクティブマトリクス基板、及びこれを備えた表示装置を提供することを目的としている。

【0006】

【課題を解決するための手段】

上記課題を解決するために、本発明の液晶装置は、互いに交差して設けられた複数の走査線及び複数のデータ線と、前記データ線と前記走査線との交差部に対応して設けられた薄膜トランジスタと、該薄膜トランジスタに接続された画素電極とを有するアクティブマトリクス基板と、前記アクティブマトリクス基板と対向して配置された対向基板と、前記両基板間に挟持された液晶層とを備えた液晶装置であって、前記薄膜トランジスタが、半導体層と、前記半導体層と複数箇所て交差する複数のゲート電極と、前記半導体層の各チャネル領域の少なくとも片側にP型の低濃度ドープ領域が形成されたLDD部を有するP型トランジスタで構成され、前記薄膜トランジスタの厚さ方向両側に遮光手段を備えたことを特徴とする。

10

【0007】

上記P型トランジスタとN型トランジスタとが同程度のリーク電流を示したことについて、良く原因を調べてみたところ、遮光膜のすきまから半導体層へ侵入するわずかな光に反応してリーク電流が増加していることが予想された。そこで、本発明者らが、N型トランジスタとP型トランジスタの光照射量とドレイン・ソース間の電圧 V_{ds} を変えてリーク電流 I_{ds} を精密に調べてみたところ図10及び図11に示すような特性が得られた。

図10及び図11は、縦軸をオフ状態となるゲート電圧 V_{gs} を与えた場合のドレイン・ソース電流 I_{ds} 、すなわちリーク電流 I_{ds} とし、横軸をドレイン・ソース電圧 V_{ds} 、そして遮光膜の無いトランジスタの暗電流と、ゲート電極と反対側の面から光を入射したときの値をプロットしたものである。図中に示した光強度(単位は Cd/m^2)を有する面光源を薄膜トランジスタの形成されているガラス基板に直接接触させて測定したデータである。

20

【0008】

これらの図からわかるように、暗状態では確かにP型トランジスタのリーク電流は小さい。しかしながら、少しの光を当てただけでP型トランジスタもN型トランジスタと同じくらいのリーク電流が流れることがわかる。その傾向は、マルチゲートにするとドレイン・ソース間の電圧は段数分だけ分割されるので小さくできるが、その場合のドレイン・ソース電圧 V_{ds} が0~5V位になる低電圧領域で顕著である。この原因について半導体の理論から考察すると、オフ状態ではマイノリティキャリアが電流特性を決めるが、P型のマイノリティキャリアである電子の性質に起因するものであると考えると納得できる。ともかく、多重ゲートすなわちマルチゲートにすると、複数のTFTのうちの1個あたりに印加されるドレイン・ソース電圧 V_{ds} を低減できる。それにより暗状態でのリーク電流(暗電流)は減少する。しかし、図10もしくは図11に示した根拠によりドレイン・ソース電圧 V_{ds} が低い電圧領域では光照射に対するリーク電流の感受性が異常に高い。すなわちマルチゲートを採用してドレイン・ソース電圧 V_{ds} を低減しても半導体層へ侵入する光が少量でもトランジスタのリーク電流が増大して、LDD構造のP型を用いたメリットがなくなってしまう。

30

40

【0009】

そこで、本発明者は、上記本発明の構成のように、画素のトランジスタに関して、P型で構成するだけでなく、LDD構造、マルチゲート化、さらには極力半導体層へ侵入する光漏れがないように半導体層の上下に遮光手段を設置することとした。これにより、本来のP型の低オフ電流の特徴が活かせることとなった。つまりこのような構成にしてこそ初めて、N型を用いた場合に比べて1桁以上のリーク電流の低減が果たせた。

写真画質の目標とされる500ppi以上の薄膜トランジスタタイプの液晶表示装置は、画素周辺に画像信号の供給回路を構成できる低温ポリシリコン技術を用いて、さらにP型を本技術のような構成で効果的に用いることにより初めて実現できるようになった。

【0010】

50

本発明の液晶装置では、前記データ線が、前記半導体層のチャネル領域と平面的に重なるように配置されて前記遮光手段を成している構成とすることもできる。この構成によれば、前記データ線を上記薄膜トランジスタの遮光手段として利用するので、画素の開口率を高めて明るい表示を得ることができる。

【0011】

本発明の液晶装置では、前記データ線が、前記走査線と交差する方向に延在するデータ線本線部と、該データ線本線部から分岐又は延出されて該データ線本線部と交差する方向に延びるデータ線分岐部とを有しており、前記データ線分岐部が、前記チャネル領域と平面的に重なるように配置されて前記遮光手段を成している構成とすることもできる。

【0012】

本発明の液晶装置では、前記アクティブマトリクス基板上に、反射表示を行うための反射層が形成され、前記反射層の一部が、前記半導体層のチャネル領域と平面的に重なるように形成されて前記遮光手段を成している構成とすることもできる。この構成によれば、反射型又は半透過反射型の液晶装置であって、薄膜トランジスタのリーク電流が極めて低いレベルにまで低減され、高精細表示に容易に対応できる液晶装置を提供できる。また、上記遮光手段が、反射層の一部により構成されているので、製造が容易になるという利点も有する。

【0013】

本発明の液晶装置では、前記走査線が、前記データ線と交差する方向に延在する走査線本線部と、該走査線本線部と交差する方向に延設された複数の走査線分岐部とを有しており、前記走査線分岐部が、前記半導体層と平面的に交差した複数のゲート電極部を有している構成とすることもできる。この構成によれば、比較的容易にマルチゲート構造の薄膜トランジスタを構成できるとともに、配線の引き回しによる電気抵抗の増加を抑えることもできる。

【0014】

本発明の液晶装置では、前記半導体層が、ポリシリコン又は連続粒界シリコンであることが好ましい。

【0015】

本発明の液晶装置では、前記遮光手段が、前記チャネル領域に対応した位置で前記対向基板に形成されている構成とすることもでき、この構成によっても、効率的に薄膜トランジスタの遮光を行うことができ、P型トランジスタ本来の低オフ電流の特徴を生かすことができる。

【0016】

次に、本発明のアクティブマトリクス基板は、互いに交差して設けられた複数の走査線及び複数のデータ線と、前記データ線と前記走査線との交差部に対応して設けられた薄膜トランジスタとを備えたアクティブマトリクス基板であって、前記薄膜トランジスタが、半導体層と、前記半導体層と複数箇所て交差する複数のゲート電極と、前記半導体層の各チャネル領域の少なくとも片側にP型の低濃度ドープ領域が形成されたLDD部とを有するP型トランジスタで構成され、前記薄膜トランジスタの厚さ方向両側に遮光手段を備えたことを特徴とする。

本アクティブマトリクス基板では、画素のトランジスタに関して、P型で構成するだけではなく、LDD構造、マルチゲート化、さらには極力半導体層へ侵入する光漏れがないように半導体層の上下に遮光手段を設置することとされている。これにより、本来のP型の低オフ電流の特徴が活かせることとなった。つまりこのような構成にしてこそ初めて、N型を用いた場合に比べて1桁以上のリーク電流の低減が果たせた。

本発明のアクティブマトリクス基板は、特に500ppi以上の超高精細の表示装置に用いて好適なアクティブマトリクス基板であり、例えば、液晶装置、EL装置、DMD(デジタルミラーデバイス)、プラズマ発光や電子放出等による蛍光を用いた装置等の主要構成部材として好適に用いることができる。

【0017】

10

20

30

40

50

本発明のアクティブマトリクス基板では、前記データ線が、前記半導体層のチャネル領域と平面的に重なるように配置されて前記遮光手段を成している構成とすることもできる。本発明のアクティブマトリクス基板では、前記データ線が、前記走査線と交差する方向に延在するデータ線本線部と、該データ線本線部から分岐又は延出されて該データ線本線部と交差する方向に延びるデータ線分岐部とを有しており、前記データ線分岐部が、前記チャネル領域と平面的に重なるように配置されて前記遮光手段を成している構成とすることもできる。

上記構成によれば、高精細であり、かつ高開口率の画素領域を備えたアクティブマトリクス基板を提供することができる。

【0018】

本発明のアクティブマトリクス基板では、前記半導体層が、ポリシリコン又は連続粒界シリコンであることが好ましい。

【0019】

次に、本発明の表示装置は、先に記載の本発明のアクティブマトリクス基板を備えたことを特徴とする。この構成によれば、液晶装置、EL装置、DMD（デジタルミラーデバイス）、プラズマ発光や電子放出等による蛍光を用いた装置等の表示装置の高精細化を実現することができる。

【0020】

次に、本発明の電子機器は、先に記載の本発明の液晶装置を備えたことを特徴とする。この構成によれば、高精細表示対応の表示部を備えた電子機器を提供することができる。例えば、光源と、上記光源から出射された光を変調して画像光を形成する上述の液晶装置と、上記液晶装置から出射された画像光を拡大投影する投射光学系とを備えた構成とすれば、超高精細表示に対応した高画質の投射型表示装置を提供することができる。

【0021】

【発明の実施の形態】

（第1の実施形態）

以下、本発明の第1の実施形態を、図面を参照して説明する。図1（a）は、本実施形態の液晶装置を各構成要素とともに対向基板側からみた平面構成図、図1（b）は、図1（a）に示すH-H線に沿う断面構成図、図2は、液晶装置の表示領域においてマトリクス状に配列形成された複数の画素における回路構成図である。

【0022】

〔全体構成〕

図1（a）及び図1（b）に示すように、本実施形態の液晶装置は、TFTアレイ基板（アクティブマトリクス基板）10と、対向基板20とが平面視略矩形枠状のシール材52によって貼り合わされ、このシール材52に囲まれた領域内に液晶層50が封入された構成を備えている。シール材52内周側に沿って平面視略矩形枠状の周辺見切り53が形成され、この周辺見切りの内側の領域が画像表示領域11とされている。シール材52の外側の領域には、データ線駆動回路201及び外部回路実装端子202がTFTアレイ基板10の1辺（図示下辺）に沿って形成されており、この1辺に隣接する2辺に沿ってそれぞれ走査線駆動回路204、204が形成されている。TFTアレイ基板10の残る1辺（図示上辺）には、画像表示領域11の両側の走査線駆動回路204、204間を接続する複数の配線205が設けられている。また、対向基板20の各角部においては、TFTアレイ基板10と対向基板20との間の電氣的導通をとるための基板間導通材206が配設されている。本実施形態の液晶装置は、透過型の液晶装置として構成され、TFTアレイ基板10側に配置された光源（図示略）からの光を変調して対向基板20側から出射するようになっている。

【0023】

なお、データ線駆動回路201および走査線駆動回路204、204をTFTアレイ基板10の上に形成する代わりに、例えば、駆動用LSIが実装されたCOF（Chip On Film）基板とTFTアレイ基板10の周辺部に形成された端子群とを異方性導電

10

20

30

40

50

膜を介して電気的および機械的に接続するようにしてもよい。また、液晶装置においては、使用する液晶の種類、すなわち、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、垂直配向モード等の動作モードや、ノーマリホワイトモード/ノーマリブラックモードの別に応じて、位相差板、偏光板等が所定の向きに配置されるが、ここでは図示を省略する。

【0024】

このような構造を有する液晶装置の画像表示領域には、図2に示すように、複数の画素領域41がマトリクス状に配置されており、これらの画素領域41の各々には、画素スイッチング用としてP型のp-SiTFT30が形成されている。このTFT30にはマルチゲート構造が採用されており、シングルゲート構造を採用したものに比べて、TFT30の1つのTFTに印加されるドレイン-ソース間電圧を低減できるようになっている。さらに、本実施形態ではp-SiTFT30の半導体層に不純物を導入するドレインは、LDD (Lightly Doped Drain) 構造とされている。

10

【0025】

このTFT30の複数のゲート電極32~33には走査線3aが電気的に接続されており、走査線3aから所定のタイミングでパルス状の走査信号G1、G2、...、Gmがこの順に線順次で印加されるようになっている。また、TFT30のソース部にはデータ線6aが電気的に接続されており、1走査期間内に画像信号S1、S2、...、Snが供給されるようになっている。なお、データ線6aに書き込む画像信号S1、S2、...、Snは、この順に順次供給する方法(点順次駆動)と、相隣接する複数のデータ線6a同士に対して、データを同時一括(線順次駆動)もしくは群毎(セレクタースイッチ)に供給する方法のいずれでもよい。

20

【0026】

TFT30のドレイン部には画素電極9が電気的に接続されており、1走査期間内にデータ線6aから供給される画像信号S1、S2、...、Snが各画素に所定のタイミングで書き込まれるようになっている。このようにして画素電極9を介して液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、図1(b)に示す対向基板20の共通電極21との間で一定期間保持される。また、保持された画像信号S1、S2、...、Snがリークするのを防ぐために、画素電極9と対向電極21との間に形成される液晶容量と並列に保持容量60が付加されている。

30

【0027】

[画素の詳細構成]

図3は、本実施形態の液晶装置を構成するTFTアレイ基板10上の1画素領域を示す平面構成図であり、図4は、図3のA-A'線に沿う断面構成図である。

図3に示すように、TFTアレイ基板10上には、データ線6aと、走査線3aとが互いに交差して設けられ、これらのデータ線6aと走査線3aとによって区画された略矩形状の画素領域41に、平面視略L形の半導体層42が設けられている。走査線3aは、データ線6aと交差する方向に延びる走査線本線部31と、この本線部31から画素領域41中央側へ延出された複数本(図3では3本)のゲート電極部(走査線分岐部)32~34とを有しており、これらのゲート電極部32~34が、前記半導体層42の走査線本線部31と平行に延びる部分と交差することで、トリプルゲート構造のTFTを構成している。前記略L形の半導体層42の一端はソースコンタクトホール43を介してデータ線6aと電気的に接続される一方、他端は画素領域41の略中央部まで延設され、半導体層42と一体に形成された平面視矩形状の容量電極44を構成している。そして、この容量電極44と、前記走査線本線部31と平行に延びる容量線48とが、平面的に重なる部分で前記保持容量60が形成されている。

40

【0028】

画素領域41とほぼ重なる平面領域に形成された画素電極9は、ITO等の透明導電材料からなり、半導体層42の図示上下方向に延びる部分と、中継電極層45を介して電気的に接続されている。すなわち、画素コンタクトホール46を介して画素電極9と中継導電

50

層 4 5 とが電氣的に接続され、ドレインコンタクトホール 4 7 を介して中継導電層 4 5 と T F T 3 0 の半導体層 4 2 とが電氣的に接続されることにより、画素電極 9 と T F T 3 0 とが電氣的に接続されている。

【 0 0 2 9 】

次に、図 4 に示す断面構造において、T F T アレイ基板 1 0 は、例えば石英、ガラス、プラスチック等からなる基板本体 1 0 a の一面側に、部分的に遮光膜（遮光手段）1 5 が形成され、この第 1 遮光膜 1 5 及び基板本体 1 0 a を覆って下地絶縁膜 1 2 が形成され、この下地絶縁膜 1 2 上に T F T 3 0 が設けられている。下地絶縁膜 1 2 は遮光膜 1 5 と T F T 3 0 とを絶縁するとともに、基板本体 1 0 a の表面の荒れや汚染等による T F T 3 0 の特性劣化を抑える作用を奏する。T F T 3 0 は、上述したようにトリプルゲート構造であり、かつ L D D 構造を有している。より詳細には、T F T 3 0 は、ゲート電極部 3 2 ~ 3 4 と、半導体層 4 2 の前記ゲート電極部 3 2 ~ 3 4 と対向する領域に形成された 3 箇所のチャネル領域 1 a と、ゲート電極部 3 2 ~ 3 4 と半導体層 4 2 とを絶縁するゲート絶縁膜を構成する絶縁薄膜 2 とを主体として構成されている。そして、前記 3 力所のチャネル領域 1 a の両側にそれぞれ形成されて L D D 部を成す低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c と、これらの L D D 部の両側に形成された高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e と、チャネル領域 1 a 間に形成された高濃度ソース/ドレイン領域 1 f とを備えている。本実施形態に係る半導体層 4 2 は多結晶シリコンにより形成されており、P 型の T F T 3 0 を形成するために、前記各ソース/ドレイン領域には、例えばボロンイオンが注入されている。

10

20

【 0 0 3 0 】

半導体層 4 2 の高濃度ドレイン領域 1 e は、画素領域 4 1 の中央部側へ延設されて容量電極 4 4 を形成している。また、図 3 に示す容量電極 4 4 と対向して形成された容量線 4 8 は、走査線 3 a と同層に形成され、図 4 に示す絶縁薄膜 2 を介することで前記保持容量 6 0 を形成している。

走査線 3 a（及び容量線 4 8）を覆って第 1 層間絶縁膜 1 3 が形成されており、第 1 層間絶縁膜 1 3 上には、データ線 6 a 及び中継導電層 4 5 が同層で形成されている。データ線 6 a から走査線 3 a 延在方向へデータ線分岐部 6 c がゲート電極 3 2 ~ 3 4 を覆う領域に延設されて本実施形態に係る遮光手段を成している。データ線 6 a 及び中継導電層 4 5 は、例えば A 1 等の低抵抗金属を用いて形成される。

30

【 0 0 3 1 】

また、第 1 層間絶縁膜 1 3 を貫通するソースコンタクトホール 4 3 が形成され、このソースコンタクトホール 4 3 を介してデータ線 6 a と半導体層 4 2 の高濃度ソース領域 1 d とが電氣的に接続されている。一方、第 1 層間絶縁膜を貫通するドレインコンタクトホール 4 7 が形成され、このドレインコンタクトホール 4 7 を介して中継導電層 4 5 と半導体層 4 2 の高濃度ドレイン領域 1 e とが電氣的に接続されている。

【 0 0 3 2 】

データ線 6 a 及び中継導電層 4 5 を覆うように第 2 層間絶縁膜 1 4 が形成されており、第 2 層間絶縁膜 1 4 上に画素電極 9 が形成されている。画素電極 9 は I T O 等の透明導電材料で構成されている。そして、前記中継導電層 4 5 の平面領域において、上記第 2 層間絶縁膜 1 4 を貫通する画素コンタクトホール 4 6 が形成され、この画素コンタクトホール 4 6 を介して画素電極 9 と中継導電層 4 5 とが電氣的に接続されている。以上の構成により、中継導電層 4 5 を介して半導体層 4 2 の高濃度ドレイン領域 1 e と画素電極 9 とが電氣的に接続されている。尚、図 4 では図示を省略したが、T F T アレイ基板 1 0 の最表面には、ラビング処理等の配向処理が施されたポリイミド膜等からなる配向膜が設けられている。

40

【 0 0 3 3 】

他方、対向基板 2 0 は、基板本体 2 0 a の液晶層 5 0 側にベタ状に形成された共通電極 2 1 と、この共通電極 2 1 を覆って形成された配向膜 2 2 とを備えている。共通電極 2 1 は、I T O 等の透明導電材料により形成でき、配向膜 2 2 は、先の T F T アレイ基板 1 0 の

50

配向膜 17 と同様の構成とすることができる。また、カラー表示を行う場合には、各画素領域 41 に対応して例えば R (赤)、G (緑)、B (青) の色材層を備えたカラーフィルタを基板本体 10a 又は 20a 上に形成すればよい。

【0034】

上記構成を備えた本実施形態の液晶装置では、第 1 に、TFT30 をマルチゲート構造とすることにより、1 つのチャンネル領域 1a の両側の電圧を低減し、オフリーク電流を低減している。

第 2 に、各チャンネル領域 1a を挟んで両側に低濃度ソース領域 1b、低濃度ドレイン領域 1c を形成した LDD 構造を採用したことでオフ電流を低減することができるようになってきている。図 9 は、この LDD 構造を導入することによる作用を示すグラフであり、同図に示す 2 本の曲線は、それぞれ P 型、N 型のトランジスタの I_d / V_g 特性を示している。図 9 に示すように、P 型トランジスタの曲線において、トランジスタを LDD 構造とすることで、オフ側の電流特性を平坦化できる。

10

第 3 に、TFT30 の基板本体 10a 側に遮光膜 15 を形成して TFT アレイ基板 10 側からの光が TFT30 に入射するのを防止するとともに、データ線 6a の一部を延設して TFT30 を覆うデータ線分岐部 6c を遮光手段として形成することで液晶層 50 側からの光が TFT30 に入射するのを防止するようになっている。これにより、TFT30 への光の入射をほぼ完全に遮断できるようになっている。

第 4 に、TFT30 を P 型トランジスタとすることで、暗電流を低減している。P 型トランジスタは先に記載のように、少量の光が入射しただけで光リーク電流が N 型トランジスタと同程度になってしまうが、本実施形態に係る液晶装置では、遮光手段として設けられた上記遮光膜 15 及びデータ線分岐部 6c とにより、TFT30 をほぼ完全に遮光することができるので、P 型トランジスタ本来の低オフ電流の特徴を活かすことができるようになっている。

20

【0035】

500 ppi (25.4 mm 辺に 500 個の画素) 程度の超高精細液晶装置では、画素の液晶容量と保持容量との和が極めて小さくなる。このような液晶装置において、トランジスタのリーク電流が大きいと、その電荷漏れにより表示品質を保つことができなくなる。本実施形態の液晶装置では、上記に挙げた 4 つのリーク電流低減作用の全てを効果的に利用することで、TFT30 のリーク電流を極めて低レベルにまで低減することができるようになった。そして、従来技術では達成し得ない領域の超高精細液晶装置を実現することが可能になった。

30

【0036】

(第 2 の実施形態)

次に、図 5 及び図 6 を参照して、本発明の第 2 の実施形態に係る液晶装置について説明する。図 5 は、本意実施形態の液晶装置を構成する TFT アレイ基板の 1 画素領域を示す平面構成図であり、図 6 は、図 5 の B-B' 線に沿う断面構成図である。尚、上記第 1 実施形態と同様の部位については同じ符号を付し、その説明を省略する。

【0037】

図 5 及び図 6 に示すように、本実施形態の液晶装置では、画素領域 41 とほぼ重なる平面領域の第 2 層間絶縁膜 14 上に、アルミニウムや銀等の金属材料からなる反射層 19 が形成され、この反射層 19 を覆うように ITO 等からなる画素電極 9 が形成されている。また、上記反射層 19 の中継導電層 45 に対応する平面領域に開口部 19a が形成されて、画素コンタクトホール 46 を介して中継導電層 45 と画素電極 9 とが電氣的に接続されている。図 6 の断面構成図に示すように、第 1 実施形態で TFT30 の液晶層 50 側の遮光手段として設けられていたデータ線分岐部 6c に代えて、反射層 19 が TFT30 の液晶層 50 側を平面的に覆うように形成されている。従って、本実施形態では、反射層 19 が本発明に係る遮光手段を成している。

40

【0038】

本実施形態の液晶装置においても、先の第 1 実施形態と同様に、TFT30 がマルチゲ

50

ト構造及びLDD構造を有するP型トランジスタとされていることによるオフリーク電流の低減作用と、TFT30を完全に遮光する遮光膜15及び反射層19を備えたことによるP型トランジスタの暗電流の上昇を抑制する作用とにより、従来の薄膜トランジスタに比して大幅なリーク電流の低減を実現し、もって高精細の表示に容易に対応することが可能になっている。

そして、上記効果に加えて、本実施形態の液晶装置では、TFT30の液晶層50側の遮光手段として機能する反射層19が、先の第1実施形態のデータ線分岐部6cに比して、半導体層42と離間されて形成されているので、TFT30のゲート電極部32~34と、遮光手段として機能する反射層19との容量結合が生じ難くなっている。従って、TFT30が前記容量結合による影響を受け難くなり、TFT30の駆動能力を実質的に向上させることができる。

10

【0039】

(第3の実施形態)

次に、図7及び図8を参照して、本発明の第3の実施形態に係る液晶装置について説明する。図7は、本意実施形態の液晶装置を構成するTFTアレイ基板の1画素領域を示す平面構成図であり、図8は、図7のC-C'線に沿う断面構成図である。尚、上記第1実施形態と同様の部位については同じ符号を付し、その説明を省略する。

【0040】

図7及び図8に示すように、本実施形態の液晶装置では、対向基板20の内面側に遮光膜29が形成されており、図7に2点鎖線で示すように、上記遮光膜29は、遮光膜15の形成領域とほぼ対応する平面領域に形成されて、本実施形態の液晶装置における遮光手段を成している。また、TFTアレイ基板10に設けられた遮光膜15が、略L形の半導体層42の走査線3aに平行に延びる部分と、曲角部とを平面的に覆うように形成されている。

20

【0041】

本実施形態の液晶装置においても、先の第1実施形態と同様に、TFT30がマルチゲート構造及びLDD構造を有するP型トランジスタとされていることによるオフリーク電流の低減作用と、TFT30を完全に遮光する遮光膜15及び遮光膜29を備えたことによるP型トランジスタの暗電流の上昇を抑制する作用とにより、従来の薄膜トランジスタに比して大幅なリーク電流の低減を実現し、もって高精細の表示に容易に対応することが可能になっている。

30

そして、上記効果に加えて、本実施形態の液晶装置では、TFT30の遮光手段として機能する遮光膜15及び遮光膜29が、先の第1実施形態に比して、広い平面領域に形成されていることにより、液晶装置の外部に設けられた光源(図示略)から入射する光に、基板10, 20に対して斜め方向から入射する成分が含まれていたとしても、遮光膜15又は遮光膜29の内面側(液晶層50)で反射された光が、TFT30に入射しないようにすることができる。この作用により、TFT30がより高度に遮光され、さらに光リークの少ない、高精細への対応が容易な液晶装置を提供することができる。

【0042】

(投射型表示装置)

次に、上述した液晶装置を備えた投射型表示装置の例について説明する。

図12は、上述の液晶装置をライトバルブとして備えた投射型表示装置の構成を示す平面図である。本投射型液晶表示装置1110は、前記実施形態の液晶装置を各々RGB用のライトバルブ100R、100G、100Bとして用いた3板式のプロジェクタとして構成されている。この液晶プロジェクタ1110では、メタルハライドランプなどの白色光源のランプユニット1112から光が出射されると、3枚のミラー1116および2枚のダイクロイックミラー1118によって、R、G、Bの3原色に対応する光成分R、G、Bに分離され(光分離手段)、対応するライトバルブ100R、100G、100B(液晶装置/液晶ライトバルブ)に各々導かれる。この際に、光成分Bは、光路が長いので、光損失を防ぐために入射レンズ1132、リレーレンズ1123、および出射レンズ11

40

50

34からなるリレーレンズ系1131を介して導かれる。そして、ライトバルブ100R、100G、100Bによって各々変調された3原色に対応する光成分R、G、Bは、ダイクロックプリズム1122(光合成手段)に3方向から入射され、再度合成された後、投射レンズ(投射光学系)1124を介してスクリーン1130などにカラー画像として拡大投影される。

この投射型表示装置では、トランジスタのオフリーク電流が極めて低レベルにまで低減された液晶装置を用いているため、従来では実現できなかった500ppiクラスの超高精細表示が可能となる。

【0043】

なお、本発明は上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

例えば、上記実施形態では、TFTを3重ゲート構造とした例を示したが、本発明はこれに限定されず、2重ゲートや4重ゲート以上としてもよい。また、図示したパターン形状や断面構造、各膜の構成材料等に関する記載はほんの一例に過ぎず、適宜変更が可能である。

また、本発明のアクティブマトリクス基板は、例えば、エレクトロルミネッセンス(EL)、プラズマ発光や電子放出による蛍光等を用いた表示装置、あるいは、デジタルマイクロミラーデバイス(DMD)を用いた表示装置、およびこれらの表示装置を備えた電子機器に対しても好適に用いることができる。

【図面の簡単な説明】

【図1】図1(a)は、第1実施形態の液晶装置の平面構成図、図1(b)は、同図(a)のH-H線に沿う断面構成図。

【図2】図2は、同、液晶装置の回路構成図。

【図3】図3は、同、1画素領域を示す平面構成図。

【図4】図4は、図3のA-A'線に沿う断面構成図。

【図5】図5は、第2実施形態に係る1画素領域を示す平面構成図。

【図6】図6は、図5のB-B'線に沿う断面構成図。

【図7】図7は、第3実施形態に係る1画素領域を示す平面構成図。

【図8】図8は、図7のC-C'線に沿う断面構成図。

【図9】図9は、LDD構造を導入することによる作用を示すグラフ。

【図10】図10は、P型トランジスタの光電流特性を示すグラフ。

【図11】図11は、N型トランジスタの光電流特性を示すグラフ。

【図12】図12は、本発明に係る投射型表示装置の概略構成図。

【符号の説明】

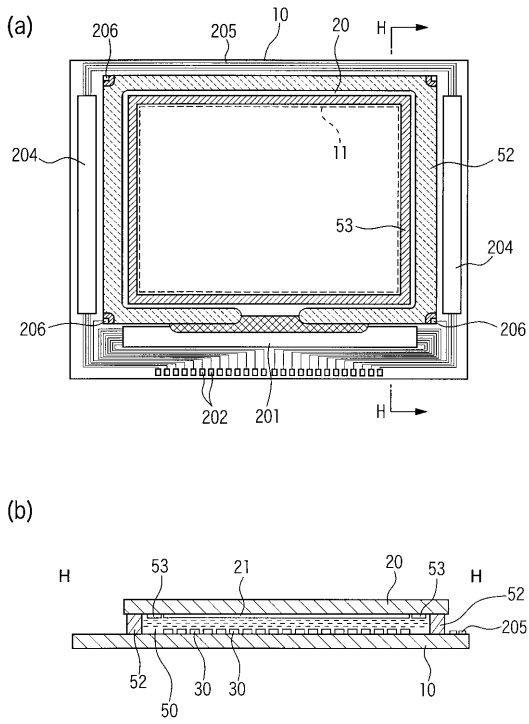
1a...チャンネル部、1b、1c...低濃度ドープ領域(LDD部)、3a...走査線、6a...データ線、10...TFTアレイ基板(アクティブマトリクス基板)、30...TFT(薄膜トランジスタ)、31...走査線本線部、32~34...ゲート電極部(走査線分岐部)、42...半導体層、44...容量電極、60...保持容量、6c...データ線分岐部(遮光手段)、15...遮光膜(遮光手段)、19...反射層(遮光手段)、29...遮光膜(遮光手段)

10

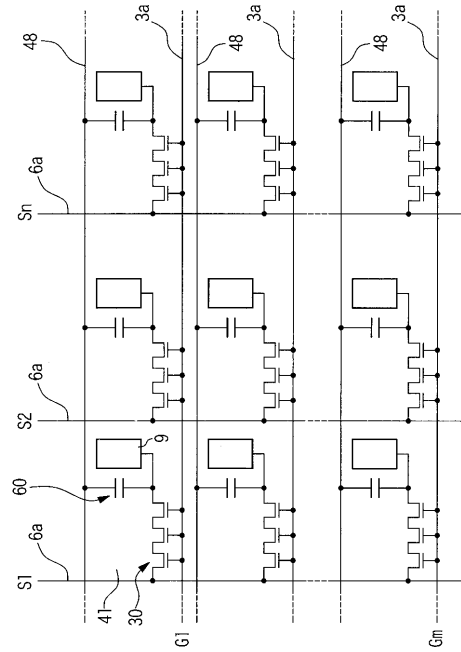
20

30

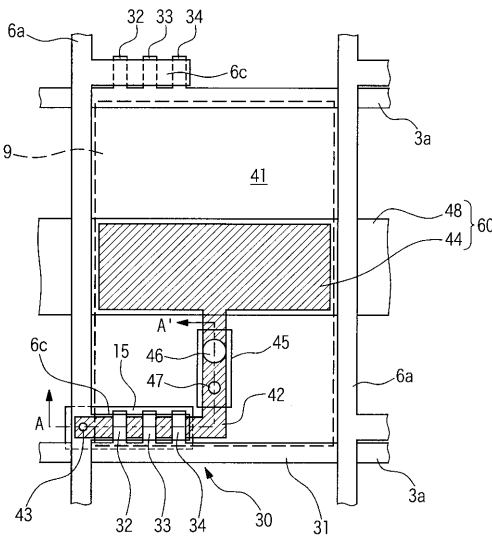
【 図 1 】



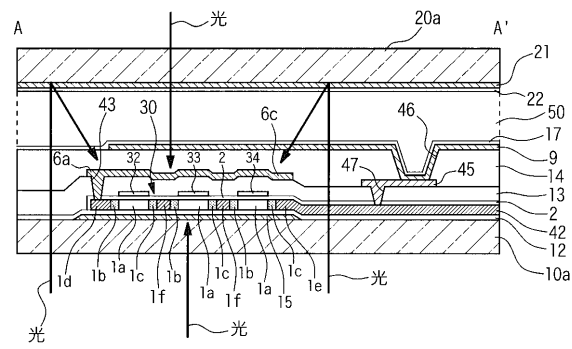
【 図 2 】



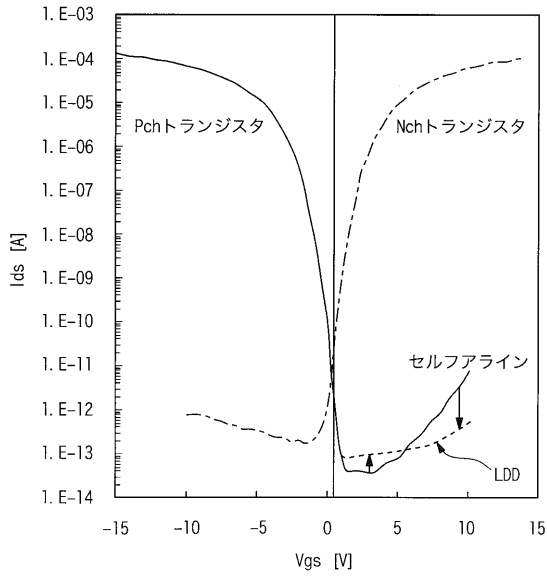
【 図 3 】



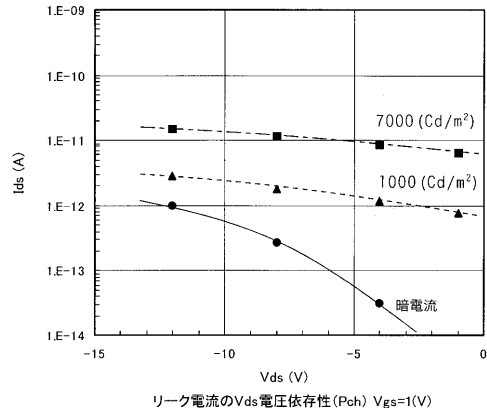
【 図 4 】



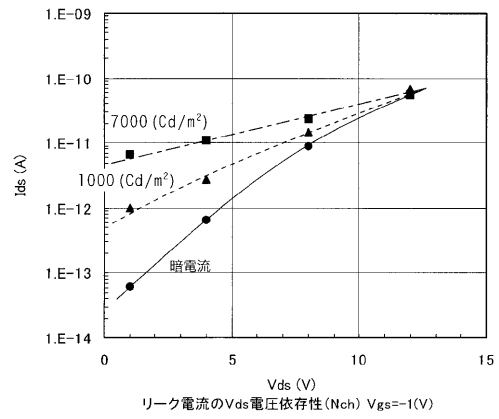
【 図 9 】



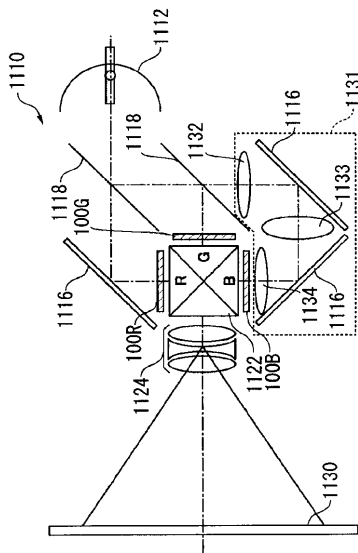
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(72)発明者 腰原 健

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 北川 篤史

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2H091 FA14Y FA34Y FD04 FD06 GA13

2H092 GA59 GA60 JA28 JA37 JA46 JB51 JB54 JB56 JB69 KA04

NA01 NA16 QA07 QA09 QA10 RA05

5F110 AA06 BB02 CC02 DD01 DD02 DD03 EE28 HJ01 HJ13 HL03

HM15 NN41 NN44 NN47 NN72 NN73

专利名称(译)	液晶装置，有源矩阵基板，显示装置和电子设备		
公开(公告)号	JP2004342923A	公开(公告)日	2004-12-02
申请号	JP2003139205	申请日	2003-05-16
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小出慎 伊藤友幸 腰原健 北川篤史		
发明人	小出 慎 伊藤 友幸 腰原 健 北川 篤史		
IPC分类号	G02F1/1335 G02F1/136 G02F1/1362 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/133512 G02F1/136209 G02F1/1368 H01L29/78633 G08C2201/10 H02J7/0044 H04Q9/00 H05K5/0017		
FI分类号	H01L29/78.619.B G02F1/1335.500 G02F1/1368 H01L29/78.617.N H01L29/78.616.A		
F-TERM分类号	2H091/FA14Y 2H091/FA34Y 2H091/FD04 2H091/FD06 2H091/GA13 2H092/GA59 2H092/GA60 2H092/JA28 2H092/JA37 2H092/JA46 2H092/JB51 2H092/JB54 2H092/JB56 2H092/JB69 2H092/KA04 2H092/NA01 2H092/NA16 2H092/QA07 2H092/QA09 2H092/QA10 2H092/RA05 5F110/AA06 5F110/BB02 5F110/CC02 5F110/DD01 5F110/DD02 5F110/DD03 5F110/EE28 5F110/HJ01 5F110/HJ13 5F110/HL03 5F110/HM15 5F110/NN41 5F110/NN44 5F110/NN47 5F110/NN72 5F110/NN73 2H092/JA25 2H092/JB42 2H191/FA13Y 2H191/FA31Y 2H191/FD04 2H191/FD07 2H191/GA19 2H192/AA24 2H192/BC42 2H192/BC74 2H192/CB02 2H192/CB13 2H192/CB32 2H192/CB45 2H192/DA12 2H192/DA44 2H192/DA72 2H192/EA04 2H192/EA13 2H192/EA15 2H192/EA22 2H192/EA28 2H192/EA42 2H192/EA43 2H192/FA73 2H192/JB02 2H291/FA13Y 2H291/FA31Y 2H291/FD04 2H291/FD07 2H291/GA19		
代理人(译)	须泽 修		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够将薄膜晶体管的漏电流抑制到极低的水平并且容易地对应于像素的超清晰度的液晶装置，以及一种具有该液晶装置电子装置。在本发明的液晶装置中，TFT 30是P型晶体管，其包括由多晶硅制成的半导体层42和在多个点处与半导体层42交叉的多个栅电极32至34。另外，半导体层42具有LDD结构，其中在每个沟道区1a的两侧上形成低浓度掺杂区1b和1c，并具有遮光装置（遮光膜15和在薄膜晶体管的厚度方向上的两侧上的数据）。它具有分支部分6c）。[选择图]图4

