

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-302475

(P2004-302475A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G02F 1/1368	G02F 1/1368	2H092
G02F 1/1345	G02F 1/1345	5C094
G09F 9/30	G09F 9/30 338	5F048
H01L 21/20	H01L 21/20	5F052
H01L 21/336	H01L 27/08 331E	5F110
審査請求 有 請求項の数 10 O L (全 30 頁) 最終頁に続く		

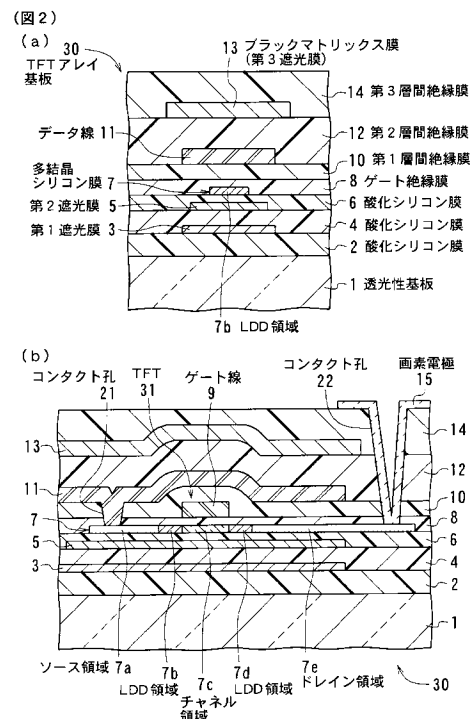
(21) 出願番号	特願2004-123080 (P2004-123080)	(71) 出願人	000004237
(22) 出願日	平成16年4月19日 (2004.4.19)		日本電気株式会社
(62) 分割の表示	特願2002-226054 (P2002-226054) の分割	(74) 代理人	100095706 弁理士 泉 克文
原出願日	平成14年8月2日 (2002.8.2)	(72) 発明者	世良 賢二
(31) 優先権主張番号	特願2001-235699 (P2001-235699)		東京都港区芝五丁目7番1号 日本電気株式会社内
(32) 優先日	平成13年8月3日 (2001.8.3)	(72) 発明者	奥村 藤男
(33) 優先権主張国	日本国 (JP)		東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	2H092 JA24 JB56 JB57 JB58 KA03 KA04 KA05 KB24 KB25 MA13 MA30 NA01 NA22 NA24 NA25 PA09 RA05
		最終頁に続く	

(54) 【発明の名称】 薄膜トランジスタ・アレイ基板およびアクティブマトリックス型液晶表示装置

(57) 【要約】

【課題】 薄膜トランジスタ (TFT) の活性層へ向かう光を効果的に遮断すると共に、前記活性層から周囲への熱伝導を良くして、TFTの光リーク電流を低減させる。

【解決手段】 マトリックス状に配置された薄膜トランジスタ (TFT) 31を含む画素マトリックス部と、TFTを含む駆動回路部とを透光性基板1上に持つ薄膜トランジスタ・アレイ基板である。画素マトリックス部のTFT 31は、当該TFT 31と透光性基板1との間に少なくとも当該TFT 31の活性層と重なるように形成された高熱伝導膜 (第2遮光膜) 5を有する。駆動回路部のTFTは前記高熱伝導膜を有しない。レーザ光照射により生じるTFT 31の活性層からの熱を、高熱伝導膜5を介して周囲に伝達し、前記活性層の結晶性を低くする。【選択図】 図2



【特許請求の範囲】

【請求項 1】

マトリックス状に配置された薄膜トランジスタを含む画素マトリックス部と、薄膜トランジスタを含む駆動回路部とを透光性基板上に有する薄膜トランジスタ・アレイ基板であって、

前記画素マトリックス部の薄膜トランジスタは、当該薄膜トランジスタと前記透光性基板との間に少なくとも当該薄膜トランジスタの活性層と重なるように形成された高熱伝導膜を有しており、

前記駆動回路部の薄膜トランジスタは、前記高熱伝導膜を有していないことを特徴とする薄膜トランジスタ・アレイ基板。

10

【請求項 2】

前記画素マトリックス部の薄膜トランジスタの活性層が、レーザ照射により結晶化させた半導体からなる請求項 1 に記載の薄膜トランジスタ・アレイ基板。

【請求項 3】

前記高熱伝導膜と前記活性層の間に存在する絶縁膜の厚さが、100nm～500nmの範囲内にある請求項 1 または 2 に記載の薄膜トランジスタ・アレイ基板。

【請求項 4】

前記高熱伝導膜と前記活性層の間に存在する絶縁膜の厚さが、150nm～300nmの範囲内にある請求項 1 または 2 に記載の薄膜トランジスタ・アレイ基板。

【請求項 5】

前記高熱伝導膜が遮光膜である請求項 1～4 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

20

【請求項 6】

前記高熱伝導膜が、照射された光を吸収可能な遮光膜である請求項 1～4 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

【請求項 7】

前記遮光膜がシリコン膜またはシリコンを含む材料の膜で形成される請求項 5 または 6 に記載の薄膜トランジスタ・アレイ基板。

【請求項 8】

前記遮光膜が不純物が導入されたシリコン膜からなる請求項 5 または 6 に記載の薄膜トランジスタ・アレイ基板。

30

【請求項 9】

前記高熱伝導膜と前記透光性基板の間に、他の遮光膜をさらに有している請求項 1～8 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

【請求項 10】

請求項 1～9 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板と、

前記薄膜トランジスタ・アレイ基板に対向して配置された対向基板と、

前記薄膜トランジスタ・アレイ基板と前記対向基板との間に設けられた液晶層とを備えるアクティブマトリックス型液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マトリックス状に配置された複数の薄膜トランジスタ (Thin Film Transistor、以下、TFTともいう) を有する薄膜トランジスタ・アレイ基板 (以下、TFTアレイ基板ともいう) およびそれを備えたアクティブマトリックス (active matrix) 型液晶表示装置に関する。この液晶表示装置は、投射型表示装置のライトバルブとして好適に使用できるものである。

【背景技術】

【0002】

50

近年、壁掛け型ＴＶ（Television）や投射型ＴＶ、あるいはＯＡ（Office Automation）機器用表示装置として、液晶表示装置を用いた各種表示装置の開発が行われている。特に、能動素子であるＴＦＴをスイッチング素子として使用するアクティブマトリックス型液晶表示装置は、走査線数が増加してもコントラストや応答速度が低下しない等の利点があるため、高品位のＯＡ機器用表示装置やハイビジョンＴＶ用表示装置を実現する上で有力である。また、プロジェクタと呼ばれる投射型表示装置のライトバルブとして使用した場合には、大画面表示が容易に得られるという利点を有している。

【０００３】

通常、ライトバルブ用液晶表示装置では、光源から液晶表示装置に高輝度の光が入射され、入射された光が液晶表示装置を通過する際に画像情報に応じて制御される。すなわち、ＴＦＴをスイッチング駆動しながら画素毎に液晶層に電界を印加して各画素の透過率を変化させることにより、透過光の強度を調整する。そして、液晶表示装置を通過した光は、レンズなどで構成された投影用光学系を介して拡大投影される。

10

【０００４】

なお、光源は液晶表示装置の対向基板側に配置され、光学系は液晶表示装置のＴＦＴアレイ基板側に配置される。そのため、液晶表示装置には、光源からの光だけでなく投影用光学系で反射した光も入射する。

【０００５】

アクティブマトリックス型液晶表示装置では、アモルファス・シリコン（amorphous silicon）や多結晶シリコンなどの半導体層がＴＦＴの活性層として使用されるが、この活性層へ光が照射されると、光励起によるリーク電流（すなわち、光リーク電流）が発生する。前述したように、ライトバルブ用液晶表示装置では、高輝度の光が入射するため、発生する光リーク電流も大きくなる。さらに、投射用光学系からの反射光もＴＦＴの活性層に照射されるため、光リーク電流は一層大きくなる。近年では、投射型表示装置の小型化および高輝度化が進んでおり、液晶表示装置へ入射する光の輝度が増加する傾向にあるため、この問題はより深刻なものとなっている。

20

【０００６】

そのため、従来より、ライトバルブ用アクティブマトリックス型液晶表示装置では、ＴＦＴの活性層への光の照射を防止するための遮光膜が設けられている。

【０００７】

図２３および図２４は、この種の従来の液晶表示装置のＴＦＴアレイ基板１００の概略構成を示す。図２３は要部平面図、図２４（ａ）および（ｂ）は図２３のＧ－Ｇ線およびＨ－Ｈ線に沿った要部断面図である。なお、図２３および図２４では、一画素分の構成のみを示している。

30

【０００８】

図２３および図２４のＴＦＴアレイ基板１００は、マトリックス状に配置された複数のＴＦＴ１３１を有する透光性基板１０１を備えている。

【０００９】

基板１０１上には、酸化シリコン（ SiO_2 ）膜１０２を介して、タングステンシリサイド膜などからなる下部遮光膜１０３が形成されている。この下部遮光膜１０３は、マトリックスの行方向（図２３では、Ｘ方向）に沿って延在するストライプ状の部分とマトリックスの列方向（図２３では、Ｙ方向）に沿って延在するストライプ状の部分とが交差し、格子状の平面形状を有している。下部遮光膜１０３の全体は、酸化シリコン膜１０２上に形成された酸化シリコン膜１０４で覆われている。

40

【００１０】

酸化シリコン膜１０４上には、略Ｌ字形状にパターン化された複数の多結晶シリコン膜１０７が形成されている。それらの多結晶シリコン膜１０７は、ＴＦＴ１３１の活性層として機能する。

【００１１】

すなわち、多結晶シリコン膜１０７の各々は、不純物がドーブされていないチャネル領

50

域 107c と、不純物が低濃度にドーピングされた LDD (Lightly Doped Drain) 領域 107b、107d と、不純物が高濃度にドーピングされたソース領域 107a およびドレイン領域 107e とを含んでいる。ソース領域 107a およびドレイン領域 107e は、チャンネル領域 107c を挟んで形成されている。LDD 領域 107b はソース領域 107a とチャンネル領域 107c との間に形成され、LDD 領域 107d はチャンネル領域 107c とドレイン領域 107e との間に形成されている。

【0012】

ソース領域 107a、LDD 領域 107b、チャンネル領域 107c、LDD 領域 107d およびドレイン領域 107e は、下部遮光膜 103 と重なるように、Y 方向に沿って配置されている。ドレイン領域 107e の一部分は、X 方向に沿って延在している。多結晶シリコン膜 107 の各々は、酸化シリコン膜 104 上に形成されたゲート絶縁膜 108 で覆われている。

10

【0013】

ゲート絶縁膜 108 上には、不純物がドーピングされた多結晶シリコン膜やシリサイド膜などからなる複数のゲート線 109 が形成されている。それらのゲート線 109 は、互いに平行であって、いずれも X 方向に沿って延在している。各ゲート線 109 は、マトリックスの同じ行に属する TFT 131 のチャンネル領域 107c と重なるように配置され、それらの TFT 131 のゲート電極として機能する。各ゲート線 109 は、ゲート絶縁膜 108 上に形成された第 1 層間絶縁膜 110 で覆われている。

【0014】

20

第 1 層間絶縁膜 110 上には、アルミニウム膜などからなる複数のデータ線 111 が形成されている。それらのデータ線 111 は、互いに平行であっていずれも Y 方向に沿って延在し、マトリックスの同じ列に属する TFT 131 の多結晶シリコン膜 107 と重なるように配置されている。各 TFT 131 のソース領域 107a、チャンネル領域 107c および LDD 領域 107b、107d の全体は、対応するデータ線 111 で覆われている。各 TFT 131 のドレイン領域 107e は、対応するデータ線 111 で部分的に覆われている。各データ線 111 は、第 1 層間絶縁膜 110 とゲート絶縁膜 108 とを貫通するコンタクト孔 121 を介して、マトリックスの同じ列に属する TFT 131 のソース領域 107a に電氣的に接続されている。各データ線 111 は、第 1 層間絶縁膜 110 上に形成された第 2 層間絶縁膜 112 で覆われている。

30

【0015】

第 2 層間絶縁膜 112 上には、X 方向および Y 方向の各々に延在する略格子状のブラックマトリックス膜 113 が形成されている。このブラックマトリックス膜 113 は、各ゲート線 109 および各データ線 111 に重なるように配置され、TFT 131 を覆っている。ブラックマトリックス膜 113 は、クロム膜などからなり、上部遮光膜として機能する。ブラックマトリックス膜 113 の全体は、第 2 層間絶縁膜 112 上に形成された第 3 層間絶縁膜 114 で覆われている。

【0016】

第 3 層間絶縁膜 114 上には、略矩形状の複数の画素電極 115 が形成されている。それらの画素電極 115 は、各ゲート線 109 と各データ線 111 とによって画定された複数の画素領域 120 に各々配置されている。各画素電極 115 は、第 3 層間絶縁膜 114、第 2 層間絶縁膜 112、第 1 層間絶縁膜 110 およびゲート絶縁膜 108 を貫通するコンタクト孔 122 を介して、対応する TFT 131 のドレイン領域 107e に電氣的に接続されている。

40

【0017】

上記の構成を持つ従来の TFT アレイ基板 100 を備えた液晶表示装置では、TFT アレイ基板 100 に対向して配置された対向基板 (図示せず) の表面側から入射した光をブラックマトリックス膜 113 が遮断する。また、TFT アレイ基板 100 の裏面側から入射した光を下部遮光膜 103 が遮断する。

【0018】

50

しかしながら、TFTアレイ基板100の裏面側から入射した光がTFT131のLDD領域107b、107dやチャンネル領域107cに照射されるのを十分に防止できないという問題がある。

【0019】

すなわち、図25に示すように、対向基板の表面側からの光L101は、ブラックマトリックス膜113で遮断されるか、あるいは下部遮光膜103で反射されることなくTFTアレイ基板100を通過する。そのように、ブラックマトリックス膜113の幅、下部遮光膜103の幅、ブラックマトリックス膜113と下部遮光膜103との間隔などが設定されている。また、TFTアレイ基板100の裏面側から下部遮光膜103に向かう光L102は、下部遮光膜103で遮断される。

10

【0020】

ところが、図25に示すように、TFTアレイ基板100の裏面側からブラックマトリックス膜113に向かう光L103は、ブラックマトリックス膜113で反射した後、下部遮光膜103へ向かい、下部遮光膜103とデータ線111との間で多重反射してLDD領域107bに照射される。さらに、TFTアレイ基板100の裏面側からデータ線111に向かう光L104は、下部遮光膜103とデータ線111との間で多重反射してLDD領域107bに照射される。同様に、LDD領域107dにも、多重反射した光が照射される。実際には、図25に示すようなL103、L104だけでなく、様々な角度や方向の光がTFTアレイ基板100の裏面側から入射されるので、上記の多重反射によってチャンネル領域107cにも光が照射される。

20

【0021】

そこで、このような問題が生じないように、従来より種々の改良がなされている。

【0022】

例えば、特開2000-180899号公報には、下部遮光膜の端部をテーパ形状にした液晶表示装置が開示されている。この液晶表示装置では、下部遮光膜の幅とデータ線の幅を適宜に設定することにより、TFTアレイ基板の裏面側から入射した光が遮断されて、TFTのチャンネル領域への光の照射が防止される。

【0023】

また、特開2000-356787号公報には、TFTのチャンネル領域の近傍において、下部遮光膜を覆う絶縁膜にダミー・コンタクト孔を形成し、その内部に配線材料の膜を充填した液晶表示装置が開示されている。この液晶表示装置では、ダミー・コンタクト孔の内部に充填された配線材料の膜がTFTアレイ基板の裏面側から入射する光を遮断するので、TFTのチャンネル領域への光の照射が防止される。

30

【0024】

なお、一般に、ブラックマトリックス膜をTFTアレイ基板に形成する場合と、対向基板に形成する場合とがある。ブラックマトリックス膜を対向基板に形成する場合、TFTアレイ基板と対向基板との重ね合わせ精度を考慮すると、ブラックマトリックス膜とTFTとの間に10 μ m程度の位置合わせ誤差を見込む必要がある。そのため、ブラックマトリックスの幅を大きくしなければならない。したがって、開口率を大きくできないという欠点がある。

40

【0025】

これに対し、ブラックマトリックス膜をTFTアレイ基板に形成する場合には、半導体装置の製造工程を利用することで、ブラックマトリックス膜とTFTとの間の位置合わせ精度を高めることができる。したがって、図23および図24のTFTアレイ基板100のように、TFTアレイ基板にブラックマトリックス膜を形成する方法が主流となりつつある。

【特許文献1】特開2000-180899号公報

【特許文献2】特開2000-356787号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 2 6 】

上述したように、図 2 3 および図 2 4 の従来の T F T アレイ基板 1 0 0 を備えた液晶表示装置では、T F T アレイ基板 1 0 0 の裏面側から入射した光の一部が、T F T 1 3 1 の L D D 領域 1 0 7 b、1 0 7 d やチャネル領域 1 0 7 c に照射されししまう。したがって、光リーク電流が増加して、コントラストの低下や画質の不均一性を生じさせるという問題がある。

【 0 0 2 7 】

特開 2 0 0 0 - 1 8 0 8 9 9 号公報に開示された液晶表示装置では、下部遮光膜の端部をテーパ形状に加工するための製造工程が必要となるため、製造工程が複雑になるという問題がある。

10

【 0 0 2 8 】

特開 2 0 0 0 - 3 5 6 7 8 7 号公報に開示された液晶表示装置では、下部遮光膜を覆う絶縁膜にダミー・コンタクト孔を形成し、その内部に配線材料の膜を充填するための製造工程が必要である。そのため、特開 2 0 0 0 - 1 8 0 8 9 9 号公報の液晶表示装置と同様に、製造工程が複雑になるという問題がある。

【 0 0 2 9 】

さらに、特開 2 0 0 0 - 1 8 0 8 9 9 号公報および特開 2 0 0 0 - 3 5 6 7 8 7 号公報の液晶表示装置では、高輝度化された投射型表示装置のライトバルブに使用した場合、T F T の活性層に向かう光を十分に遮断することは困難である。

【 0 0 3 0 】

本発明は、上記のような従来技術の問題点に鑑みなされたものである。すなわち、本発明の目的は、薄膜トランジスタの活性層へ向かう光を効果的に遮断して薄膜トランジスタの光リーク電流を低減できると共に、複雑な製造工程を必要とせず容易に製造できる薄膜トランジスタ基板およびアクティブマトリックス型液晶表示装置を提供することにある。

20

【 0 0 3 1 】

本発明の他の目的は、コントラストや画質の均一性を高めることのできる薄膜トランジスタ・アレイ基板およびアクティブマトリックス型液晶表示装置を提供することにある。

【 0 0 3 2 】

本発明のさらに他の目的は、以下の説明から明らかになる。

【課題を解決するための手段】

30

【 0 0 3 3 】

(1) 本発明の第 1 の観点の薄膜トランジスタ・アレイ基板は、

マトリックス状に配置された薄膜トランジスタを含む画素マトリックス部と、薄膜トランジスタを含む駆動回路部とを透光性基板上に有する薄膜トランジスタ・アレイ基板であって、

前記画素マトリックス部の薄膜トランジスタは、当該薄膜トランジスタと前記透光性基板との間に少なくとも当該薄膜トランジスタの活性層と重なるように形成された高熱伝導膜を有しており、

前記駆動回路部の薄膜トランジスタは、前記高熱伝導膜を有していないことを特徴とするものである。

40

【 0 0 3 4 】

(2) 本発明の第 1 の観点の薄膜トランジスタ・アレイ基板では、前記画素マトリックス部にある薄膜トランジスタが前記高熱伝導膜を持ち、前記駆動回路部の薄膜トランジスタが前記高熱伝導膜を持っていない。このため、レーザ・アニール工程でレアモルファス・シリコン膜にーザ光を照射して結晶化することにより前記薄膜トランジスタの活性層を形成する際に、発生する熱は、前記駆動回路部の薄膜トランジスタに比べて、前記画素マトリックス部にある前記薄膜トランジスタでは早く周囲に伝達されることになる。その結果、前記駆動回路部の薄膜トランジスタに比べると、前記画素マトリックス部の薄膜トランジスタでは結晶性の低いポリシリコン膜が得られ、光リーク電流を低減することができる。これは、コントラストや画質の均一性の向上につながる。他方、前記駆動回路部の

50

薄膜トランジスタには、高い移動度を持たせることができる。

【0035】

しかも、特開2000-180899号公報および特開2000-356787号公報に開示された従来の液晶表示装置のような複雑な製造工程を必要とせず、容易に製造できる。

【0036】

(3) 本発明の第1の観点の薄膜トランジスタ・アレイ基板の好ましい例では、前記画素マトリックス部の薄膜トランジスタの活性層が、レーザ照射により結晶化させた半導体から形成される。

【0037】

本発明の第1の観点の薄膜トランジスタ・アレイ基板の他の好ましい例では、前記高熱伝導膜と前記活性層の間に存在する絶縁膜の厚さが、100nm～500nmの範囲内にある。当該絶縁膜の厚さは、150nm～300nmの範囲内にあるのがより好ましい。

【0038】

本発明の第1の観点の薄膜トランジスタ・アレイ基板の他の好ましい例では、前記高熱伝導膜が遮光膜とされる。遮光効果が良好になるからである。この場合、その遮光膜が、照射された光を吸収可能であるのが好ましい。遮光効果がいっそう良好になるからである。

【0039】

本発明の第1の観点の薄膜トランジスタ・アレイ基板の他の好ましい例では、前記高熱伝導膜と前記透光性基板の間に設けられた遮光膜をさらに有している。遮光効果がさらに改善されるからである。

【0040】

前記高熱伝導膜は、シリコン膜またはシリコンを含む材料の膜で形成されるのが好ましい。この場合、光リーク電流を効率よく低減できる。前記遮光膜が不純物が導入されたシリコン膜で形成されてもよい。この場合、導電性を持つ遮光膜を容易に実現できる。

【0041】

(4) 本発明の第2の観点のアクティブマトリックス型液晶表示装置は、上記(1)または(3)に記載のいずれかの薄膜トランジスタ・アレイ基板と、前記薄膜トランジスタ・アレイ基板に対向して配置された対向基板と、前記薄膜トランジスタ・アレイ基板と前記対向基板との間に設けられた液晶層とを備える。

【0042】

(5) 本発明の第2の観点のアクティブマトリックス型液晶表示装置では、本発明の第1の観点の薄膜トランジスタ・アレイ基板の場合と同じ理由により、その薄膜トランジスタ・アレイ基板の場合と同じ効果が得られる。

【発明の効果】

【0043】

本発明の薄膜トランジスタ基板および液晶表示装置によれば、薄膜トランジスタの活性層へ向かう光を効果的に遮断できる。したがって、薄膜トランジスタの光リーク電流が低減し、その結果、コントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【発明を実施するための最良の形態】

【0044】

以下、本発明の好適な実施の形態について添付図面を参照しながら説明する。

(第1実施形態)

図1および図2は、本発明の第1実施形態のTFTアレイ基板30の概略構成を示す。図1は要部平面図、図2(a)および(b)は図1のA-A線およびB-B線に沿った要部断面図である。この基板上には、画素マトリックス部と共に駆動回路部が形成されており(図2参照)、以下の説明は画素マトリックス部のTFTについてのものである。駆

10

20

30

40

50

動回路部のＴＦＴは、第２遮光層を有していない。

【００４５】

なお、図１および図２では、一画素分の構成を示している。この点については、後述する他の実施形態についても同様である。

【００４６】

図１および図２のＴＦＴアレイ基板３０は、マトリックス状に配置された複数のＴＦＴ３１を有する透光性基板１を備えている。この基板１は、ガラスなどの絶縁性を持つ材料で形成されている。

【００４７】

基板１の表面全体には、酸化シリコン膜（ SiO_2 ）２が形成されている。この酸化シリコン膜２は、基板１に含まれる重金属の拡散を防止するためのものである。 10

【００４８】

酸化シリコン膜２上には、マトリックスの行方向（図１では、Ｘ方向）に沿って延在するストライプ状の第１部分３ａとマトリックスの列方向（図１では、Ｙ方向）に沿って延在するストライプ状の第２部分３ｂとが交差してなる格子状の第１遮光膜３が形成されている。この第１遮光膜３は、光透過率の低い材料（例えば、タングステンシリサイド）で形成され、ＴＦＴアレイ基板３０の裏面側から直接入射する光を十分に遮断可能な膜厚を有している。第１遮光膜３の全体は、酸化シリコン膜２上に形成された酸化シリコン膜４で覆われている。

【００４９】

酸化シリコン膜４上には、光の吸収が可能なアモルファス・シリコン膜からなる複数の第２遮光膜５が形成されている。それらの第２遮光膜５の各々は、Ｘ方向に沿って延在するストライプ状の第１部分５ａと、Ｙ方向に沿って延在し且つＸ方向に沿って配置された互いに平行な複数の第２部分５ｂとを有している。第２遮光膜５の第１部分５ａの各々は互いに平行である。第２遮光膜５の第２部分５ｂの各々は矩形状である。第２遮光膜５の各々は、第１遮光膜３と重なるように配置され、酸化シリコン膜４上に形成された酸化シリコン膜６で覆われている。 20

【００５０】

この実施例では、第２遮光膜５が高熱伝導膜として機能する。

【００５１】

酸化シリコン膜６上には、略Ｌ字形状にパターン化された複数の多結晶シリコン膜７が形成されている。それらの多結晶シリコン膜７は、後述するゲート線９とデータ線１１との交差点下に各々配置されている。多結晶シリコン膜７の各々は、ＴＦＴ３１の活性層として機能する。 30

【００５２】

すなわち、多結晶シリコン膜７の各々は、不純物がドーピングされていないチャネル領域７ｃと、不純物が低濃度にドーピングされたＬＤＤ領域７ｂ、７ｄと、不純物が高濃度にドーピングされたソース領域７ａおよびドレイン領域７ｅとを含んでいる。ソース領域７ａおよびドレイン領域７ｅは、チャネル領域７ｃを挟んで形成されている。ＬＤＤ領域７ｂはソース領域７ａとチャネル領域７ｃとの間に形成され、ＬＤＤ領域７ｄはチャネル領域７ｃとドレイン領域７ｅとの間に形成されている。 40

【００５３】

ソース領域７ａ、ＬＤＤ領域７ｂ、チャネル領域７ｃ、ＬＤＤ領域７ｄおよびドレイン領域７ｅは、第１および第２の遮光膜３、５と重なるように、Ｙ方向に沿って配置されている。ドレイン領域７ｅの一部分は、Ｘ方向に沿って延在している。多結晶シリコン膜７の各々は、酸化シリコン膜６上に形成されたゲート絶縁膜８で覆われている。

【００５４】

ゲート絶縁膜８上には、不純物がドーピングされた多結晶シリコン膜やシリサイド膜などからなる複数のゲート線９が形成されている。それらのゲート線９は、互いに平行であって、いずれもＸ方向に沿って延在している。各ゲート線９は、マトリックスの同じ行に属す 50

る T F T 3 1 のチャンネル領域 7 c と重なるように配置され、それらの T F T 3 1 のゲート電極として機能する。各ゲート線 9 は、ゲート絶縁膜 8 上に形成された第 1 層間絶縁膜 10 で覆われている。

【 0 0 5 5 】

第 1 層間絶縁膜 10 上には、アルミニウム膜などからなる複数のデータ線 11 が形成されている。それらのデータ線 11 は、互いに平行であっていずれも Y 方向に沿って延在し、マトリックスの同じ列に属する T F T 3 1 の多結晶シリコン膜 7 と重なるように配置されている。各 T F T 3 1 のソース領域 7 a、チャンネル領域 7 c および L D D 領域 7 b、7 d の全体は、対応するデータ線 11 で覆われている。各 T F T 3 1 のドレイン領域 7 e は、対応するデータ線 11 で部分的に覆われている。各データ線 11 は、第 1 層間絶縁膜 10 とゲート絶縁膜 8 とを貫通するコンタクト孔 21 を介して、マトリックスの同じ列に属する T F T 3 1 のソース領域 7 a に電氣的に接続されている。各データ線 11 は、第 1 層間絶縁膜 10 上に形成された第 2 層間絶縁膜 12 で覆われている。

10

【 0 0 5 6 】

第 2 層間絶縁膜 12 上には、X 方向および Y 方向の各々に延在する略格子状のブラックマトリックス膜 13 が形成されている。このブラックマトリックス膜 13 は、各ゲート線 9 および各データ線 11 に重なるように配置され、T F T 3 1 を覆っている。ブラックマトリックス膜 13 は、クロム膜などからなり、第 3 遮光膜として機能する。ブラックマトリックス膜 13 の全体は、第 2 層間絶縁膜 12 上に形成された第 3 層間絶縁膜 14 で覆われている。

20

【 0 0 5 7 】

第 3 層間絶縁膜 14 上には、略矩形状の複数の画素電極 15 が形成されている。それらの画素電極 14 は、各ゲート線 9 と各データ線 11 とによって画定された複数の画素領域 20 に各々配置されている。各画素電極 15 は、第 3 層間絶縁膜 14、第 2 層間絶縁膜 12、第 1 層間絶縁膜 10 およびゲート絶縁膜 8 を貫通するコンタクト孔 22 を介して、対応する T F T 3 1 のドレイン領域 7 e に電氣的に接続されている。

【 0 0 5 8 】

上記の構成を持つ T F T アレイ基板 30 を備えた液晶表示装置では、図 3 に示すように、T F T アレイ基板 30 に対向して配置された対向基板（図示せず）の表面側から入射した光 L1 は、ブラックマトリックス膜 13 により遮断されるか、あるいは第 1 遮光膜 3 で反射されることなく T F T アレイ基板 30 を通過する。そのように、ブラックマトリックス膜 13 の幅、第 1 遮光膜 3 の幅、ブラックマトリックス膜 13 と第 1 遮光膜 3 との間隔などが設定されている。

30

【 0 0 5 9 】

他方、T F T アレイ基板 30 の裏面側から入射して第 1 遮光膜 3 に向かう光 L2 は、第 1 遮光膜 3 で遮断される。T F T アレイ基板 30 の裏面側から入射してブラックマトリックス膜 13 に向かう光 L3 は、ブラックマトリックス膜 13 で反射された後に、第 1 遮光膜 3 と T F T 3 1 との間に設けられた第 2 遮光膜 5 に照射される。あるいは、ブラックマトリックス膜 13 と第 1 遮光膜 3 とで反射された後に、第 2 遮光膜 5 に照射される。さらに、T F T アレイ基板 30 の裏面側から入射してデータ線 11 に向かう光 L4 は、データ線 11 で反射された後に第 2 遮光膜 5 に照射される。上述したように、第 2 遮光膜 5 は、光を吸収可能なアモルファス・シリコン膜からなる。そのため、第 2 遮光膜 5 に照射されたこれらの光は、第 2 遮光膜 5 により吸収される。

40

【 0 0 6 0 】

このように、T F T アレイ基板 30 の裏面側からの光が直接あるいはブラックマトリックス膜 13 で反射されて第 1 遮光膜 3 とデータ線 11 との間に入射しても、その光は第 2 遮光膜 5 で吸収される。したがって、T F T 3 1 のチャンネル領域 7 c および L D D 領域 7 b、7 d へ向かう光は、効果的且つ確実に遮断される。

【 0 0 6 1 】

なお、チャンネル領域 7 c はゲート線 9 で覆われているため、チャンネル領域 7 c へ向かう

50

光を遮断する作用がさらに高められる。

【0062】

一般に、シリコン膜は、緑色や青色の波長に対する光吸収率が高く、赤色の波長に対する光吸収率が低いという分光吸収特性を持つ。この点に関しては、第2遮光膜5を形成するアモルファス・シリコン膜や多結晶シリコン膜7においても同様である。周知の通り、TFT31の光リーク電流は活性層である多結晶シリコン膜7が光を吸収することによって生じるので、光リーク電流の大きさは照射される光の波長に応じて変化する。そのため、多結晶シリコン膜7と同じ傾向の分光吸収特性を持つアモルファス・シリコン膜で第2遮光膜5を形成することにより、光リーク電流を効率良く低減できる。

【0063】

また、高輝度の光がTFTアレイ基板30に入射する場合、第2遮光膜5の光吸収により生じる発熱でTFT31近傍の温度上昇が起こる。上述したように、第2遮光膜5による赤色の波長の光吸収が低いので、その分だけTFT31近傍の温度上昇が抑制されるという利点もある。

【0064】

なお、アモルファス・シリコン膜以外にも、結晶化成分を有する微結晶シリコン膜や多結晶シリコン膜などを使用しても、アモルファス・シリコン膜の場合とほぼ同様の効果が得られる。さらには、シリコンを含むシリサイド膜などについても同様である。

【0065】

次に、図1および図2のTFTアレイ基板30の製造方法について、図4～8を参照しながら説明する。

【0066】

まず、図4に示すように、一般的なCVD (Chemical Vapor Deposition) 法により、透光性基板1の表面全体に酸化シリコン膜2を堆積する。次に、酸化シリコン膜2上にタンゲステンシリサイド膜 (図示せず) を形成し、一般的なフォトリソグラフィ技術およびエッチング技術を用いて、そのタンゲステンシリサイド膜をパターン化することにより、第1遮光膜3を形成する。その後、CVD法により酸化シリコン膜2上に酸化シリコン膜4を堆積し、第1遮光膜3の全体を酸化シリコン膜4で覆う。

【0067】

続いて、減圧化学気相成長 (Low Pressure Chemical Vapor Deposition、LPCVD) 法やプラズマ化学気相成長 (Plasma Chemical Vapor Deposition、PCVD) 法などを使用して、酸化シリコン膜4上にアモルファス・シリコン膜 (図示せず) を堆積し、そのアモルファス・シリコン膜をフォトリソグラフィ技術およびエッチング技術によりパターン化する。こうして、酸化シリコン膜4上に複数の第2遮光膜5を形成する。

【0068】

次に、図5に示すように、CVD法により酸化シリコン膜4上に酸化シリコン膜6を堆積し、第2遮光膜5の各々を酸化シリコン膜6で覆う。続いて、LPCVD法やPCVD法などにより酸化シリコン膜6上にアモルファス・シリコン膜 (図示せず) を堆積した後、そのアモルファス・シリコン膜をレーザ・アニール法などにより結晶化させる。さらに、その結晶化した膜をフォトリソグラフィ技術およびエッチング技術によりパターン化する。こうして、TFT31の活性層として機能する複数の多結晶シリコン膜7を酸化シリコン膜4上に形成する。

【0069】

次に、図6に示すように、CVD法により酸化シリコン膜6上に酸化シリコン膜からなるゲート絶縁膜8を形成し、多結晶シリコン膜7の各々をゲート絶縁膜8で覆う。さらに、不純物のドーパされた多結晶シリコン膜 (図示せず) とシリサイド膜 (図示せず) とをその順にゲート絶縁膜8上に形成した後、それらの膜をフォトリソグラフィ技術およびエッチング技術によりパターン化して複数のゲート線9を形成する。

【0070】

続いて、ゲート線9の各々をマスクに使用して、多結晶シリコン膜7の各々に低濃度の

10

20

30

40

50

不純物を選択的にドーブする。さらに、パターン化されたフォトレジスト膜（図示せず）をマスクとして、多結晶シリコン膜 7 の各々に高濃度の不純物を選択的にドーブする。こうして、多結晶シリコン膜 7 の各々にソース領域 7 a、LDD 領域 7 b、7 d、チャンネル領域 7 c およびドレイン領域 7 e を形成する。

【0071】

次に、図 7 に示すように、CVD 法によりゲート絶縁膜 8 上に酸化シリコン膜からなる第 1 層間絶縁膜 10 を形成し、ゲート線 9 の各々を第 1 層間絶縁膜 10 で覆う。その後、フォトリソグラフィ技術およびエッチング技術により第 1 層間絶縁膜 10 とゲート絶縁膜 8 とを選択的に除去し、ソース領域 7 a を露出するコンタクト孔 21 を形成する。続いて、スパッタ法などにより第 1 層間絶縁膜 10 上にアルミニウム膜（図示せず）を形成し、そのアルミニウム膜をフォトリソグラフィ技術およびエッチング技術によりパターン化して複数のデータ線 11 を形成する。データ線 11 の各々は、コンタクト孔 21 の内部にも形成されて、ソース領域 21 に電氣的に接続される。

10

【0072】

次に、図 8 に示すように、CVD 法により第 1 層間絶縁膜 10 上に酸化シリコン膜からなる第 2 層間絶縁膜 12 を形成し、データ線 11 の各々を第 2 層間絶縁膜 12 で覆う。続いて、第 2 層間絶縁膜 12 上にスパッタ法などによりクロム膜（図示せず）を形成し、そのクロム膜をフォトリソグラフィ技術およびエッチング技術によりパターン化してブラックマトリックス膜（すなわち、第 3 遮光膜）13 を形成する。その後、CVD 法により第 2 層間絶縁膜 12 上に酸化シリコン膜からなる第 3 層間絶縁膜 14 を形成して、ブラックマトリックス膜 13 を第 3 層間絶縁膜 14 で覆う。

20

【0073】

次に、フォトリソグラフィ技術およびエッチング技術により、第 3 層間絶縁膜 14 と第 2 層間絶縁膜 12 と第 1 層間絶縁膜 10 とゲート絶縁膜 8 とを選択的に除去し、ドレイン領域 7 e を露出するコンタクト孔 22 を形成する。さらに、第 3 層間絶縁膜 14 上に ITO（Indium Thin Oxide）膜（図示せず）を形成し、その ITO 膜をフォトリソグラフィ技術およびエッチング技術によりパターン化して複数の画素電極 15 を形成する。画素電極 15 の各々は、コンタクト孔 22 の内部にも形成されて、ドレイン領域 7 e に電氣的に接続される。

【0074】

上記の工程により、図 1 および図 2 に示す TFT アレイ基板 30 が得られる。

30

【0075】

このように、TFT アレイ基板 30 の製造工程は単純なものであり、容易に TFT アレイ基板 30 を製造することができる。

【0076】

以上述べたように、この第 1 実施形態の TFT アレイ基板 30 では、透光性基板 1 と TFT 31 との間に第 1 遮光膜 3 が設けられ、第 1 遮光膜 3 と TFT 31 との間に第 2 遮光膜 5 が設けられる。第 1 および第 2 の遮光膜 3、5 は多結晶シリコン膜 7（すなわち、TFT 31 の活性層）と重なるように配置され、第 2 遮光膜 5 は照射された光を吸収可能である。

40

【0077】

そのため、TFT アレイ基板 30 の裏面側から入射した光がブラックマトリックス膜 13 やデータ線 11 で反射され、さらに第 1 遮光膜 3 で反射されても、それらの反射光はいずれも第 2 遮光膜 5 に照射されることになる。そして、その照射された光を第 2 遮光膜 5 が吸収するので、TFT 31 のチャンネル領域 7 c および LDD 領域 7 b、7 d へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。

【0078】

さらに、特開 2000 - 180899 号公報および特開 2000 - 356787 号公報に開示された従来の液晶表示装置のような複雑な製造工程を必要とせず、容易に製造でき

50

る。

【0079】

第1遮光膜3と第2遮光膜5の間の絶縁膜の厚さと、第2遮光膜5と活性層7との間の絶縁膜の厚さは、本発明において重要なパラメータである。特に、第2遮光膜5と活性層7との間の絶縁膜の厚さが重要である。第2遮光膜5と活性層7との間の絶縁膜の厚さが小さいほど、遮光効果は大きい。実験によれば、これを500nm以下とすることにより、顕著な遮光効果が得られることが判明した。

【0080】

また、第2遮光膜5と活性層7との間の絶縁膜の厚さが小さくなると、TFT31のトランジスタ特性が影響を受け、さらに、活性層7を作製するためにアモルファス・シリコン膜をレーザ・アニール法で結晶化するプロセスも影響を受けることも判明した。そこで、本発明の遮光効果を得るには、第2遮光膜5と活性層7との間の絶縁膜の厚さは500nm～1000nmの範囲が好適であり、1500nm～3000nmの範囲がより好適であることが分かった。これは、後述する他の実施形態においても同様である。

【0081】

(第2実施形態)

図9および図10は、本発明の第2実施形態のTFTアレ基板30Aの概略構成を示す。図9は要部平面図、図10(a)および(b)は図9のC-C線およびD-D線に沿った要部断面図である。

【0082】

図9および図10のTFTアレ基板30Aは、第2遮光膜5Aが導電性を有し且つ対応するゲート線9に電氣的に接続されている点で、第1実施形態のTFTアレ基板30と異なっている。それ以外の構成は、第1実施形態のTFTアレ基板30のそれと同じである。よって、図9および図10において第1実施形態のTFTアレ基板30と同一または対応する構成要素に図1および図2と同じ符号を付して、同一構成の部分についての説明は省略する。

【0083】

TFTアレ基板30Aでは、不純物の導入された多結晶シリコン膜からなる複数の第2遮光膜5Aが酸化シリコン膜4上に形成されている。それらの第2遮光膜5Aの各々は、マトリックスの行方向(図9では、X方向)に沿って延在するストライプ状の第1部分5Aaと、マトリックスの列方向(図9では、Y方向)に沿って延在し且つX方向に沿って配置された互いに平行な複数の第2部分5Abとを有している。第2遮光膜5Aの第1部分5Aaの各々は互いに平行である。第2遮光膜5Aの第2部分5Abの各々は矩形状である。第2遮光膜5Aの各々は第1遮光膜3と重なるように配置され、第2遮光膜5Aの第2部分5Abの各々が多結晶シリコン膜7と重なっている。

【0084】

また、第2遮光膜5Aの各々は、対応するゲート線9に内部配線41を介して電氣的に接続されている。そのため、ゲート線9がTFT31の第1ゲート電極として機能すると共に、第2遮光膜5AがTFT31の第2ゲート電極として機能する。すなわち、TFT31がデュアル・ゲート型電界効果トランジスタとして動作する。

【0085】

このように、第2遮光膜5AをTFT31の第2ゲート電極として使用した場合、TFT31の電極間容量が増加する。そこで、第2遮光膜5Aの第2部分5Abの長さ(すなわち、Y方向に沿った長さ)Lを小さくすることで、TFT31の電極間容量の増加を抑制している。

【0086】

すなわち、第2遮光膜5Aの第2部分5Abは、TFT31のチャネル領域7cおよびLDD領域7b、7dと重なるが、TFT31のソース領域7aおよびドレイン領域7eとほとんど重ならない。第2遮光膜5Aの第2部分5Abをこのように形成することで、TFT31のチャネル領域7cおよびLDD領域7b、7dへ向かう光を遮断する効果を

10

20

30

40

50

維持しながら、ＴＦＴ３１の電極間容量の増加を実用上問題のない程度にすることができる。

【００８７】

なお、ＴＦＴアレ基板３０Ａは、第１実施形態のＴＦＴアレ基板３０とほぼ同様の製造方法により製造される。

【００８８】

この第２実施形態のＴＦＴアレ基板３０Ａでは、第１実施形態のＴＦＴアレ基板３０と同様の効果が得られる。すなわち、ＴＦＴ３１のチャネル領域７ｃおよびＬＤＤ領域７ｂ、７ｄへ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

10

【００８９】

さらに、第２実施形態のＴＦＴアレ基板３０Ａでは、ＴＦＴ３１がデュアル・ゲート型電界効果トランジスタとして動作するため、優れたオン／オフ特性が得られるという利点がある。

【００９０】

（第３実施形態）

図１１は、本発明の第３実施形態のＴＦＴアレ基板３０Ｂの概略構成を示す要部平面図である。

【００９１】

図１１のＴＦＴアレ基板３０Ｂは、１つの第２遮光膜５Ｂが設けられ、且つ第２遮光膜５Ｂに定電圧 V_c が供給されている点で、第１実施形態のＴＦＴアレ基板３０と異なっている。それ以外の構成は、第１実施形態のＴＦＴアレ基板３０のそれと同じである。よって、図１１において第１実施形態のＴＦＴアレ基板３０と同一または対応する構成要素に図１および図２と同じ符号を付して、同一構成の部分についての説明は省略する。

20

【００９２】

ＴＦＴアレ基板３０Ｂでは、第２遮光膜５Ｂが不純物の導入された多結晶シリコン膜からなる。そして、第２遮光膜５Ｂは、マトリックスの行方向（図１１では、Ｘ方向）に沿って延在するストライプ状の複数の第１部分５Ｂａと、マトリックスの列方向（図１１では、Ｙ方向）に沿って延在するストライプ状の複数の第２部分５Ｂｂとを有している。第２遮光膜５Ｂの第１部分５Ｂａの各々は互いに平行であり、第２遮光膜５Ｂの第２部分５Ｂｂの各々は互いに平行である。そして、第２遮光膜５Ｂの第１部分５Ｂａと第２部分５Ｂｂは、互いに交差して格子状の平面形状を形成している。第２遮光膜５Ｂは第１遮光膜３と重なるように配置され、第２遮光膜５Ｂの第２部分５Ｂｂの各々が多結晶シリコン膜７と重なっている。

30

【００９３】

また、第２遮光膜５Ｂには、外部端子５１を介して定電圧 V_c が供給されている。この定電圧 V_c は、第２遮光膜５Ｂを一定電位にバイアスする。そのため、定電圧 V_c の電圧値を調整することにより、ＴＦＴ３１の特性を制御することができる。

40

【００９４】

なお、ＴＦＴアレ基板３０Ｂは、第１実施形態のＴＦＴアレ基板３０とほぼ同様の製造方法により製造される。

【００９５】

この第３実施形態のＴＦＴアレ基板３０Ｂでは、第１実施形態のＴＦＴアレ基板３０と同様の効果が得られる。すなわち、ＴＦＴ３１のチャネル領域７ｃおよびＬＤＤ領域７ｂ、７ｄへ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【００９６】

50

さらに、第3実施形態のTFTアレ基板30Bでは、第2遮光膜5Bに供給される定電圧 V_c を調整することにより、TFT31の特性を制御できるという利点がある。

【0097】

(第4実施形態)

図12および図13は、本発明の第4実施形態のTFTアレ基板30Cの概略構成を示す。図12は要部平面図、図13(a)および(b)は図12のE-E線およびF-F線に沿った要部断面図である。

【0098】

図12および図13のTFTアレ基板30Cは、TFT31がデータ線11で覆われていない形態のTFTアレ基板に本発明を適用したものである。

10

【0099】

すなわち、TFT31の活性層として機能する複数の多結晶シリコン膜7'がマトリックスの行方向に沿って延在すると共に、それらの多結晶シリコン膜7'と重なるように第1遮光膜3'、第2遮光膜5'およびブラックマトリックス膜13'が形成され、且つTFT31がゲート線9に電氣的に接続されたゲート電極9aを有している。そして、それ以外の構成は、第1実施形態のTFTアレ基板30のそれと同じである。よって、図12および図13において第1実施形態のTFTアレ基板30と同一または対応する構成要素に図1および図2と同じ符号を付して、同一構成の部分についての説明は省略する。

【0100】

図12および図13のTFTアレ基板30Cでは、酸化シリコン膜2上に形成された第1遮光膜3'が、マトリックスの行方向(図12では、X方向)に沿って延在するストライプ状の第1部分3a'と、マトリックスの列方向(図12では、Y方向)に沿って延在するストライプ状の第2部分3b'と、対応する画素領域20に向かって突出する第3部分3c'とを有している。そして、それらの第1、第2および第3の部分3a'、3b'、3c'により、略格子状の平面形状が形成されている。この第1遮光膜3'は、光透過率の低い材料(例えば、タングステンシリサイド)で形成され、TFTアレ基板30Cの裏面側から直接入射する光を十分に遮断可能な膜厚を有している。第1遮光膜3'の全体は、酸化シリコン膜2上に形成された酸化シリコン膜4で覆われている。

20

【0101】

酸化シリコン膜4上には、光の吸収が可能なアモルファス・シリコン膜からなる複数の第2遮光膜5Cが形成されている。それらの第2遮光膜5Cの各々は、X方向に沿って延在するストライプ状の第1部分5Caと、Y方向に沿って延在し且つX方向に沿って配置された互いに平行な複数の第2部分5Cbとを有している。第2遮光膜5Cの第1部分5Caの各々は互いに平行である。第2遮光膜5Cの第2部分5Cbの各々は、矩形状であり、対応する画素領域20側に突出している。第2遮光膜5Cの各々は、第1遮光膜3'と重なるように配置され、酸化シリコン膜4上に形成された酸化シリコン膜6で覆われている。

30

【0102】

酸化シリコン膜6上には、略矩形状にパターン化された複数の多結晶シリコン膜7'が形成されている。それらの多結晶シリコン膜7'は、ゲート線9とデータ線11との交差点の各々の近傍に配置されている。多結晶シリコン膜7'の各々は、TFT31の活性層として機能する。

40

【0103】

すなわち、多結晶シリコン膜7'の各々は、不純物がドーブされていないチャネル領域7c'と、不純物が低濃度にドーブされたLDD領域7b'、7d'と、不純物が高濃度にドーブされたソース領域7a'およびドレイン領域7e'とを含んでいる。ソース領域7a'およびドレイン領域7e'は、チャネル領域7c'を挟んで形成されている。LDD領域7b'はソース領域7a'とチャネル領域7c'との間に形成され、LDD領域7d'はチャネル領域7c'とドレイン領域7e'との間に形成されている。

【0104】

50

ソース領域 7 a'、LDD領域 7 b'、チャンネル領域 7 c'、LDD領域 7 d'およびドレイン領域 7 e'は、第1および第2の遮光膜 3'、5 Cと重なるように、X方向に沿って配置されている。多結晶シリコン膜 7'の各々は、酸化シリコン膜 6上に形成されたゲート絶縁膜 8で覆われている。

【0105】

ゲート絶縁膜 8上には、各TFT 31に対応する複数のゲート電極 9 aと、互いに平行であっていずれもX方向に沿って延在する複数のゲート線 9とが形成されている。それらのゲート電極 9 aおよびゲート線 9は、不純物がドーピングされた多結晶シリコン膜やシリサイド膜などからなる。各ゲート電極 9 aは、Y方向に沿って延在し、互いに平行である。そして、各ゲート電極 9 aは、対応するTFT 31のチャンネル領域 7 c'と重なるように配置され、対応するゲート線 9に電氣的に接続されている。各ゲート電極 9 aおよび各ゲート線 9は、ゲート絶縁膜 8上に形成された第1層間絶縁膜 10で覆われている。

10

【0106】

第2層間絶縁膜 12上に形成されたブラックマトリックス膜 13'は、X方向およびY方向の各々に延在してなる略格子状の平面形状を有している。このブラックマトリックス膜 13'は、各ゲート線 9および各データ線 11に重なるように配置されている。ブラックマトリックス膜 13'の一部分は画素領域 20に向かって突出し、その突出部分がTFT 31を覆っている。ブラックマトリックス膜 13は、クロム膜などからなり、第3遮光膜として機能する。ブラックマトリックス膜 13の全体は、第2層間絶縁膜 12上に形成された第3層間絶縁膜 14で覆われている。

20

【0107】

上記の構成を持つTFTアレイ基板 30 Cを備えた液晶表示装置においても、第1実施形態のTFTアレイ基板 30の場合とほぼ同様の遮光効果が得られる。

【0108】

すなわち、図14に示すように、TFTアレイ基板 30 Cに対向して配置された対向基板（図示せず）の表面側から入射した光 L1は、ブラックマトリックス膜 13'により遮断されるか、あるいは第1遮光膜 3'で反射されることなくTFTアレイ基板 30を通過する。

【0109】

他方、TFTアレイ基板 30 Cの裏面側から入射して第1遮光膜 3'に向かう光 L2は、第1遮光膜 3'で遮断される。TFTアレイ基板 30 Cの裏面側から入射してブラックマトリックス膜 13'に向かう光 L3は、ブラックマトリックス膜 13'で反射された後に、第1遮光膜 3'とTFT 31との間に設けられた第2遮光膜 5 Cに照射される。あるいは、ブラックマトリックス膜 13'と第1遮光膜 3'とで反射された後に、第2遮光膜 5 Cに照射される。上述したように、第2遮光膜 5 Cは、光を吸収可能なアモルファス・シリコン膜からなる。そのため、第2遮光膜 5 Cに照射されたこれらの光は、第2遮光膜 5 Cにより吸収される。

30

【0110】

このように、TFTアレイ基板 30の裏面側からの光がブラックマトリックス膜 13'で反射され、さらに第1遮光膜 3'で反射されても、それらの反射光は第2遮光膜 5 Cで吸収される。したがって、TFT 31のチャンネル領域 7 c'およびLDD領域 7 b'、7 d'へ向かう光は、効果的且つ確実に遮断される。

40

【0111】

なお、TFTアレイ基板 30 Cは、第1実施形態のTFTアレイ基板 30とほぼ同様の製造方法により製造される。

【0112】

以上述べたように、この第4実施形態のTFTアレイ基板 30 Cでは、第1実施形態のTFTアレイ基板 30と同様の効果が得られる。すなわち、TFT 31のチャンネル領域 7 c'およびLDD領域 7 b'、7 d'へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められ

50

る。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【0113】

(第5実施形態)

図15は、本発明の第5実施形態のTFTアレ基板30Dの概略構成を示す要部平面図である。

【0114】

図15のTFTアレ基板30Dは、第2遮光膜5Dが導電性を有し且つ対応するゲート線9に電氣的に接続されている点で、第4実施形態のTFTアレ基板30Cと異なっている。それ以外の構成は、第4実施形態のTFTアレ基板30Cのそれと同じである。よって、図15において第4実施形態のTFTアレ基板30Cと同一または対応する構成要素に図12および図13と同じ符号を付して、同一構成の部分についての説明は省略する。

10

【0115】

TFTアレ基板30Dでは、第2遮光膜5Dが不純物の導入された多結晶シリコン膜からなる。それらの第2遮光膜5Dの各々は、X方向に沿って延在するストライプ状の第1部分5Daと、Y方向に沿って延在し且つX方向に沿って配置された互いに平行な複数の第2部分5Dbとを有している。第2遮光膜5Dの第1部分5Daの各々は互いに平行である。第2遮光膜5Dの第2部分5Dbの各々は、矩形状であり、対応する画素領域20側に突出している。第2遮光膜5Dの各々は第1遮光膜3'と重なるように配置され、第2遮光膜5Dの第2部分5Dbが多結晶シリコン膜7'と重なっている。

20

【0116】

また、第2遮光膜5Dの各々は、第2実施形態のTFTアレ基板30Aと同様に、対応するゲート線9に内部配線41を介して電氣的に接続されている。そのため、ゲート電極9aがTFT31の第1ゲート電極として機能すると共に、第2遮光膜5DがTFT31の第2ゲート電極として機能する。すなわち、TFT31がデュアル・ゲート型電界効果トランジスタとして動作する。

【0117】

このように、第2遮光膜5DをTFT31の第2ゲート電極として使用した場合、TFT31の電極間容量が増加する。そこで、第2遮光膜5Dの第2部分5Dbの幅(すなわち、X方向の長さ)Wを小さくすることで、TFT31の電極間容量の増加を抑制している。

30

【0118】

すなわち、第2遮光膜5Dの第2部分5Dbは、TFT31のチャネル領域7c'およびLDD領域7b'、7d'と重なるが、TFT31のソース領域7a'およびドレイン領域7e'とほとんど重ならない。第2遮光膜5Dの第2部分5Dbをこのように形成することで、TFT31のチャネル領域7c'およびLDD領域7b'、7d'へ向かう光を遮断する効果を維持しながら、TFT31の電極間容量の増加を実用上問題のない程度にすることができる。

【0119】

なお、TFTアレ基板30Dは、第1実施形態のTFTアレ基板30とほぼ同様の製造方法により製造される。

40

【0120】

以上述べたように、この第5実施形態のTFTアレ基板30Dでは、第1実施形態のTFTアレ基板30と同様の効果が得られる。すなわち、TFT31のチャネル領域7c'およびLDD領域7b'、7d'へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【0121】

さらに、第5実施形態のTFTアレ基板30Dでは、第2実施形態のTFTアレ基板30Aと同様に、TFT31がデュアル・ゲート型電界効果トランジスタとして動作す

50

るため、優れたオン/オフ特性が得られるという利点がある。

【0122】

(第6実施形態)

図16は、本発明の第6実施形態のTFTアレ基板30Eの概略構成を示す要部平面図である。

【0123】

図16のTFTアレ基板30Eは、1つの第2遮光膜5Eが設けられ、且つ第2遮光膜5Eに定電圧 V_G が供給されている点で、第4実施形態のTFTアレ基板30Cと異なっている。それ以外の構成は、第4実施形態のTFTアレ基板30Cのそれと同じである。よって、図16において第4実施形態のTFTアレ基板30Cと同一または対応する構成要素に図12および図13と同じ符号を付して、同一構成の部分についての説明は省略する。

10

【0124】

TFTアレ基板30Eでは、第2遮光膜5Eが不純物の導入された多結晶シリコン膜からなる。そして、第2遮光膜5Eは、マトリックスの行方向(図16では、X方向)に沿って延在するストライプ状の複数の第1部分5Eaと、マトリックスの列方向(図16では、Y方向)に沿って延在し且つX方向に沿って互いに平行に配置された矩形状の複数の第2部分5Ebと、Y方向に沿って延在するストライプ状の複数の第3部分5Ecとを有している。第2遮光膜5Eの第1部分5Eaの各々は互いに平行であり、第3部分5Ecの各々は互いに平行である。そして、第2遮光膜5Eの第1および第2の部分5Ea、5Ebは、互いに交差して格子状の平面形状を形成している。第2遮光膜5Eの第2部分5Ebの各々は、対応する画素領域20側に突出している。第2遮光膜5Eの各々は第1遮光膜3'と重なるように配置され、第2遮光膜5Eの第2部分5Ebが多結晶シリコン膜7'と重なっている。

20

【0125】

また、第2遮光膜5Eには、第3実施形態のTFTアレ基板30Bと同様に、外部端子51を介して定電圧 V_G が供給されている。この定電圧 V_G は、第2遮光膜5Eを一定電位にバイアスする。そのため、定電圧 V_G の電圧値を調整することにより、TFT31の特性を制御することができる。

【0126】

なお、TFTアレ基板30Bは、第1実施形態のTFTアレ基板30とほぼ同様の製造方法により製造される。

30

【0127】

この第6実施形態のTFTアレ基板30Eでは、第1実施形態のTFTアレ基板30と同様の効果が得られる。すなわち、TFT31のチャネル領域7c'およびLDD領域7b'、7d'へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【0128】

さらに、第6実施形態のTFTアレ基板30Eでは、第3実施形態のTFTアレ基板30Bと同様に、第2遮光膜5Eに供給される定電圧 V_G を調整することにより、TFT31の特性を制御できるという利点がある。

40

【0129】

(第7実施形態)

上述した第1~第6実施形態では、第1遮光膜3と第3遮光膜(ブラックマトリックス膜)13に加えて、第1遮光膜3とTFT31の間に光吸収性を持つ第2遮光膜5を設けており、それによって遮光性能の向上を図っている。

【0130】

以下に述べる第7~第10実施形態は、TFT31と第3遮光膜(ブラックマトリックス膜)13との間に光吸収性を持つ第4遮光膜16を設けた例である。光吸収性を持つ第

50

4 遮光膜 16 を T F T 3 1 の上部に配置した場合でも、第 2 遮光膜 5 を設けた場合と同様にして多重反射する光を低減することができ、遮光効果を向上させることが可能となる。

【0131】

図 17 は、本発明の第 7 実施形態の T F T アレイ基板 30 F の概略構成を示している。図 17 (a) および (b) は、それぞれ図 1 の A - A 線および B - B 線に沿った要部断面図である。この基板には、画素マトリックス部と共に駆動回路部が形成されており (図 22 参照)、以下の説明は画素マトリックス部の T F T についてのものである。駆動回路部の T F T は、第 4 遮光膜を有していない。

【0132】

図 17 に示す第 7 実施形態の T F T アレイ基板 30 F は、図 2 に示す第 1 実施形態の T F T アレイ基板 30 において、第 2 遮光膜 5 を除去し、第 4 遮光膜 16 を追加したものである。その他の構成は、第 1 実施形態の T F T アレイ基板 30 と同じである。この T F T アレイ基板 30 F では、第 2 遮光膜 5 を除去しているので、S i O₂ 膜 4 または 6 は省略可能である。 10

【0133】

第 4 遮光膜 16 のパターンは、図 1 に示された第 2 遮光膜 5 のそれと同じであり、T F T 3 1 の活性層として機能するポリシリコン膜 7 のほぼ全体を覆っている。第 4 遮光膜 16 は、ポリシリコン膜 7 のコンタクト孔 22 の近傍の部分は覆っていない。

【0134】

第 4 遮光膜 16 は、ここでは第 1 層間絶縁膜 10 の内部に埋設してある。このような構成は、例えば次のようにして容易に実現できる。すなわち、第 1 層間絶縁膜 10 を 2 層構造とし、第 1 層間絶縁膜 10 の下層部を形成した後、第 4 遮光膜 16 用のアモルファス・シリコン膜を形成する。そして、このアモルファス・シリコン膜をパターン化すると、第 4 遮光膜 16 が得られる。その後、その上に第 1 層間絶縁膜 10 の上層部を形成する。しかし、本発明はこの構成に限定されるわけではない。例えば、第 4 遮光膜 16 を第 1 層間絶縁膜 10 の上に形成した後、第 4 遮光膜 16 を他の絶縁膜で覆い、その上に第 2 層間絶縁膜 12 を形成してもよい。 20

【0135】

(第 8 実施形態)

図 18 は、本発明の第 8 実施形態の T F T アレイ基板 30 G の概略構成を示している。図 18 (a) および (b) は、それぞれ図 1 の A - A 線および B - B 線に沿った要部断面図である。 30

【0136】

図 18 に示す第 8 実施形態の T F T アレイ基板 30 G は、図 2 に示す第 1 実施形態の T F T アレイ基板 30 において、第 4 遮光膜 16 を追加したものである。その他の構成は、第 1 実施形態の T F T アレイ基板 30 と同じである。換言すれば、T F T アレイ基板 30 G は、図 17 に示す第 7 実施形態の T F T アレイ基板 30 F において、第 2 遮光膜 5 を追加したものである。

【0137】

この T F T アレイ基板 30 G では、T F T 3 1 の上下に第 4 遮光膜 16 と第 2 遮光膜 5 を設けているので、T F T 3 1 の上下両側からの光に対して遮光効果が得られる。よって、第 1 実施形態や第 7 実施形態の場合よりも高い遮光効果が得られる利点がある。 40

【0138】

(第 9 実施形態)

図 19 は、本発明の第 9 実施形態の T F T アレイ基板 30 H の概略構成を示している。図 19 (a) および (b) は、それぞれ図 12 の E - E 線および F - F 線に沿った要部断面図である。

【0139】

図 19 に示す第 9 実施形態の T F T アレイ基板 30 H は、図 13 に示す第 4 実施形態の T F T アレイ基板 30 C において、第 2 遮光膜 5 C を除去し、第 4 遮光膜 16 ' を追加し 50

たものである。その他の構成は、第4実施形態のTFTアレ基板30Cと同じである。このTFTアレ基板30Hでは、第2遮光膜5を除去しているので、SiO₂膜4または6は省略可能である。

【0140】

第4遮光膜16'のパターンは、図12に示された第2遮光膜5Cのそれと同じであり、TFT31の活性層として機能するポリシリコン膜7のほぼ全体を覆っている。第4遮光膜16'は、ポリシリコン膜7のコンタクト孔22の近傍の部分は覆っていない。

【0141】

第4遮光膜16'は、ここでは第2層間絶縁膜12の内部に埋設してある。このような構成は、例えば次のようにして容易に実現できる。すなわち、第2層間絶縁膜12を2層構造とし、第2層間絶縁膜12の下層部を形成した後、第4遮光膜16'用のアモルファス・シリコン膜を形成する。そして、このアモルファス・シリコン膜をパターン化すると、第4遮光膜16'が得られる。その後、その上に第2層間絶縁膜12の上層部を形成する。しかし、本発明はこの構成に限定されるわけではない。例えば、第4遮光膜16'を第2層間絶縁膜12の上に形成した後、第4遮光膜16'を他の絶縁膜で覆い、その上に第3層間絶縁膜14を形成してもよい。

【0142】

(第10実施形態)

図20は、本発明の第10実施形態のTFTアレ基板30Iの概略構成を示している。図20(a)および(b)は、それぞれ図12のE-E線およびF-F線に沿った要部断面図である。

【0143】

図20に示す第10実施形態のTFTアレ基板30Iは、図13に示す第4実施形態のTFTアレ基板30Cにおいて、第4遮光膜16'を追加したものである。その他の構成は、第4実施形態のTFTアレ基板30Cと同じである。換言すれば、TFTアレ基板30Iは、図19に示す第9実施形態のTFTアレ基板30Hにおいて、第2遮光膜5Cを追加したものである。

【0144】

このTFTアレ基板30Iでは、TFT31の上下にそれぞれ第4遮光膜16'と第2遮光膜5Cを設けているので、TFT31の上下両側からの光に対して遮光効果が得られる。よって、第1実施形態や第7実施形態の場合よりも高い遮光効果が得られる利点がある。

【0145】

図21は、投射型表示装置のライトバルブとして使用する場合を考慮して、所定の投射光照射条件の下で画素マトリックス部のTFT31に生じる光リーク電流特性を示す。これは発明者が行った試験により得たものである。

【0146】

図21より明らかなように、第1遮光膜と第3遮光膜を有する従来のTFTアレ基板100(図23と図24を参照)では、光リーク電流が4pAであったのに対し、第1遮光膜と第3遮光膜に加えて第2遮光膜を有する本発明の第4実施形態のTFTアレ基板30C(図12と図13を参照)では、活性層として機能する多結晶シリコン膜と第2遮光膜との間の絶縁膜の厚さが500nmから減少していくにつれて光リーク電流は徐々に減少し、最大では従来例の約1/3にまで減少した。

【0147】

光リーク電流の低減効果は、第2遮光膜と活性層との間の絶縁膜の厚さに対して相関があり、当該絶縁膜の厚さを500nmより薄くするにつれて、その効果が大きくなった。しかし、図21には示していないが、当該絶縁膜の厚さを100nmより小さくすると、TFT31のオン特性に及ぼす影響や、レーザ・アニール工程での活性層(多結晶シリコン)の結晶性低下に与える影響が大きくなり、TFT31のオン特性が悪化して正常動作ができなくなった。この結果から、当該絶縁膜の厚さは500nm~100nmの範囲と

10

20

30

40

50

するのが適当であることが分かった。

【0148】

また、第1遮光膜と第3遮光膜に加えて第2遮光膜と第4遮光膜を有する本発明の第10実施形態のTFTアレイ基板30I(図20を参照)では、当該絶縁膜の厚さを200nmとした時に、光リーク電流が第4実施形態のTFTアレイ基板30Cの場合の約1/2にまで低減できた。これにより、第2遮光膜に加えてさらに第4遮光膜を追加することにより、より大きな光リーク電流低減効果が得られることが確認された。

【0149】

(第11実施形態)

アモルファス・シリコン膜にレーザー光を照射して活性層用の多結晶シリコン膜を形成する場合、すなわち、レーザー・アニール法によりアモルファス・シリコン膜から多結晶シリコン膜を得る場合には、アモルファス・シリコン膜の直下に熱伝導性の高い物質(高熱伝導膜)が存在すると、その物質(高熱伝導膜)によってレーザー光照射による加熱・冷却プロセスが所望のものから変化し、その結果、アモルファス・シリコン膜が結晶化する際に影響を受ける、という問題がある。このため、従来は、熱伝導性の高い物質(高熱伝導膜)が加熱・冷却プロセスに影響を与えないように、アモルファス・シリコン膜と熱伝導性の高い物質(高熱伝導膜)の間に十分な厚さの絶縁膜を配置するのが一般的であった。

【0150】

他方、図22に示すTFTアレイ基板60のように、画素マトリックス部61と共に駆動回路部62を同一基板上に一体形成した場合、駆動回路部62のTFTには移動度の高いトランジスタ特性が必要とされるのに対し、画素マトリックス部61のTFTには高い移動度は要求されず、むしろ低いリーク電流が要求される。特に光リーク電流については、再結合中心となるトラップが比較的多いシリコンが好適である。このため、画素マトリックス部61のTFTに対しては、駆動回路部62のTFTよりも結晶性の低い多結晶シリコン膜がむしろ望ましい。

【0151】

そこで、本発明の第11実施形態では、画素マトリックス部61のTFTとしては、上述した第1～第10実施形態のように、第2遮光膜あるいは第4遮光膜またはその両方を有するTFT31を用いる。そして、駆動回路部62のTFTとしては、第2遮光膜あるいは第4遮光膜またはその両方を有しないTFTを用いる。こうすることにより、画素マトリックス部61のTFTでは、第2遮光膜あるいは第4遮光膜またはその両方によって、レーザー光照射による熱を速やかに周囲に伝達することができ、その結果、画素マトリックス部61のTFTについてのみ結晶性の低い多結晶シリコン膜が、当該TFTの活性層7用として形成される。こうして、遮光膜の存在による光リーク電流の抑制に加えて、多結晶シリコン膜の結晶性の程度に基づいても光リーク電流を低減することが可能となる。

【0152】

(変形例)

なお、上記第1～第11の実施形態は、本発明の好適な例を示すものである。本発明はこれら実施形態に限定されず、種々の変更が可能なことは言うまでもない。

【0153】

例えば、第1～第6の実施形態では、透光性基板1上に酸化シリコン膜2を介して第1遮光膜3を設けているが、透光性基板1の材料に応じて酸化シリコン膜2を形成せずに透光性基板1の表面に直接、第1遮光膜3を設けてもよい。また、第3および第6の実施形態において、第2遮光膜5B、5Eとしてアモルファス・シリコン膜を使用し、第2遮光膜5B、5Eに電圧 V_G を印加しないようにしてもよい。第1および第4の実施形態の第2遮光膜5、5Cとして多結晶シリコン膜を使用することもできるし、第2、第3、第5および第6の実施形態の第2遮光膜5A、5B、5D、5Eとして不純物の導入されたアモルファス・シリコン膜を使用することもできる。これらは、第7～第11実施形態にも同様に適用できる。

10

20

30

40

50

【 0 1 5 4 】

第 2 遮光膜と第 4 遮光膜を形成する材料としては、光を吸収できる材料であれば上記各実施形態で使用されたもの以外のものも使用可能である。

【 図面の簡単な説明 】

【 0 1 5 5 】

【 図 1 】 本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【 図 2 】 (a) は図 1 の A - A 線に沿った要部断面図、(b) は図 1 の B - B 線に沿った要部断面図である。

【 図 3 】 本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の遮光効果を示す、図 2 (a) に対応する模式的断面図である。 10

【 図 4 】 本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図である。

【 図 5 】 本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 4 の続きである。

【 図 6 】 本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 5 の続きである。 20

【 図 7 】 本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 6 の続きである。

【 図 8 】 本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 7 の続きである。

【 図 9 】 本発明の第 2 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【 図 1 0 】 (a) は図 9 の C - C 線に沿った要部断面図、(b) は図 9 の D - D 線に沿った要部断面図である。 30

【 図 1 1 】 本発明の第 3 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【 図 1 2 】 本発明の第 4 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【 図 1 3 】 (a) は図 1 2 の E - E 線に沿った要部断面図、(b) は図 1 2 の F - F 線に沿った要部断面図である。

【 図 1 4 】 本発明の第 4 実施形態の薄膜トランジスタ・アレイ基板の遮光効果を示す、図 1 3 (a) に対応する模式的断面図である。

【 図 1 5 】 本発明の第 5 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。 40

【 図 1 6 】 本発明の第 6 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【 図 1 7 】 本発明の第 7 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a) は図 1 の A - A 線に沿った要部断面図、(b) は図 1 の B - B 線に沿った要部断面図である。

【 図 1 8 】 本発明の第 8 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a) は図 1 の A - A 線に沿った要部断面図、(b) は図 1 の B - B 線に沿った要部断面図である。

【 図 1 9 】 本発明の第 9 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a) は図 1 2 の E - E 線に沿った要部断面図、(b) は図 1 2 の F - F 線に沿った 50

要部断面図である。

【図 2 0】本発明の第 1 0 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a) は図 1 2 の E - E 線に沿った要部断面図、(b) は図 1 2 の F - F 線に沿った要部断面図である。

【図 2 1】所定の投射光照射条件の下で画素マトリックス部の T F T に生じる光リーク電流特性を示すグラフである。

【図 2 2】本発明の第 1 1 実施形態の薄膜トランジスタ・アレイ基板の構成を示す概略平面図である。

【図 2 3】従来の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【図 2 4】(a) は図 2 3 の G - G 線に沿った要部断面図、(b) は図 2 3 の H - H 線に沿った要部断面図である。 10

【図 2 5】従来の薄膜トランジスタ・アレイ基板の遮光効果を示す、図 2 4 (a) に対応する模式的断面図である。

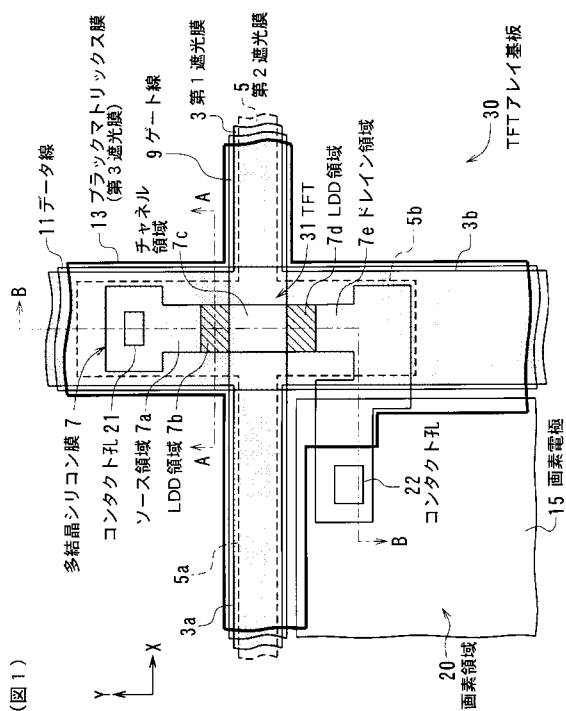
【符号の説明】

【 0 1 5 6 】

- 1 透光性基板
- 2 酸化シリコン膜
- 3、3' 第 1 遮光膜
- 3 a、3 a' 第 1 遮光膜の第 1 部分
- 3 b、3 b' 第 1 遮光膜の第 2 部分 20
- 4 酸化シリコン膜
- 5、5 A、5 B、5 C、5 D、5 E 第 2 遮光膜 (高熱伝導膜)
- 5 a、5 A a、5 B a、5 C a、5 D a、5 E a 第 2 遮光膜の第 1 部分
- 5 b、5 A b、5 B b、5 C b、5 D b、5 E b 第 2 遮光膜の第 2 部分
- 5 E c 第 2 遮光膜の第 3 部分
- 6 酸化シリコン膜
- 7、7' 多結晶シリコン膜
- 7 a、7 a' ソース領域
- 7 b、7 b'、7 d、7 d' L D D 領域
- 7 c、7 c' チャンネル領域 30
- 7 e、7 e' ドレイン領域
- 8 ゲート絶縁膜
- 9 ゲート線
- 9 a ゲート電極
- 1 0 第 1 層間絶縁膜
- 1 1 データ線
- 1 2 第 2 層間絶縁膜
- 1 3、1 3' ブラックマトリックス膜 (第 3 遮光膜)
- 1 4 第 3 層間絶縁膜
- 1 5 画素電極 40
- 1 6、1 6' 第 4 遮光膜
- 2 0 画素領域
- 2 1、2 2 コンタクト孔
- 3 0、3 0 A 薄膜トランジスタ・アレイ基板 (T F T アレイ基板)
- 3 0 B、3 0 C 薄膜トランジスタ・アレイ基板 (T F T アレイ基板)
- 3 0 D、3 0 E 薄膜トランジスタ・アレイ基板 (T F T アレイ基板)
- 3 0 F、3 0 G 薄膜トランジスタ・アレイ基板 (T F T アレイ基板)
- 3 0 H、3 0 I 薄膜トランジスタ・アレイ基板 (T F T アレイ基板)
- 3 1 薄膜トランジスタ (T F T)
- 4 1 内部配線 50

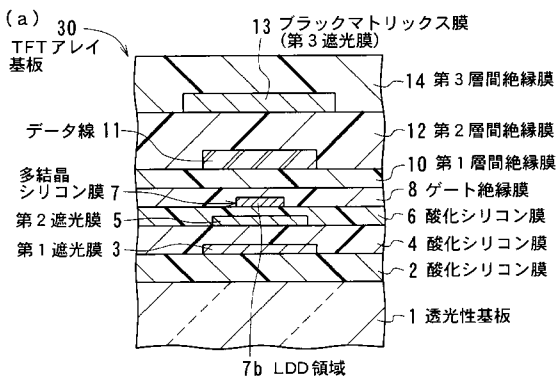
- | | | |
|---|---|--------------------------|
| 5 | 1 | 外部端子 |
| 6 | 0 | 薄膜トランジスタ・アレイ基板（ＴＦＴアレイ基板） |
| 6 | 1 | 画素マトリックス部 |
| 6 | 2 | 駆動回路部 |

【圖 1】

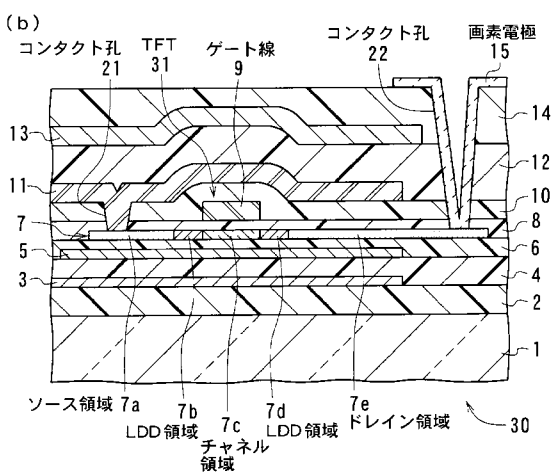


【圖 2】

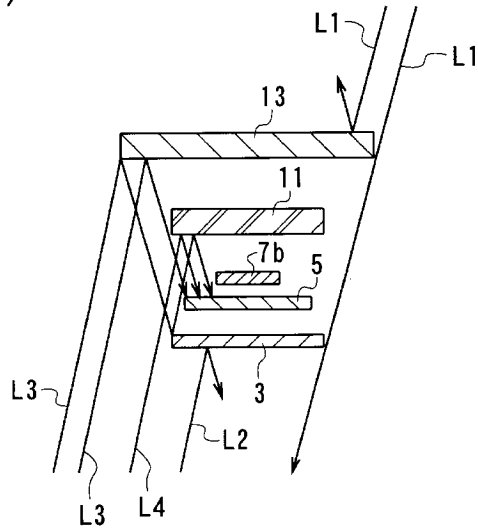
(圖 2)



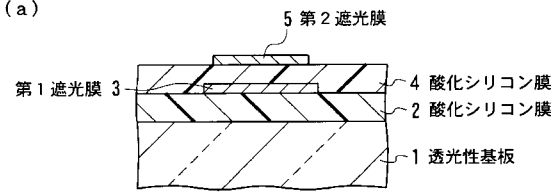
(b)



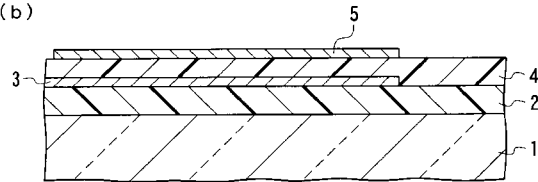
【図 3】
(図 3)



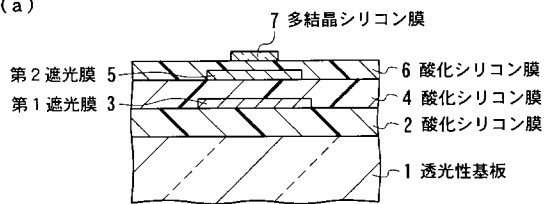
【図 4】
(図 4)
(a)



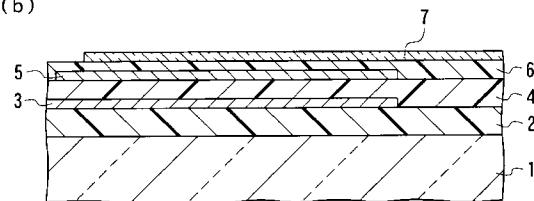
(b)



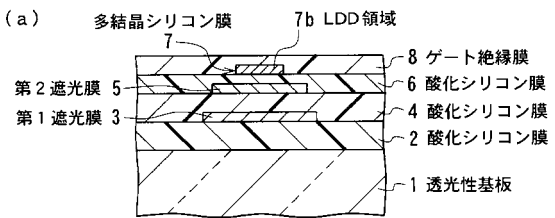
【図 5】
(図 5)
(a)



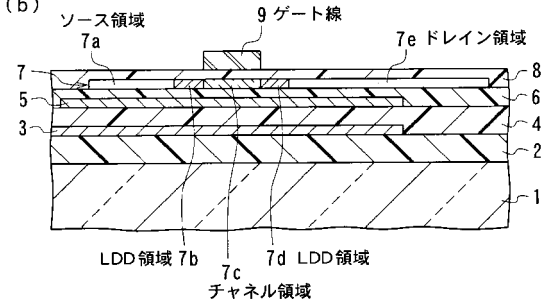
(b)



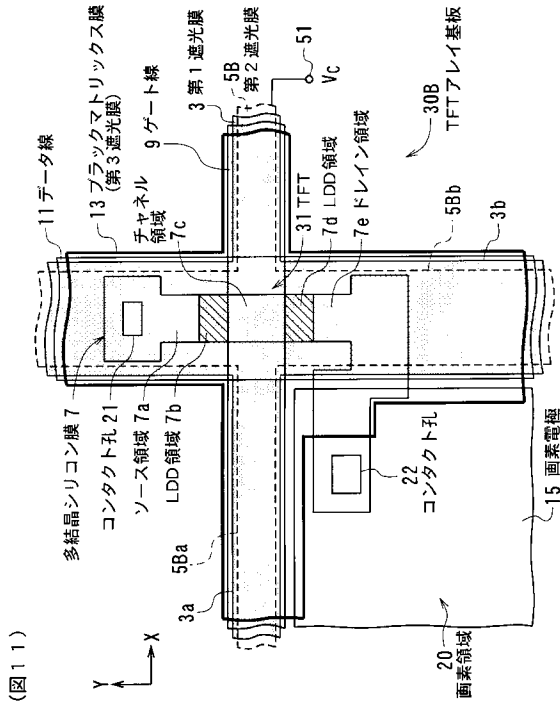
【図 6】
(図 6)
(a)



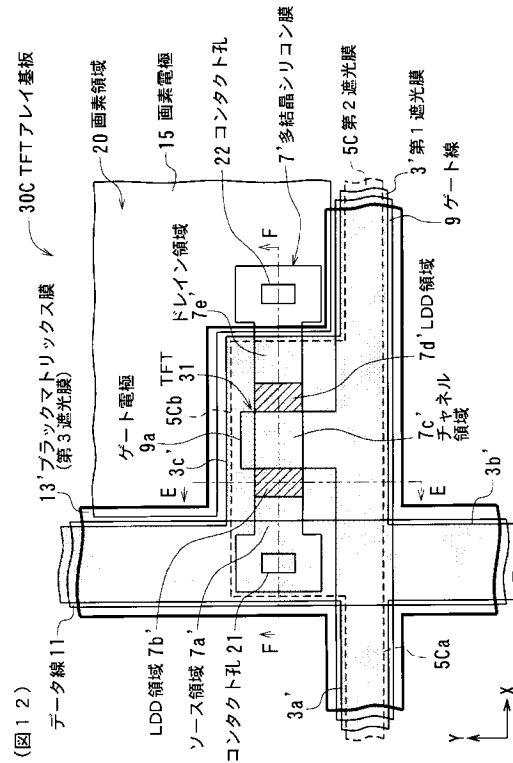
(b)



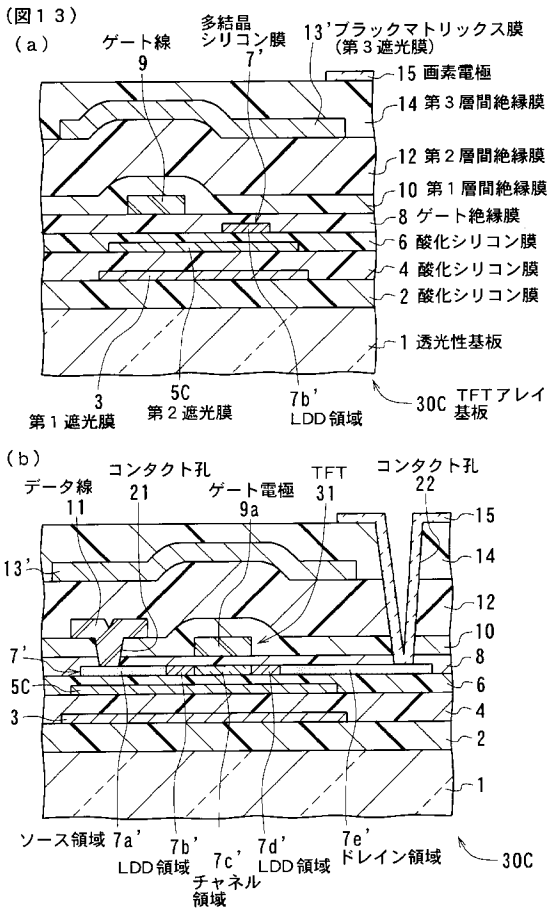
【図 1 1】



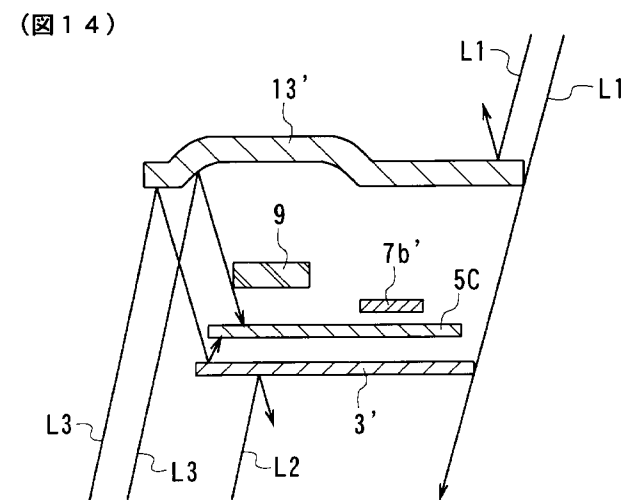
【図 1 2】



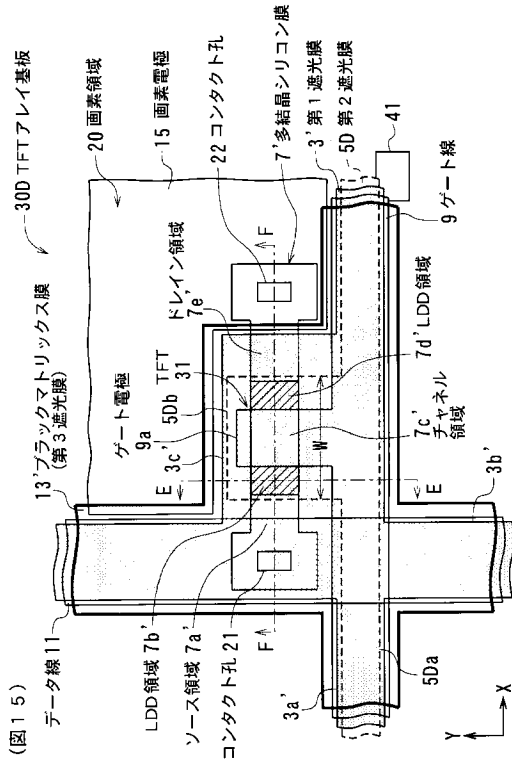
【図 1 3】



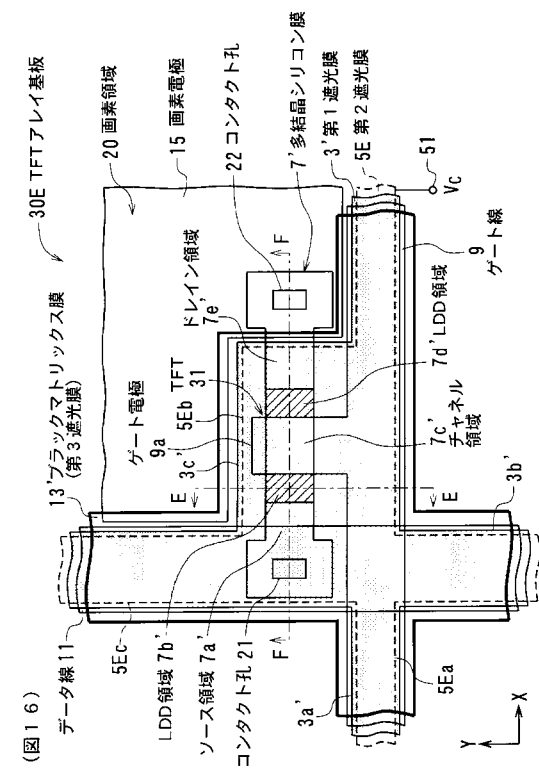
【図 1 4】



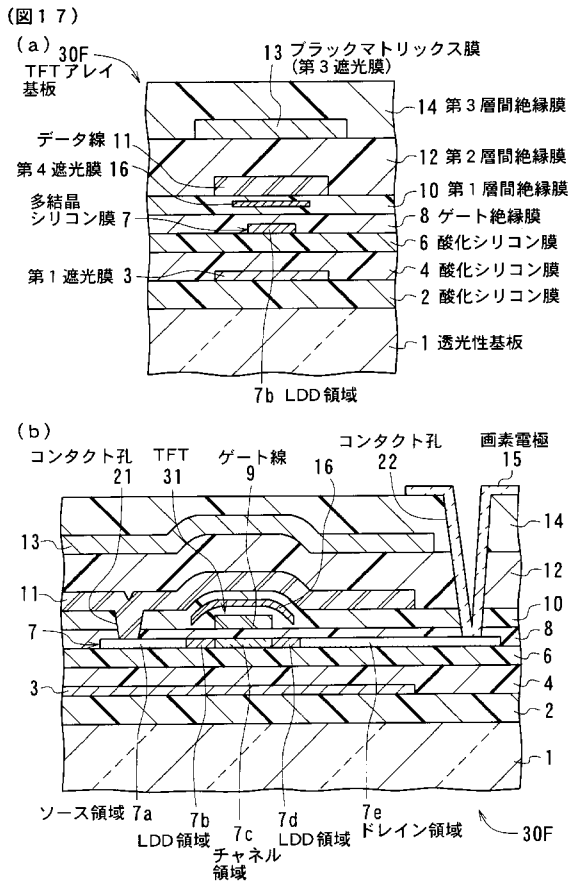
【図15】



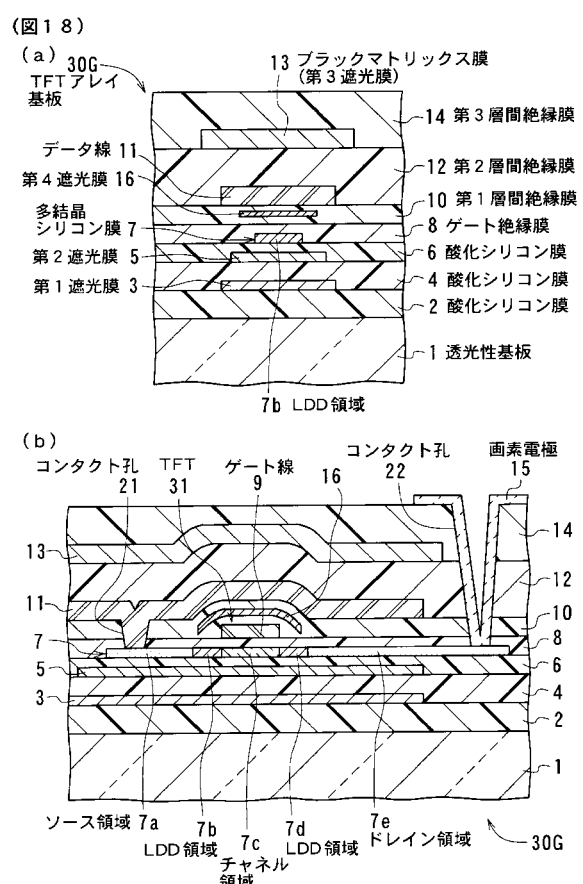
【図16】



【図17】

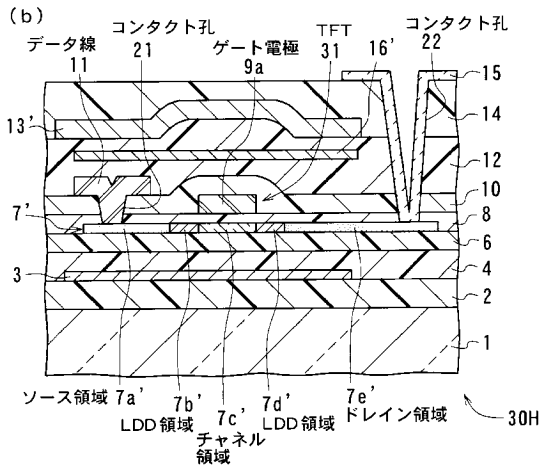
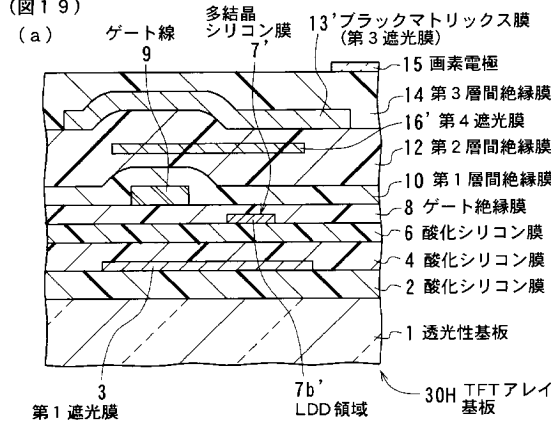


【図18】



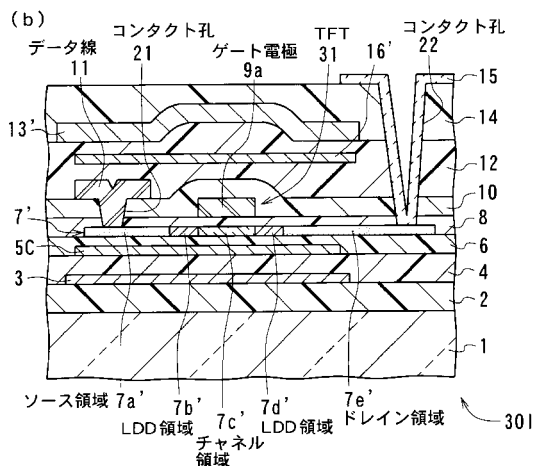
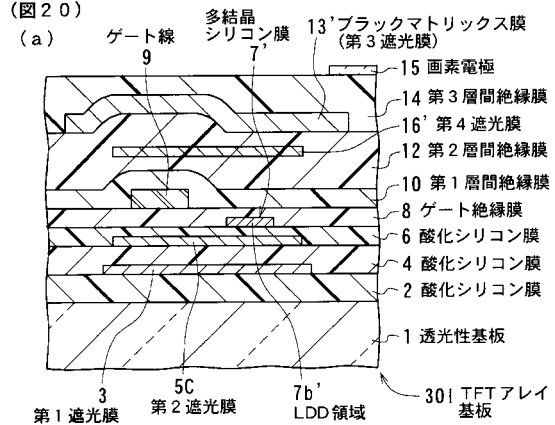
【図 19】

(図 19)



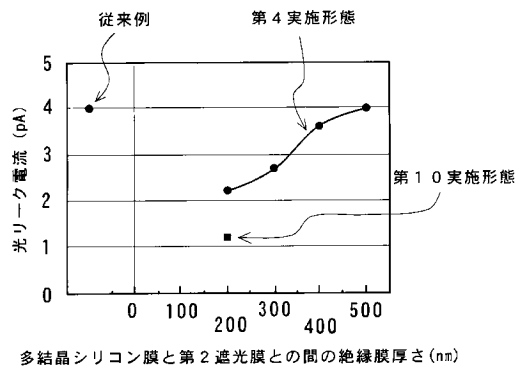
【図 20】

(図 20)



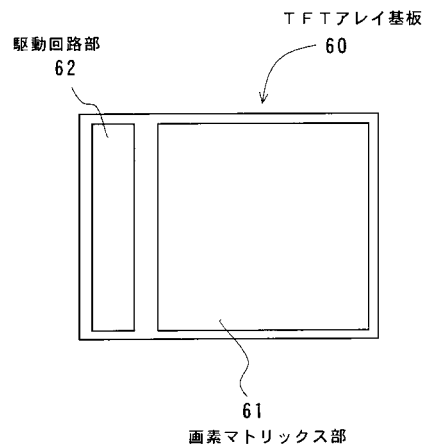
【図 21】

(図 21)

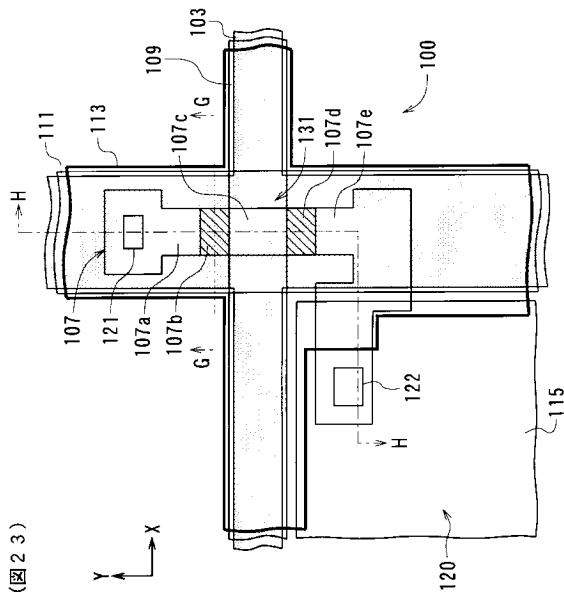


【図 22】

(図 22)

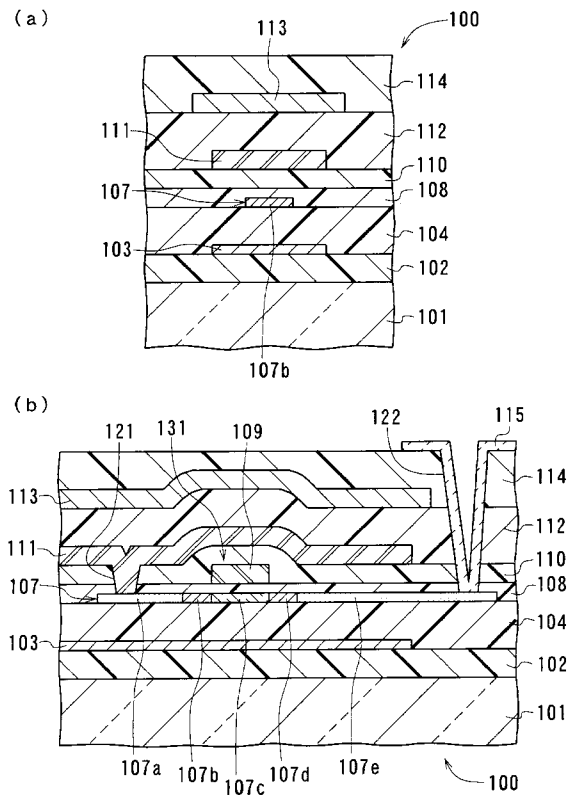


【図 2 3】



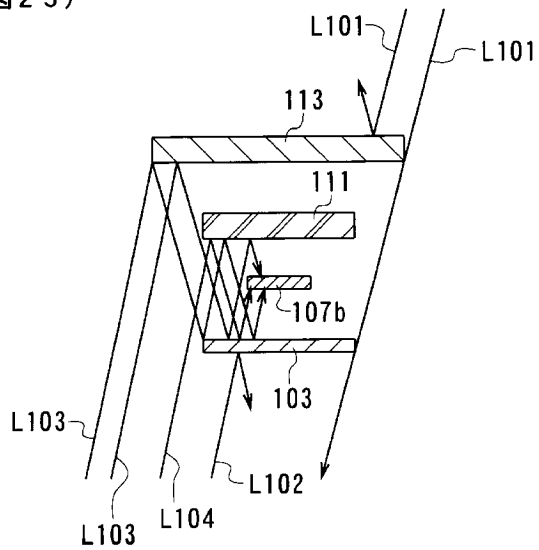
【図 2 4】

(図 2 4)



【図 2 5】

(図 2 5)



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 21/8234	H 0 1 L 29/78	6 1 9 B
H 0 1 L 27/08	H 0 1 L 29/78	6 1 2 B
H 0 1 L 27/088	H 0 1 L 29/78	6 2 7 G
H 0 1 L 29/786	H 0 1 L 27/08	1 0 2 B

F ターム(参考)	5C094	AA06	AA25	BA03	BA43	CA19	DA09	DA13	EB02	ED15	FB20
	5F048	AA07	AC04	BA16	BB05	BB08	BC06	BC16	BF02	BF11	BF16
		BG07									
	5F052	AA02	CA05	DA02	EA13	FA04	JA01				
	5F110	AA01	AA06	AA21	BB02	CC02	DD02	DD13	DD17	EE05	EE09
		EE14	EE30	FF02	FF29	GG02	GG13	GG45	GG47	HL03	HL07
		HL23	HM04	HM15	NN03	NN23	NN35	NN43	NN44	NN46	NN48
		NN54	NN55	NN78	PP03	QQ11					

专利名称(译)	薄膜晶体管阵列基板和有源矩阵型液晶显示装置		
公开(公告)号	JP2004302475A	公开(公告)日	2004-10-28
申请号	JP2004123080	申请日	2004-04-19
申请(专利权)人(译)	NEC公司		
[标]发明人	世良賢二 奥村藤男		
发明人	世良 賢二 奥村 藤男		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1345 G09F9/30 H01L21/20 H01L21/336 H01L21/8234 H01L27/08 H01L27/088 H01L29/786		
FI分类号	G02F1/1368 G02F1/1345 G09F9/30.338 H01L21/20 H01L27/08.331.E H01L29/78.619.B H01L29/78.612.B H01L29/78.627.G H01L27/08.102.B G02F1/1335.500 H01L27/088.B H01L27/088.331.E		
F-TERM分类号	2H092/JA24 2H092/JB56 2H092/JB57 2H092/JB58 2H092/KA03 2H092/KA04 2H092/KA05 2H092/KB24 2H092/KB25 2H092/MA13 2H092/MA30 2H092/NA01 2H092/NA22 2H092/NA24 2H092/NA25 2H092/PA09 2H092/RA05 5C094/AA06 5C094/AA25 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/EB02 5C094/ED15 5C094/FB20 5F048/AA07 5F048/AC04 5F048/BA16 5F048/BB05 5F048/BB08 5F048/BC06 5F048/BC16 5F048/BF02 5F048/BF11 5F048/BF16 5F048/BG07 5F052/AA02 5F052/CA05 5F052/DA02 5F052/EA13 5F052/FA04 5F052/JA01 5F110/AA01 5F110/AA06 5F110/AA21 5F110/BB02 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD17 5F110/EE05 5F110/EE09 5F110/EE14 5F110/EE30 5F110/FF02 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG45 5F110/GG47 5F110/HL03 5F110/HL07 5F110/HL23 5F110/HM04 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN35 5F110/NN43 5F110/NN44 5F110/NN46 5F110/NN48 5F110/NN54 5F110/NN55 5F110/NN78 5F110/PP03 5F110/QQ11 2H191/FA15Y 2H191/FB14 2H191/FB15 2H191/FC02 2H191/FC10 2H191/FC36 2H191/FD04 2H191/FD07 2H191/GA01 2H191/GA04 2H191/GA10 2H191/GA19 2H191/LA03 2H191/LA04 2H191/LA13 2H191/LA15 2H191/LA22 2H191/MA11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB08 2H192/CB45 2H192/CB53 2H192/CC05 2H192/CC33 2H192/DA72 2H192/EA04 2H192/EA13 2H192/EA15 2H192/EA34 2H192/EA76 2H192/FB02 2H192/FB05 2H192/FB15 2H192/FB34 2H192/JB02 2H291/FA15Y 2H291/FB14 2H291/FB15 2H291/FC02 2H291/FC10 2H291/FC36 2H291/FD04 2H291/FD07 2H291/GA01 2H291/GA04 2H291/GA10 2H291/GA19 2H291/LA03 2H291/LA04 2H291/LA13 2H291/LA15 2H291/LA22 2H291/MA11 5F152/AA10 5F152/BB02 5F152/CC02 5F152/CD03 5F152/CD09 5F152/CD13 5F152/CD17 5F152/CD22 5F152/CD23 5F152/CD27 5F152/CE05 5F152/CE13 5F152/CE14 5F152/FF01		
代理人(译)	泉 克文		
优先权	2001235699 2001-08-03 JP		
其他公开文献	JP3767696B2		
外部链接	Espacenet		

摘要(译)

为了有效地阻挡行进到薄膜晶体管 (TFT) 的有源层的光并改善从有源层到周围环境的热传导, 以减小TFT的漏光电流。一种薄膜晶体管阵列基板, 在透明基板上具有像素矩阵部和包括TFT的驱动电路部, 该像素矩阵部包括以矩阵状排列的薄膜晶体管 (TFT) 31。像素矩阵部分的TFT 31具有高导热膜 (第二遮光膜) 5, 该高导热膜5形成在TFT 31与半透明基板1之间, 从而至少与TFT 31的有源层重叠。驱动电路单元的TFT不具有高导热膜。由激光照射产生的来自TFT 31的有源层的热量通过高导热膜5传递到周围环境, 并且有源层的结晶度降低。 [选择图]图2

〔圖2〕

