

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-233526

(P2004-233526A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 550

G09G 3/20 622B

G09G 3/20 624B

G09G 3/20 624C

テーマコード (参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 9 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2003-20498 (P2003-20498)

(22) 出願日 平成15年1月29日 (2003.1.29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 将行

最終頁に続く

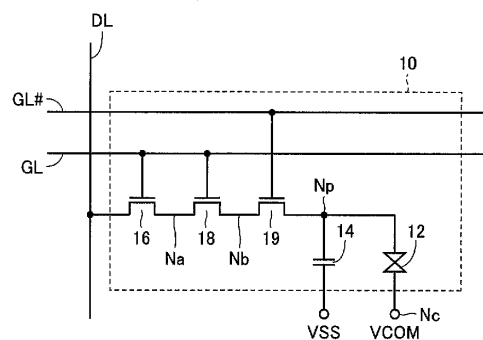
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】非走査期間（データ保持期間）におけるTFT素子のリーク電流抑制およびゲート絶縁膜の破壊防止を図った画素を備えた液晶表示装置を提供する。

【解決手段】画素10は、データ線DLと画素電極ノードNpの間に直列に接続されたN型TFT素子16、18および19を有する。TFT素子16、18のゲートがゲート線GLと接続される一方で、TFT素子19のゲートは、ゲート線GLと接続される。選択状態のゲート線GLおよびGLの各々は、TFT素子16、18、19を十分ターンオン可能な高電圧に設定される。非選択状態のゲート線GLは、TFT素子16、18を十分ターンオフ可能な低電圧に設定され、非選択状態のゲート線GLは、データ線DL上を伝達される最高電圧および最低電圧の中間電圧に設定される。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

行列状に配置され、各々が表示電圧に応じた輝度を表示するための複数の画素と、
前記複数の画素の行にそれぞれ対応して設けられる、複数の第 1 および第 2 の走査線と、
前記複数の画素の列にそれぞれ対応して設けられる複数のデータ線と、
前記複数の第 1 および第 2 の走査線の各々を、所定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状態のそれぞれにおいて異なる電圧へ駆動するゲート駆動回路と、
前記複数のデータ線を、前記走査対象に選択された前記画素に対応する前記表示電圧へ駆動するソース駆動回路とを備え、
前記複数の画素の各々は、
画素電極および対向電極を有し、前記画素電極および前記対向電極の電圧差に応じた輝度を出力する液晶素子と、
対応する前記データ線および第 1 のノードの間に電氣的に接続され、対応する前記第 1 の走査線と電氣的に接続されたゲートを有する第 1 の電界効果型トランジスタと、
前記第 1 のノードおよび前記画素電極の間に電氣的に接続され、対応する前記第 2 の走査線と電氣的に接続されたゲートを有する第 2 の電界効果型トランジスタとを含み、
前記ゲート駆動回路は、前記選択状態である前記第 1 および第 2 のゲート線の各々を、前記第 1 および第 2 の電界効果型トランジスタを各々ターンオン可能な第 1 の電圧に設定する一方で、前記非選択状態である前記第 1 のゲート線の電圧を前記第 1 の電界効果型トランジスタをターンオフ可能な第 2 の電圧に設定するとともに、前記非選択状態である前記第 2 のゲート線の電圧を前記表示電圧の最高値および最低値の中間の第 3 の電圧に設定する、液晶表示装置。

10

20

【請求項 2】

前記対向電極は、所定の直流電圧を供給され、
前記第 3 の電圧は、前記所定の直流電圧と実質的に同一レベルである、請求項 1 記載の液晶表示装置。

【請求項 3】

前記対向電極は、一定周期で第 4 の電圧および第 5 の電圧の一方に設定される交流電圧を供給され、
前記第 3 の電圧は、前記第 4 および第 5 の電圧の平均電圧と実質的に同じレベルである、請求項 1 記載の液晶表示装置。

30

【請求項 4】

前記ゲート駆動回路は、前記行にそれぞれ対応して設けられる複数の駆動ユニットを含み、
前記複数の駆動ユニットの各々は、
対応する前記行が前記走査対象に選択されているかどうかを示す選択信号に応じて、前記対応する第 1 のゲート線を、前記第 1 および第 2 の電圧の一方で駆動する第 1 のドライバと、
前記選択信号に応じて、前記対応する第 2 のゲート線を、前記第 1 および第 3 の電圧の一方で駆動する第 2 のドライバとを有する、請求項 1 に記載の液晶表示装置。

40

【請求項 5】

前記ゲート駆動回路は、前記非選択状態である第 2 のゲート線を、通常モードにおいて前記第 3 の電圧に設定する一方でテストモードにおいては第 6 の電圧に設定し、
前記第 1 および第 6 の電圧の差は、前記第 1 および第 3 の電圧の差より大きい、請求項 1 記載の液晶表示装置。

【請求項 6】

前記第 6 の電圧は、前記第 2 の電圧と実質的に同じレベルである、請求項 5 記載の液晶表示装置。

【請求項 7】

50

前記第 1 および第 2 の電界効果型トランジスタは、N 型の薄膜トランジスタで構成され、前記第 1 の電圧は、前記第 2 の電圧よりも高い、請求項 1 記載の液晶表示装置。

【請求項 8】

前記第 1 および第 2 の電界効果型トランジスタは、P 型の薄膜トランジスタで構成され、前記第 1 の電圧は、前記第 2 の電圧よりも低い、請求項 1 記載の液晶表示装置

【請求項 9】

表示電圧に応じた輝度を表示する画素と、

前記画素へ供給される前記表示電圧を伝達するためのデータ線とを備え、

前記画素は、

画素電極および対向電極を有し、前記画素電極および前記対向電極の電圧差に応じた輝度を出力する液晶表示素子と、

前記データ線および第 1 のノードの間に電氣的に接続された第 1 の電界効果型トランジスタと、

前記第 1 のノードおよび前記画素電極の間に電氣的に接続された第 2 の電界効果型トランジスタとを含み、

前記第 1 および第 2 の電界効果型トランジスタのゲート電圧を、前記画素が所定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状態のそれぞれにおいて異なる電圧へ駆動するゲート駆動回路をさらに備え、

前記ゲート駆動回路は、前記選択状態において、各前記ゲート電圧を、前記第 1 および第 2 の電界効果型トランジスタを各々ターンオン可能な第 1 の電圧へ設定する一方で、前記非選択状態において、前記第 1 の電界効果型トランジスタがターンオフ可能な第 2 の電圧へ前記第 1 の電界効果型トランジスタのゲート電圧を設定するとともに、前記第 2 の電界効果型トランジスタのゲート電圧を前記表示電圧の最高値および最低値の中間の第 3 の電圧に設定する、液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、液晶表示装置に関し、より特定的には、ゲート絶縁型電界効果トランジスタを各画素に備えた液晶表示装置に関する。

【0002】

【従来の技術】

パーソナルコンピュータ、テレビジョン受像機、携帯電話機および携帯情報端末機器などのディスプレイパネルとして、液晶素子を表示画素に備えた液晶表示装置が用いられている。このような液晶表示装置は、従来タイプのものと比較して、低消費電力化や小型軽量化の面で効果が大きい。

【0003】

液晶素子は、印加された電圧（以下、液晶素子へ印加された電圧を、「表示電圧」とも称する）のレベルに応じてその表示輝度が変化する。液晶表示装置のディスプレイパネルは、各々が液晶素子を備えた画素から構成され、各画素は、所定の走査周期に応じて周期的に設けられる走査期間において表示電圧を受ける。

【0004】

各画素は、非走査期間においては、走査期間に受けた表示電圧を保持し、保持電圧に応じた輝度を表示することになる。各画素は、データが書込まれる、すなわち表示電圧を受ける走査期間よりも、データ（表示電圧）を保持している非走査期間のほうが圧倒的に長い。たとえば、走査線を 200 本持つ液晶表示装置においては、1 個の画素に注目すると、非走査期間は走査期間の 200 倍長いことになる。このため、各画素の内部における、表示電圧の保持特性が重要となる。なぜなら、表示電圧の保持特性が低いと高周波数での走査が必要となり、消費電力が増大するからである。

【0005】

一般的に、画素は、ガラス基板上あるいは半導体基板上に TFT (Thin Film

Transistor) 素子等を用いて構成される。したがって、非走査期間において当該 TFT 素子に生じるリーク電流によって保持している表示電圧のレベルが低下することにより、上記の保持特性が低下する。

【0006】

このような非走査期間のリーク電流を抑制するために、各画素において、複数の TFT 素子を直列に接続して、TFT 素子に加わる電圧(ソース・ドレイン間電圧)を分割することにより、リーク電流を抑制する構成が特許文献 1 に開示されている。

【0007】

【特許文献 1】

特開平 5 - 127619 号公報(第 2 頁、第 4 図)

10

【0008】

【発明が解決しようとする課題】

しかしながら、特許文献 1 の図 4 に示された画素の構成によっても、表示電圧が高くなるとリーク電流を抑制することが困難になる。また、非走査期間において、TFT 素子を強力に逆バイアスするようにゲート電圧を制御する構成も知られているが、この場合にはゲート絶縁膜への電圧ストレスが大きくなるため、当該絶縁膜の信頼性が問題となってしまう。

【0009】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、非走査期間(データ保持期間)における電界効果型トランジスタ(TFT 素子)につ

20

【0010】

【課題を解決するための手段】

この発明に従う液晶表示装置は、行列状に配置され、各々が表示電圧に応じた輝度を表示するための複数の画素と、複数の画素の行にそれぞれ対応して設けられる、複数の第 1 および第 2 の走査線と、複数の画素の列にそれぞれ対応して設けられる複数のデータ線と、複数の第 1 および第 2 の走査線の各々を、所定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状態のそれぞれにおいて異なる電圧へ駆動するゲート駆動回路と、複数のデータ線を、走査対象に選択された画素に対応する表示電圧へ駆動する

30

40

【0011】

この発明の他の構成に従う液晶表示装置は、表示電圧に応じた輝度を表示する画素と、画素へ供給される表示電圧を伝達するためのデータ線とを備え、画素は、画素電極および対向電極を有し、画素電極および対向電極の電圧差に応じた輝度を出力する液晶表示素子と、データ線および第 1 のノードの間に電氣的に接続された第 1 の電界効果型トランジスタと、第 1 のノードおよび画素電極の間に電氣的に接続された第 2 の電界効果型トランジスタとを含み、液晶表示装置は、第 1 および第 2 の電界効果型トランジスタのゲート電圧を、画素が所定の走査周期に応じて走査対象に選択された選択状態およびそれ以外の非選択状態のそれぞれにおいて異なる電圧へ駆動するゲート駆動回路をさらに備え、ゲート駆動回路は、選択状態において、各ゲート電圧を、第 1 および第 2 の電界効果型トランジスタ

50

を各々ターンオン可能な第1の電圧へ設定する一方で、非選択状態において、第1の電界効果型トランジスタがターンオフ可能な第2の電圧へ第1の電界効果型トランジスタのゲート電圧を設定するとともに、第2の電界効果型トランジスタのゲート電圧を表示電圧の最高値および最低値の中間の第3の電圧に設定する。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳しく説明する。

【0013】

[実施の形態1]

(液晶表示装置の全体構成)

10

図1は、本発明の実施の形態に従う液晶表示装置の全体構成を示すブロック図である。

【0014】

図1を参照して、本発明に従う液晶表示装置5は、液晶アレイ部20と、ゲート駆動回路30と、ソース駆動回路40とを備える。液晶アレイ部20は、行列状に配された複数の画素10を含む。画素の行(「画素行」とも以下称する)の各々に対応して、第1のゲート線GLおよび第2のゲート線GLが配置される。また、画素の列(「画素列」とも以下称する)のそれぞれに対応して、データ線DLがそれぞれ設けられる。図1には、第1行の第1列および第2列の画素ならびにこれに対応するゲート線GL1, GL1およびデータ線DL1, DL2が代表的に示されている。

【0015】

20

ゲート駆動回路30は、所定の走査周期に基づいて、各ゲート線GL, GLを走査期間において選択状態に設定し、それ以外の非走査期間において非選択状態に設定するように、各ゲート線GL, GLの電圧を制御する。各ゲート線GLおよびGLは、選択状態および非選択状態のそれぞれにおいて異なる電圧へ駆動される。また、各画素行において、ゲート線GLおよびGLは、独立に制御可能である。

【0016】

ソース駆動回路40は、Nビット(N:自然数)のデジタル信号である表示信号SIGによって段階的に設定される表示電圧をデータ線DLに出力する。図1には、N=6の場合、すなわち、表示信号SIGが表示信号ビットD0~D5からなる場合の構成について代表的に示されている。

30

【0017】

6ビットの表示信号に基づいて、各画素10において、 $2^6 = 64$ 段階の階調的な輝度表示が可能となる。さらに、R(Red)、G(Green)およびB(Blue)の各1つの画素から1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

【0018】

ソース駆動回路40は、シフトレジスタ50と、データラッチ回路52, 54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ80とを含む。

【0019】

表示信号SIGは、画素10ごとの表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおける表示信号ビットD0~D5は、液晶アレイ部20中の1つの画素10における表示輝度を示している。

40

【0020】

シフトレジスタ50は、表示信号SIGの設定が切換えられる所定周期に同期したタイミングで、データラッチ回路52に対して、表示信号ビットD0~D5の取込を指示する。データラッチ回路52は、シリアルに生成される1つの画素行分の表示信号SIGを、順に取込んで保持する。

【0021】

1つの画素行分の表示信号SIGがデータラッチ回路52に取込まれたタイミングで、ラッチ信号LTの活性化に応答して、データラッチ回路52にラッチされた表示信号群は、

50

データラッチ回路 54 に伝達される。

【0022】

階調電圧生成回路 60 は、高電圧 V_H および低電圧 V_L の間に直列に接続された 64 個の分圧抵抗で構成され、64 段階の階調電圧 $V_1 \sim V_{64}$ を階調電圧ノード $N_1 \sim N_{64}$ にそれぞれ生成する。

【0023】

デコード回路 70 は、データラッチ回路 54 にラッチされた表示信号をデコードして、当該デコードに基づいて階調電圧 $V_1 \sim V_{64}$ を選択する。デコード回路 70 は、選択された階調電圧 ($V_1 \sim V_{64}$ のうちの 1 つ) を表示電圧としてデコード出力ノード N_d に生成する。本実施の形態においては、デコード回路 70 は、データラッチ回路 54 にラッチされた表示信号に基づいて、1 行分の表示電圧を並列に出力する。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 DL_1 , DL_2 に対応するデコード出力ノード N_{d1} , N_{d2} が代表的に示されている。

10

【0024】

アナログアンプ 80 は、デコード出力ノード N_{d1} , N_{d2} , ... へ出力された表示電圧にそれぞれ対応したアナログ電圧をデータ線 DL_1 , DL_2 , ... にそれぞれ出力する。

【0025】

なお、図 1 には、ゲート駆動回路 30 およびソース駆動回路 40 が液晶アレイ部 20 と一体的に形成された液晶表示装置 5 の構成を例示したが、ゲート駆動回路 30 およびソース駆動回路 40 については、液晶アレイ部 20 の外部回路として設けることも可能である。

20

【0026】

(従来の構成の画素におけるリーク電流の抑制技術)

次に、本願発明に従う画素と比較するために、従来の画素構成およびリーク電流の抑制について説明する。

【0027】

図 2 は、従来の技術に従う画素の第 1 の構成例を示す等価回路図である。

図 2 に示した画素 10 は、図 1 に示した液晶表示装置 5 の液晶アレイ部 20 において、画素 10 に代えて用いることができる。ただし、従来の画素 10 では、1 種類のゲート線 GL のみを必要とするので、この場合には液晶アレイ部 20 におけるゲート線 GL の配置は必要ない。

30

【0028】

図 2 を参照して、画素 10 は、液晶素子 12 と、保持容量 14 と、N 型 TFT 素子 16 , 18 とを含む。液晶素子 12 は、画素電極ノード N_p および対向電極ノード N_c の間に接続され、画素電極ノード N_p および対向電極ノード N_c の電圧差に応じた輝度を出力する。対向電極ノード N_c は、液晶アレイ部 20 内の複数の画素間で共有され、所定の共通電圧 V_{COM} を供給される。ノード N_a は、N 型 TFT 素子 16 および 18 の接続ノードに相当する。

【0029】

なお、以下本明細書においては、画素電極ノード N_p および対向電極ノード N_c の電圧差が大きいほど輝度が小さくなるものとする。すなわち、最小輝度表示 (黒表示) 時に、画素電極ノード N_p の電圧 (表示電圧) と共通電圧 V_{COM} との電圧差は最大となり、最大輝度表示 (白表示) 時には、表示電圧は共通電圧 V_{COM} と同等レベルである。

40

【0030】

保持容量 14 は、画素電極ノード N_p の電圧を保持するために設けられ、画素電極ノード N_p と所定電圧 V_{SS} を供給するノードとの間に接続される。なお、所定電圧 V_{SS} は、一定電圧であればよく、共通電圧 V_{COM} とすることもできる。

【0031】

N 型 TFT 素子 16 および 18 は、ゲート絶縁型の電界効果型トランジスタの代表例として示され、一般的には、液晶素子 12 と同一の絶縁体基板 (ガラス基板・樹脂基板等) 上に形成される。N 型 TFT 素子 16 および 18 は、対応のデータ線 DL および画素電極ノ

50

ードN pの間に直列に接続され、各々のゲートは対応のゲート線G Lと接続される。対応するゲート線G Lが選択状態（ハイレベル電圧）に設定された走査期間中において、N型T F T素子1 6および1 8がターンオンして、対応のデータ線D Lと画素電極ノードN pとは接続される。これにより、ソース駆動回路4 0からデータ線D Lを介して画素電極ノードN pへ表示電圧が書込まれ、書込まれた表示電圧は、保持容量1 4によって保持される。

【0 0 3 2】

対応するゲート線G Lが非選択状態（ローレベル電圧）に設定された非走査期間中において、N型T F T素子1 6および1 8は、ターンオフされる。既に説明したように、データ線D Lと画素電極ノードN pとの間に複数個のT F T素子を直列接続することによって、
10
ターンオフされた各T F T素子のソース・ドレイン間電圧が低減されるので、そのオフリーク電流も抑制される。なお、T F T素子の個数は、リーク電流のレベルに応じて、1個あるいは任意の複数個とすることができる。

【0 0 3 3】

次に、画素1 0の動作について説明する。

液晶素子の焼付きを防止するために、液晶素子は一般に交流駆動される。たとえば、共通電圧V C O Mを一定の直流電圧とした上で、最小輝度（黒表示）に対応する表示電圧は、共通電圧V C O Mを基準にして低電圧側および高電圧側の一方に、一定の周期で切換えて定義される。

【0 0 3 4】

すなわち、黒表示をするために必要な画素電極ノードN pおよび対向電極ノードN cの電圧差をV Dとすると、表示電圧の最高値および最低値は、下記（1）および（2）式に示されるV D H m a xまたはV D L m i nで表現される。表示電圧は、データ線によって伝達されるため、V D H m a xおよびV D L m i nは、データ線D Lの最高電圧および最低電圧にもそれぞれ相当する。
20

【0 0 3 5】

$$V D H m a x = V C O M + V D \quad \dots (1)$$

$$V D L m i n = V C O M - V D \quad \dots (2)$$

ここで、（1）-（2）式より、下記（3）式が得られる。

【0 0 3 6】

$$V D H m a x = V D L m i n + 2 \cdot V D \quad \dots (3)$$

リーク電流は、画素電極ノードN pおよびデータ線D L間の電圧差が大きいほど流れやすい。非走査期間（データ保持期間）において、たとえば、画素電極ノードN pが表示電圧としてV D H m a xを保持し、一方でデータ線D LがV D L m i nを伝達しているときに、リーク電流は最も発生しやすい。

【0 0 3 7】

リーク電流を抑制するためには、N型T F T素子1 6, 1 8のゲート電圧をソース電圧よりも低くして、これらのT F T素子をより強力にターンオフすることが必要である。このため、データ線D Lの最低電圧V D L m i nを考慮すれば、非走査期間すなわち非選択状態におけるゲート線電圧V G Lは、下記（4）式のように設定する必要がある。
40

【0 0 3 8】

$$V G L = V D L m i n - V m \quad \dots (4)$$

ここで、（4）式中のV mは、T F T素子を確実にターンオフするためのマージン電圧である。

【0 0 3 9】

一方、表示電圧V D H m a xを保持している画素電極ノードN pの電圧は、上記（3）式より、V N p m a x = V D L m i n + 2 \cdot V Dとなる。したがって、ゲート線G Lと画素電極ノードN pとの間の電圧、すなわちN型T F T素子1 8のゲート・ドレイン間V G Dは、以下（5）式で最大となる。

【0 0 4 0】

10

20

30

40

50

$$\begin{aligned}
 V_{GD} &= V_{GL} - V_{Npmax} \\
 &= V_{DLmin} - V_m - (V_{DLmin} + 2 \cdot V_D) \\
 &= -V_m - 2 \cdot V_D \quad \dots (5)
 \end{aligned}$$

一般的な数値として、 $V_m = 2 (V)$ および $V_D = 5 (V)$ とすると、(5) 式より $V_{GD} = -12 (V)$ となる。この電圧差は、液晶表示装置の内部回路群の動作電圧が、一般的に $7 \sim 8 (V)$ であることと比較すると、かなり大きいレベルである。この電圧差は、非走査期間において N 型 TFT 素子 18 のゲート・ソース間に連続的に印加される。

【0041】

10

なお、走査期間すなわち選択状態におけるゲート線電圧 V_{GH} は、データ線の最高電圧 $V_{D Hmax}$ を伝達するために下記 (6) 式の範囲で設定する必要がある。

【0042】

$$V_{GH} > V_{D Hmax} + V_{th} \quad \dots (6)$$

なお、(6) 式中の V_{th} は、N 型 TFT 素子 16, 18 のしきい値電圧である。

【0043】

また、従来の画素構成において、データ線 DL の電圧振幅を小さくして低消費電力化を図るために、対向電極ノード Nc の共通電圧 V_{COM} を交流電圧とする構成が知られている。

【0044】

20

図 3 は、従来の技術に従う画素の第 2 の構成例を示す等価回路図である。

図 3 を参照して、従来の画素 11 は、図 2 に示した従来の画素 10 と同様に、図 1 中の液晶アレイ部 20 において、画素 10 に代えて用いることができる。画素 11 を適用する場合においても、1 種類のゲート線 GL のみを必要とするので、液晶アレイ部 20 におけるゲート線 GL の配置は必要ない。

【0045】

図 3 を参照して、従来の画素 11 は、図 2 に示した画素 10 と比較して、保持容量 14 が画素電極ノード Np および対向電極ノード Nc の間に接続される点が異なる。また、対向電極ノード Nc は、一定の直流電圧ではなく、所定周期ごとに低電圧 $V_{COM L}$ および高電圧 $V_{COM H}$ の一方に交互に設定される交流電圧を供給される。なお、この交流電圧の振幅は上述の所定電圧 V_D に相当する。すなわち、 $V_{COM H} - V_{COM L} = V_D$ と示される。

30

【0046】

図 3 に示す画素においては、対向電極ノード Nc が低電圧 $V_{COM L}$ に設定されている期間には、最小輝度表示（黒表示）時には、 $V_{COM L} + V_D$ に設定され、最大輝度表示（白表示）時には、表示電圧は $V_{COM L}$ に設定される。これに対して、対向電極ノード Nc が高電圧 $V_{COM H}$ に設定されている期間には、最小輝度表示（黒表示）時には、 $V_{COM H} - V_D$ に設定され、最大輝度表示（白表示）時には、表示電圧は $V_{COM H}$ に設定される。

【0047】

40

したがって、データ線電圧を考慮すると、データ線での最高電圧 $V_{D Hmax}$ および最低電圧 $V_{D Lmin}$ は、下記 (7) および (8) 式のようになる。

【0048】

$$V_{D Hmax} = V_{COM L} + V_D \quad \dots (7)$$

$$V_{D Lmin} = V_{COM H} - V_D \quad \dots (8)$$

(7) - (8) 式より、(9) 式が得られる。

【0049】

$$\begin{aligned}
 V_{DHmax} &= V_{DLmin} + 2 \cdot V_D - (V_{COMH} - V_{COML}) \\
 &= V_{DLmin} + 2 \cdot V_D - V_D \\
 &= V_{DLmin} + V_D \quad \dots (9)
 \end{aligned}$$

(9) 式を(3) 式と比較すると、図3の画素11を用いた液晶表示装置では、画素10で構成される液晶表示装置よりも、データ線の最高電圧が V_D 分だけ小さくできる。この結果、低消費電力化を図ることができる。

【0050】

対向電極ノード N_c は、通常すべての液晶素子間で共通に接続されるので、対向電極の電圧が変化したとき、すべての対向電極ノードの電圧が同時に変化する。したがって、このときデータ保持状態(非走査期間)である画素の画素電極ノード N_p は、対向電極ノード N_c の変化分(すなわち V_D 分)だけ、その電圧が変化する。

【0051】

この結果、 V_{DHmax} の表示電圧を保持している画素電極ノードの電圧は、下記(10)式のようにになる。

【0052】

$$V_{Npmax} = V_{DHmax} + V_D \quad \dots (10)$$

他方、 V_{DLmin} の表示電圧を保持している画素電極ノード N_p の電圧は、下記(11)式のようにになる。

【0053】

$$V_{Npmin} = V_{DLmin} - V_D \quad \dots (11)$$

(11) 式は、N型TFT素子16, 18のソース電圧が負方向へ低下していることにする。これは、N型TFT素子16, 18がターンオンする方向の電圧変化である。これを防止するためには、共通電圧 V_{COM} の変化分だけ、非選択状態におけるゲート線電圧 V_{GL} を低下させる必要がある。

【0054】

したがって、画素11を備える液晶表示装置においては、リーク電流抑制のために、非選択状態のゲート線電圧 V_{GL} を下記(12)式とする必要がある。

【0055】

$$V_{GL} = V_{DLmin} - V_m - V_D \quad \dots (12)$$

この結果、N型TFT素子18のゲート・ドレイン間電圧 V_{GD} の最大値は、下記(13)式で与えられる。

【0056】

$$\begin{aligned}
 V_{GD} &= V_{GL} - V_{Npmax} \\
 &= V_{DLmin} - V_m - V_D - (V_{DHmax} + V_D) \\
 &= V_{DLmin} - V_{DHmax} - 2 \cdot V_D - V_m \quad \dots (13)
 \end{aligned}$$

ここで、一般的な数値として、 $V_{DHmax} = 5(V)$ 、 $V_D = 5(V)$ 、 $V_m = 2(V)$ および $V_{DLmin} = 0(V)$ とすると、 $V_{GD} = -17(V)$ となり、図2での画素10の場合と比較してさらに大きな電圧が、非走査期間においてN型TFT素子18のゲート・ドレイン間に連続的に印加されてしまう。

【0057】

なお、走査期間すなわち選択状態におけるゲート線電圧 V_{GH} は、データ線の最高電圧 V_{DLmax} を伝達するために上述の(6)式に基づいて設定される。

【0058】

一般的に知られているように、TFT素子をはじめとする電界効果型トランジスタは、絶縁膜によってチャネル領域から分離されたゲートに電圧を印加して、そのオンおよびオフを制御する。このゲート直下の絶縁膜(ゲート絶縁膜)が絶縁破壊を生じると、ゲートと

チャネル領域とが短絡されて大きな電流が流れるため、ゲート絶縁膜の信頼性を十分に考慮する必要がある。

【0059】

ゲート絶縁膜に印加される電圧そのものは、選択状態でのゲート線電圧 V_{GH} のほうが大きいので、走査期間における電圧 V_{GH} に耐えられる様に、TFT素子のゲート絶縁膜は設計される。しかしながら、瞬時値としては耐圧範囲内であっても、比較的大きな電圧ストレスがゲート絶縁膜に長期間印加されると、累積された電圧ストレスによって、ゲート絶縁膜の破壊が生じる場合がある。このような現象は、ゲート絶縁膜の経時絶縁破壊 (Time Dependent Dielectric Breakdown: TDDB) として知られている。

10

【0060】

したがって、(5), (13) 式に示された、画素10, 11中のTFT素子18のデータ保持期間(非走査期間)におけるゲート・ドレイン間電圧の最大値はゲート絶縁膜の耐圧以下ではあるものの、この電圧ストレスをより軽減することが望ましい。

【0061】

(実施の形態1に従う画素の構成)

次に、データ保持期間におけるTFT素子の電圧ストレスを抑制した、実施の形態1に従う画素の構成例について説明する。

【0062】

図4は、実施の形態1に従う画素の構成例を示す等価回路図である。

20

図4を参照して、図1に示された実施の形態1の画素10は、図2で示した画素10と比較して、N型TFT素子18および画素電極ノード N_p の間に接続されたN型TFT素子19をさらに含む点で異なる。N型TFT素子19のゲートは、ゲート線 GL と接続される。ノード N_b は、N型TFT素子18および19の接続ノードに相当する。

【0063】

図1にも示されるように、各画素行において、N型TFT素子16および18の各ゲートが接続されるゲート線 GL と、N型TFT素子19のゲートが接続されるゲート線 GL とは独立の配線として設けられる。また、対向電極ノード N_c の共通電圧 V_{COM} は、図2の画素10と同様に、一定の直流電圧として供給される。

【0064】

図5は、図1に示されたゲート駆動回路30中の、ゲート線 GL , GL の電圧制御部分の構成を示す概念図である。図5には、各画素行に対応して設けられるゲート駆動ユニット100の構成が代表的に示される。

30

【0065】

図5を参照して、ゲート駆動ユニット100は、共通のゲート線選択信号 GSS に応答して、ゲート線 GL の電圧を駆動するゲート線ドライバ110と、ゲート線 GL の電圧を駆動するゲート線ドライバ120とを有する。ゲート線選択信号 GSS は、対応する画素行が走査対象に選択された場合にローレベルに設定され、その以外の非選択時には、ハイレベルに設定される。

【0066】

ゲート線ドライバ110は、対応する画素行の選択時には、ゲート線 GL を電圧 V_{GH} へ駆動して選択状態に設定する一方で、対応する画素行の非選択時には、ゲート線 GL を低電圧 V_{GL} へ駆動して非選択状態に設定する。

40

【0067】

ゲート線ドライバ120は、対応する画素行の選択時には、ゲート線 GL を高電圧 V_{GH} へ駆動して選択状態に設定する一方で、対応する画素行の非選択時には、ゲート線 GL を中間電圧 V_{GM} へ駆動して非選択状態に設定する。

【0068】

図6は、ゲート線ドライバ110および120の具体的構成例を示す回路図である。

【0069】

50

図 6 を参照して、ゲート線ドライバ 110 は、CMOS インバータで構成され、高電圧 V_{GH} の供給ノードと対応のゲート線 GL との間に接続された P 型 TFT 素子 112 と、ゲート線 GL と低電圧 V_{GL} の供給ノードとの間に接続された N 型 TFT 素子 114 とを有する。TFT 素子 112 および 114 の各ゲートには、ゲート線選択信号 GSS が入力される。

【0070】

同様に、ゲート線ドライバ 120 は、CMOS インバータで構成され、高電圧 V_{GH} の供給ノードと対応のゲート線 GL との間に接続された P 型 TFT 素子 122 と、ゲート線 GL と中間電圧 V_{GM} の供給ノードとの間に接続された N 型 TFT 素子 124 とを有する。TFT 素子 122 および 124 の各ゲートには、ゲート線ドライバ 110 と共通のゲート線選択信号 GSS が入力される。

10

【0071】

このように、各画素行において、ゲート線 GL および GL は、選択状態では、データ線 DL 上の最高電圧 V_{DHmax} を画素電極ノード Np に伝達できるように、画素 10 における (6) 式に従って、N 型 TFT 素子 16, 18, 19 を十分ターンオン可能な高電圧 V_{GH} に設定される。

【0072】

一方、非選択状態においては、ゲート線 GL が低電圧 V_{GL} に設定されるのに対して、ゲート線 GL は、高電圧 V_{GH} および低電圧 V_{GL} の中間電圧 V_{GM} ($V_{GH} > V_{GM} > V_{GL}$) に設定される。

20

【0073】

図 4 を再び参照して、データ保持期間（非走査期間）において、すなわち非選択状態のゲート線 GL および GL については、ゲート線 GL がリーク電流抑制のために、画素 10 における (4) 式と同様のゲート線電圧 V_{GL} に設定される一方で、ゲート線 V_{GL} は、TFT 素子 18 へのゲート・ドレイン間電圧を抑制するために、中間電圧 V_{GM} に設定される。

【0074】

画素電極ノード Np と接続される N 型 TFT 素子 19 に対しては、表示電圧が V_{DHmax} または V_{DLmin} となる黒表示時に、最も大きな電圧ストレスが印加される。したがって、これらの両方の表示電圧に対してゲート絶縁膜への電圧ストレスをなるべく小さくするためには、中間電圧 V_{GM} を、データ線 DL の最高電圧 V_{DHmax} および最低電圧 V_{DLmin} 、すなわち表示電圧の最高値および最低値の中間レベル、好ましくは両者の平均値に設定する必要がある。したがって、中間電圧 V_{GM} は (14) 式に示すように設定することが望ましい。

30

【0075】

$$\begin{aligned} V_{GM} &= (V_{DHmax} - V_{DLmin}) / 2 + V_{DLmin} \\ &= (V_{DHmax} + V_{DLmin}) / 2 = V_{COM} \quad \dots (14) \end{aligned}$$

これにより、画素電極ノード Np が表示電圧 V_{DHmax} を保持するとき、データ保持期間における N 型 TFT 素子 19 のゲート・ドレイン間電圧 V_{GD} は、下記 (15) 式で最大となる。

40

【0076】

$$\begin{aligned} V_{GD} &= V_{GM} - V_{Npmax} \\ &= V_{COM} - (V_{COM} + V_D) = -V_D \quad \dots (15) \end{aligned}$$

同様に、画素電極ノード Np が表示電圧 V_{DLmin} を保持するとき、データ保持期間における N 型 TFT 素子 19 のゲート・ドレイン間電圧 V_{GD} は、下記 (16) 式で最大となる。

【0077】

$$\begin{aligned} VGD &= VGM - VN_{pmin} \\ &= VCOM - (VCOM - VD) = VD \quad \cdots (16) \end{aligned}$$

(15)および(16)式に(5)式と同様の数値を代入すると、 $|VGD| = 5(V)$ となり、非走査期間に連続的に印加されるTFT素子19のゲート絶縁膜への電圧ストレスは、同条件で $|VGD| = 12(V)$ となる、画素10中のN型TFT素子18と比較して軽減される。

【0078】

さらに、このようなN型TFT素子19を設けることによって、N型TFT素子18のドレインすなわちノードNbおよびデータ線DLの電圧差は、データ線DLおよび画素電極ノードNpの電圧差よりも小さくなる。この結果、非走査期間にN型TFT素子16および18に加わるソース・ドレイン間電圧は、図2の画素10よりも小さくなる。また、非選択状態でのゲート線GLは、図2の画素10と同様に低電圧VGLに設定されるので、画素10では従来の画素10と比較して、データ保持期間において、画素電極ノードNpおよびデータ線DL間のリーク電流を抑制するとともに、かつ、N型TFT素子18のゲート絶縁膜への電圧ストレスを軽減して、その動作信頼性を向上できる。

【0079】

以上説明したように、実施の形態1に従う画素10の構成によれば、図2に示した画素10よりもリーク電流を抑制した上で、データ保持期間におけるTFT素子のゲート絶縁膜の電圧ストレスを軽減できる。

【0080】

この結果、各画素における表示電圧の保持特性を改善して、走査周期を長くすることによる低消費電力化や輝度変動の抑制による表示品位向上を図るとともに、TFT素子の動作信頼性を向上することができる。

【0081】

なお、図4では、ゲート線GLと接続されたゲートを有する2個のN型TFT素子16、18と、ゲート線GLと接続されたゲートを有する1個のN型TFT素子19がデータ線DLおよび画素電極ノードNpの間に直列に接続される構成例を示したが、これらのTFT素子は、許容されるリーク電流および回路面積を考慮して、それぞれ1個または任意の複数個とすることができる。

【0082】

[実施の形態2]

図7は、実施の形態2に従う画素の構成例を示す等価回路図である。

【0083】

図7に示した画素11は、図1に示した全体図において、画素10に代えて適用することができる。

【0084】

図7を参照して、実施の形態2に従う画素11は、図6に示した実施の形態1の画素10と比較して、保持容量14が画素電極ノードNpと対向電極ノードNcとの間に接続される点異なる。さらに、対向電極ノードNcの共通電圧VCOMは、図3の画素11と同様に、低電圧VCOMLまたは高電圧VCOMHに一定周期で交互に設定される振幅VDの交流電圧として供給される。すなわち、画素11は、図3に示した従来の画素11に対して、N型TFT素子19をさらに付加した構成となっている。

【0085】

図4に示した画素10と同様に、N型TFT素子16、18の各ゲートはゲート線GLと接続され、N型TFT素子19のゲートは別のゲート線GLと接続されている。ゲート線GL、GLの電圧は、実施の形態1における図5および図6に示した構成によって同様に制御されるので詳細な説明は繰返さない。

【0086】

なお、画素11において、表示電圧としてVDHmaxを保持している画素電極ノードN

pの電圧は、共通電圧VCOMのVD分の変化にตอบสนองして、VDHmax+VDに変化する。他方、VDLminを保持している画素電極ノードNpの電圧は、共通電圧VCOMの変化にตอบสนองして、VDLmin-VDに変化する。したがって、実施の形態2に従う構成においては、非選択状態におけるゲート線GLの電圧に相当する中間電圧VGMは、これらの電圧の平均値となるように、下記(17)式に設定することが好ましい。

【0087】

$$\begin{aligned} VGM &= [(VDHmax+VD) + (VDLmin-VD)] / 2 \\ &= (VDHmax+VDLmin) / 2 \\ &= (VCOMH+VCOML) / 2 \quad \cdots (17) \end{aligned}$$

10

これにより、画素電極ノードNpが表示電圧VDHmaxを保持するとき、データ保持期間におけるN型TFT素子19のゲート・ドレイン間電圧VGDは、下記(18)式で最大となる。

【0088】

$$\begin{aligned} VGD &= VGM - VNpmax \\ &= (VCOMH+VCOML) / 2 - (VDLmax+VD) \\ &= (VCOMH+VCOML) / 2 - (VCOML+2 \cdot VD) \\ &= (VCOMH-VCOML) / 2 - 2 \cdot VD = -1.5 \cdot VD \quad \cdots (18) \end{aligned}$$

20

同様に、画素電極ノードNpが表示電圧VDLminを保持するとき、データ保持期間におけるN型TFT素子19のゲート・ドレイン間電圧VGDは、下記(19)式で最大となる。

【0089】

$$\begin{aligned} VGD &= VGM - VNpmin \\ &= (VCOMH+VCOML) / 2 - (VDLmin-VD) \\ &= (VCOMH+VCOML) / 2 - (VCOMH-2 \cdot VD) \\ &= -(VCOMH-VCOML) / 2 + 2 \cdot VD = 1.5 \cdot VD \quad \cdots (19) \end{aligned}$$

30

(18)および(19)式に(5)式と同様の数値を代入すると、|VGD|=7.5(V)となり、非走査期間に連続的に印加されるTFT素子19のゲート絶縁膜への電圧ストレスは、同条件で|VGD|=17(V)となる画素10中のN型TFT素子18と比較して軽減される。

【0090】

また、実施の形態1に従う画素10と同様に、N型TFT素子19を設けることによって、N型TFT素子18のドレインすなわちノードNbおよびデータ線DLの電圧差は、データ線DLおよび画素電極ノードNpの電圧差よりも小さくなる。したがって、画素11では画素11と比較して、データ保持期間において、画素電極ノードNpおよびデータ線DL間のリーク電流を抑制するとともに、かつ、N型TFT素子18のゲート絶縁膜への電圧ストレスを軽減して、その動作信頼性を向上できる。

40

【0091】

このように、実施の形態2に従う構成によれば、図3に示した画素11と同様にデータ線電圧振幅の抑制による低消費電力化を図った上で、データ保持期間において、リーク電流を抑制するとともにTFT素子のゲート絶縁膜の電圧ストレスを軽減できる。

【0092】

この結果、実施の形態1に従う構成と同様に、各画素における表示電圧の保持特性を改善して、走査周期を長くすることによる低消費電力化や輝度変動の抑制による表示品位向上を図るとともに、TFT素子の動作信頼性を向上することができる。

50

【0093】

なお、図7に示した実施の形態2に従う画素においても、ゲート線GLと接続されたゲートを有するTFT素子および、ゲート線GLと接続されたゲートを有するTFT素子は、それぞれ1個または任意の複数個とすることができる。

【0094】

また、図4および図7では、N型TFT素子16, 18および19を用いた構成例を例示したが、これらのTFT素子の一部または全部をP型TFT素子に置換して、実施の形態1および2に従う画素を構成することも可能である。この場合には、P型TFT素子のゲートと接続されるゲート線GL, GLの電圧設定の極性を反転すればよい。具体的には、上述した低電圧VGLおよび高電圧VGHを、トランジスタ特性を考慮してP型TFT素子を十分にターンオンおよびターンオフ可能な電圧に設定した上で、ゲート線GLについては、選択状態に低電圧VGLへ駆動し、かつ、非選択状態に高電圧VGHに駆動すればよく、ゲート線GLについては、非選択状態に低電圧VGLへ駆動し、かつ、非選択状態を中間電圧VGMへ駆動すればよい。

10

【0095】

[実施の形態3]

実施の形態1および実施の形態2においては、非選択状態にゲート電圧が中間電圧VGMに設定されるTFT素子をリーク電流経路内に設けることにより、リーク電流の抑制とTFT素子のゲート絶縁膜の保護とを両立する画素の構成について説明した。

【0096】

しかしながら、このような構成は、通常動作時にはTFT素子を保護する観点からは望ましいものの、通常動作時よりも大きなストレスを意図的に印加して、欠陥をスクリーニングを実行するための加速試験(バーンイン試験)においては、当該TFT素子に所望のストレスを与えることができない。当該バーンイン試験においては、通常動作時よりも厳しい条件、すなわち高温かつ大きな電圧ストレスを所定時間印加して動作試験が行なわれるので、効率的に試験するためには、短時間で十分な電圧ストレスを与えることが可能な構成とすることが望ましい。

20

【0097】

実施の形態3においては、バーンイン試験時において、十分な電圧ストレスを印加できるように駆動電圧を切換可能なゲート線ドライバの構成について説明する。

30

【0098】

図8は、実施の形態3に従うゲート線ドライバの構成を説明する回路図である。

【0099】

図8を参照して、実施の形態3に従う構成においては、図5に示したゲート線GL用のゲート線ドライバ120に対して、スイッチ回路130が設けられる。スイッチ回路130は、モード選択信号MDSに応答して動作するスイッチ132および134を含む。通常動作時には、スイッチ132がオンして中間電圧VGMをゲート線ドライバ120に与えると同時にスイッチ134はオフされる。これに対して、バーンイン試験が実行されるテストモード時には、スイッチ134がオンして低電圧VGLをゲート線ドライバ120に与えると同時にスイッチ132はオフされる。

40

【0100】

このような構成とすることにより、ゲート線ドライバ120は、ゲート線選択信号GSSに応答して、通常動作時には、選択状態のゲート線GLを高電圧VGHに駆動するとともに、非選択状態のゲート線GLを中間電圧VGMに駆動する。一方、テストモード時には、ゲート線ドライバ120は、ゲート線選択信号GSSに応答して、選択状態のゲート線GLを高電圧VGHに駆動するとともに、非選択状態のゲート線GLをゲート線GLと同様に低電圧VGLに駆動する。

【0101】

この結果、N型TFT素子19のゲートと接続されるゲート線GLについて、テストモード時における選択状態と非選択状態との電圧差(VGH - VGL)は、通常モード時に

50

おける選択状態と非選択状態との電圧差 ($V_{GH} - V_{GM}$) よりも大きくなる。

【0102】

なお、実施の形態3では、ゲート線GL用のゲート線ドライバ120に対してスイッチ回路130が設けられる点以外の構成については、実施の形態1または2と同様であるので、詳細な説明は繰り返さない。

【0103】

このような構成とすることにより、実施の形態3に従う構成においては、通常動作時には実施の形態1および2で説明した効果を楽しむとともに、テストモード時には、N型TFT素子19に対して十分な電圧ストレスを短時間で印加して効率的にバーンイン試験を実行することができる。

10

【0104】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0105】

【発明の効果】

以上説明したように、この発明に従う液晶表示装置では、各画素において、データ線と画素電極との間に、ゲート電圧をそれぞれ独立に制御可能な複数のTFT素子を直列に接続することによって、非走査期間におけるTFT素子のオフリーク電流の抑制およびゲート絶縁膜の電圧ストレス低減を図ることができる。この結果、各画素における表示電圧の保持特性を改善して、走査周期を長くすることによる低消費電力化や輝度変動の抑制による表示品位向上を図るとともに、TFT素子の動作信頼性を向上することができる。

20

【図面の簡単な説明】

【図1】本発明の実施の形態に従う液晶表示装置の全体構成を示すブロック図である。

【図2】従来の技術に従う画素の第1の構成例を示す等価回路図である。

【図3】従来の技術に従う画素の第2の構成例を示す等価回路図である。

【図4】本発明の実施の形態1に従う画素の構成例を示す等価回路図である。

【図5】図1に示されたゲート駆動回路中のゲート線電圧駆動部分の構成を示す概念図である。

30

【図6】図4に示されたゲート駆動ユニットの具体的構成例を示す回路図である。

【図7】本発明の実施の形態2に従う画素の構成例を示す等価回路図である。

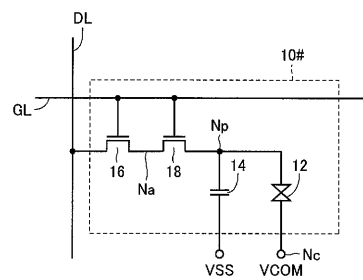
【図8】本発明の実施の形態3に従うゲート線ドライバの構成を説明する回路図である。

【符号の説明】

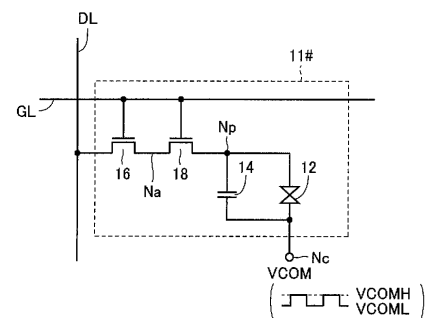
5 液晶表示装置、10, 11 画素、12 液晶素子、14 保持容量、16, 18, 19 TFT素子(画素内)、20 液晶アレイ部、30 ゲート駆動回路、40 ソース駆動回路、100 ゲート駆動ユニット、110, 120 ゲート線ドライバ、112, 114, 122, 124 TFT素子(ゲート線ドライバ内)、130 スwitch回路、DL, DL1, DL2 データ線、GL, GL1 ゲート線(第1)、GL, GL1 ゲート線(第2)、GSS ゲート線選択信号、MDS モード選択信号、Nc 対向電極ノード、Np 画素電極ノード。

40

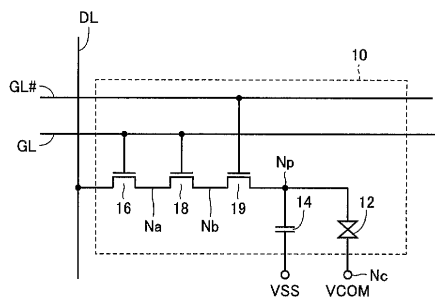
【圖 2】



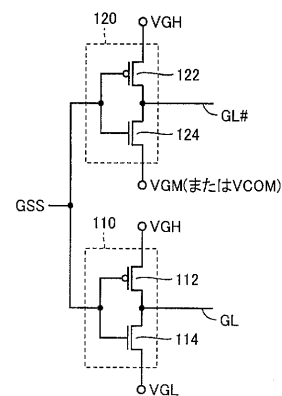
【 図 3 】



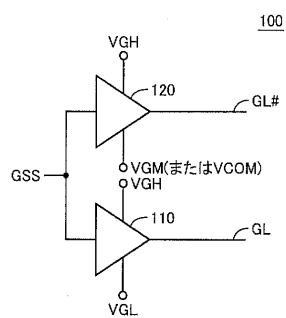
【 図 4 】



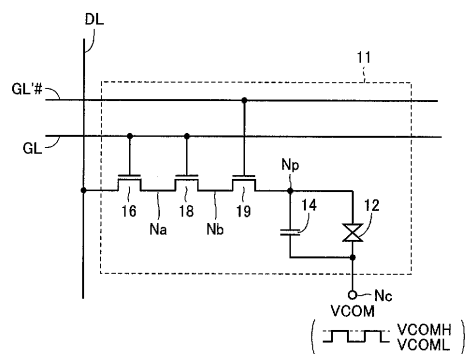
【 図 6 】



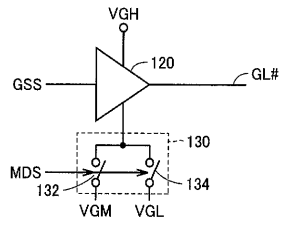
【 図 5 】



【圖 7】



【 図 8 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 Z

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 2H093 NA16 NC09 NC11 NC22 NC26 NC34 ND60 NE01 NE02 NE03

5C006 AC22 AC25 BB16 BC03 BC06 BF34 FA36

5C080 AA10 BB05 DD19 FF11 JJ02 JJ03

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004233526A	公开(公告)日	2004-08-19
申请号	JP2003020498	申请日	2003-01-29
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飛田 洋一		
发明人	飛田 洋一		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/10		
CPC分类号	G09G3/3659 G09G2300/0809 G09G2300/0814 G09G2320/0214		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.622.B G09G3/20.624.B G09G3/20.624.C G09G3/20.670.Z		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND60 2H093/NE01 2H093/NE02 2H093/NE03 5C006/AC22 5C006/AC25 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BF34 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD19 5C080/FF11 5C080/JJ02 5C080/JJ03 2H193/ZA04 2H193/ZA19 2H193/ZP01 2H193/ZP02 2H193/ZP03		
代理人(译)	森田俊夫 堀井裕 酒井 将行		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有像素的液晶显示装置，该像素用于抑制TFT元件的泄漏电流并在非扫描期间（数据保持期间）防止栅极绝缘膜的击穿。像素10具有串联连接在数据线DL和像素电极节点Np之间的N型TFT元件16、18和19。TFT元件16和18的栅极连接到栅极线GL，而TFT元件19的栅极连接到栅极线GL#。处于选择状态的栅极线GL和GL#中的每一个被设置为能够充分导通TFT元件16、18和19的高电压。未选择的栅极线GL被设置为可以充分截止TFT元件16和18的低电压，并且未选择的栅极线GL#被设置在在数据线DL上传输的最高电压和最低电压之间。设置为电压。[选择图]图4

