

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-185011

(P2004-185011A)

(43) 公開日 平成16年7月2日(2004.7.2)

(51) Int.Cl.⁷

G02F 1/1368

G02F 1/1337

H01L 21/336

H01L 29/786

F 1

G02F 1/1368

G02F 1/1337 500

H01L 29/78 612D

テーマコード(参考)

2H090

2H092

5F110

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願2003-405123 (P2003-405123)
 (22) 出願日 平成15年12月3日 (2003.12.3)
 (31) 優先権主張番号 2002-076356
 (32) 優先日 平成14年12月3日 (2002.12.3)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市靈通区梅灘洞416
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 倉 學 ▲スン▼
 大韓民国ソウル市江南区逸院洞カチマウル
 アパート1006棟315号
 (72) 発明者 韓 銀 姫
 大韓民国ソウル市江南区道谷1洞948-
 29番地302号

最終頁に続く

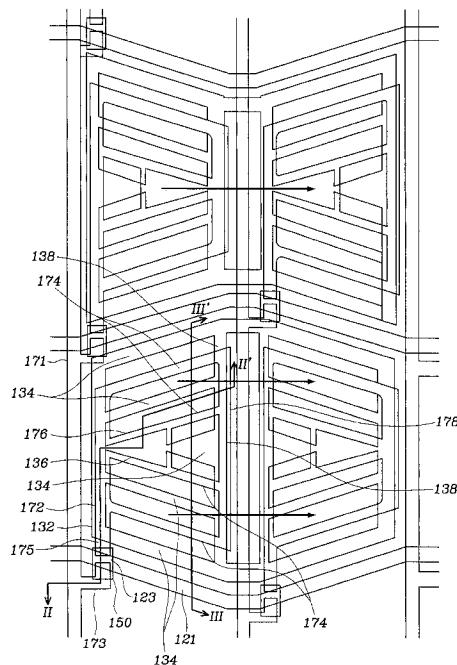
(54) 【発明の名称】 液晶表示装置用薄膜トランジスタ表示板

(57) 【要約】

【課題】 水平電界駆動方式において開口率を高め、電極の数を容易に調節する。

【解決手段】 薄膜トランジスタ表示板は、ゲート線121と、共通電極134及び共通電極線138を含む共通信号線とを有する。ゲート線121は、基板上部に台形状の画素領域を定義するために画素領域の境界で屈曲している。共通電極134は、ゲート線121と平行に配列されている。共通電極線138は、複数の共通電極134を連結してデータ線171と平行に配列される。ゲート線121と共通信号線とを覆うゲート絶縁膜上部には、データ線171と画素信号線とが形成される。データ線171は、ゲート線と交差して画素領域を定義する。画素信号線は、共通電極と平行に対向して配列されている画素電極174と、複数の画素電極を連結する画素電極線172, 178とを含む。データ線171と画素信号線とを覆う保護膜上部には、液晶分子をデータ線に対して垂直に配向するための配向膜が形成されている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ゲート線と、

前記ゲート線と絶縁されて交差するデータ線と、

前記ゲート線と前記データ線の交差により定義される台形状の画素領域に少なくとも二つ以上で各々形成され、一定の間隔をおいて互いに平行に対向する線形の共通電極及び画素電極と、

前記ゲート線、データ線、及び画素電極にゲート電極、ソース電極、及びドレーン電極が各々連結されている薄膜トランジスタとを含む液晶表示装置用薄膜トランジスタ表示板。

10

【請求項 2】

前記ゲート線は前記画素領域の境界で屈曲されている、請求項 1 に記載の液晶表示装置用薄膜トランジスタ表示板。

【請求項 3】

前記共通電極及び前記画素電極は前記ゲート線と平行に配列されている、請求項 1 に記載の液晶表示装置用薄膜トランジスタ表示板。

【請求項 4】

前記共通電極及び前記画素電極は前記画素領域の一辺と平行に配列されている、請求項 1 に記載の液晶表示装置用薄膜トランジスタ表示板。

【請求項 5】

前記共通電極と連結され、前記データ線と平行に形成されている共通電極線をさらに含む、請求項 1 に記載の液晶表示装置用薄膜トランジスタ表示板。

20

【請求項 6】

前記画素電極及び前記共通電極と各々連結され、互いに重なって維持蓄電器を構成する第 1 及び第 2 導電体パターンをさらに含む、請求項 5 に記載の液晶表示装置用薄膜トランジスタ表示板。

【請求項 7】

前記共通電極及び前記画素電極により駆動される液晶分子が前記データ線に対して垂直方向に配向されるようにラビングされている配向膜を含む、請求項 1 に記載の液晶表示装置用薄膜トランジスタ表示板。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置及びその製造方法に関し、特に液晶分子に水平電界を印加するために、電極及び電界印加手段である薄膜トランジスタが同一基板に形成されている液晶表示装置及びその製造方法に関する。

【背景技術】**【0002】**

水平電界による液晶駆動方式として、従来技術が特許文献 1 に示されている。しかし、特許文献 1 に示された液晶表示装置は、水平電界を印加するための共通電極と画素電極のうち、共通電極と共に連接され、共通信号を伝達する共通信号線が互いに隣接部分である画素の上部及び下部において液晶駆動の歪曲が発生する問題がある。このような歪曲を隠すためにブラックマトリックスを広く形成すると、開口率が減少する問題が生じる。

40

【0003】

また、画素電極に電圧を印加するデータ線とこれに平行な画素電極または共通電極との間にカップリング効果 (coupling effect) または歪曲された駆動が発生し、光が漏れ、これによってクロストークが発生する問題がある。これを隠すためにデータ線に隣接した共通電極を必要以上に広く形成し、開口率を減少させる原因となる。また

50

、共通電極と画素電極は、データ線と平行にゲート線とデータ線で囲まれた画素の長さ方向と平行に形成され、電極の数を増やすことが容易ではない。

【特許文献1】米国特許第5,598,285号

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の課題は、水平電界駆動方式の液晶表示装置の開口率を向上させることである。本発明の他の課題は、水平電界を印加するための電極の数を容易に調節することができる液晶表示装置を提供することである。

【課題を解決するための手段】

【0005】

このような技術的課題を解決するために本発明に係る液晶表示装置においては、ゲート線及びデータ線の交差により定義される台形状の画素領域が形成されている。さらに、各画素領域において、共通電極はゲート線と互いに平行に配列され、共通電極に連結されている共通信号線はデータ線と平行に形成され、液晶分子はデータ線と垂直方向に初期配向されている。

【0006】

すなわち、本発明による液晶表示装置用薄膜トランジスタ表示板には、ゲート線及びゲート線と絶縁されて交差するデータ線が形成されている。ゲート線とデータ線との交差により定義される台形状の画素領域には、一定の間隔をおいて互いに平行に対向する線状の共通電極及び画素電極が、それぞれ少なくとも二つ以上形成されている。それぞれの画素領域には薄膜トランジスタが形成されている。薄膜トランジスタのゲート電極、ソース電極、及びドレーン電極は、ゲート線、データ線、画素電極に各々連結されている。ゲート線は画素領域の境界で屈曲し、台形状の画素領域を形成している。共通電極と前記画素電極はゲート線と平行に配列されており、共通電極と前記画素電極は画素領域の一辺と平行に配列されることが好ましい。

【0007】

また、共通電極と連結され、データ線と平行に形成されている共通電極線をさらに含むことができ、画素電極及び共通電極と各々連結されて互いに重なって維持蓄電器を構成する第1及び第2導電体パターンをさらに含むことが好ましい。共通電極及び画素電極により駆動される液晶分子がデータ線に対して垂直方向に配向されるようにラビングされている配向膜を含むことが好ましい。

【発明の効果】

【0008】

本発明の実施例によれば、共通電極線をデータ線と平行に画素の長さ方向に形成して開口率を向上させることができ、光漏れ現象を減らすことができる。また、台形状の画素領域の辺と共通電極及び画素電極を平行に配列することによって画素領域の角部まで画像を表示することができるので、画素の表示能力を極大化できる。また、共通電極及び画素電極を画素の長さ方向に配列することによってこれらの数を容易に調節することができる。

【発明を実施するための最良の形態】

【0009】

添付した図面を参照して本発明の実施例に対して本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施例に限定されない。

【0010】

図面は、各種層及び領域を明確に表現するために厚さを拡大して示している。明細書全体を通じて類似した部分については同一図面符号を付けている。層、膜、領域、板などの部分が他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時は、中間に他の部分がないことを意味する。

10

20

30

40

50

【0011】

以下、本発明の実施例による液晶表示装置用薄膜トランジスタ表示板について図面を参照して詳細に説明する。

【0012】

本発明による液晶表示装置用薄膜トランジスタ表示板には、台形状の画素領域を定義するゲート線とデータ線が配置され、共通電極に連結されている共通信号線はデータ線と平行に画素領域の長さ方向に延びている。また、液晶分子はデータ線及び共通信号線と垂直に初期配向され、データ線と共に画素領域を定義するゲート線は共通電極と平行に形成されている。

【0013】

まず、本発明第1の実施例による液晶表示装置用薄膜トランジスタ表示板について説明する。図1は、本発明の第1の実施例による液晶表示装置用薄膜トランジスタ表示板における単位画素の構成を簡略に示した配置図で、図2及び図3は、図1のI—I—I—I'及びI—I—I—I—I'線に沿った断面図である。

【0014】

図1乃至図3のように、絶縁基板110上に主に横方向に延びている複数のゲート線121が形成されている。ゲート線121は低い比抵抗の物質、例えば銀や銀合金またはアルミニウムやアルミニウム合金からなる単一膜を含むことができる。これとは異なって、ゲート線121は前述した物質を含む少なくとも一つの膜と他の物質との接触特性の良いパッド用の少なくとも一つの膜を含む多層膜から構成されることができる。ゲート線121の一端付近に位置した部分(図示せず)は、外部からのゲート信号をゲート線に伝達し、各ゲート線121の複数の枝は、薄膜トランジスタのゲート電極123を構成する。この時、ゲート線121は、以降形成されるデータ線171と交差して台形状の画素領域を定義するために、画素領域の境界で屈曲されている。図中横方向に隣り合う台形状の画素領域の隣接する辺の長さは互いに一致している。台形状の画素領域を定義する4辺のうち、互いに平行な2辺はデータ線171で構成され、他の2辺はゲート線121で構成される。

【0015】

また、ゲート線121と同一層である絶縁基板110上部には、縦方向に平行に延びている共通電極線138、132が形成され、これら138、132を連結し、ゲート線121と平行に配列されている共通電極134が多数形成されている。この時、画素領域の最外殻に配置されている共通電極134と共に共通電極線138、132は梯子状のパターンを形成している。画素領域の中央には、維持蓄電器用第1導電体パターン136が形成されている。この第1導電体パターン136は、共通電極線138、132及び共通電極134と連結されている。また、第1導電体パターン136は、画素電極174と連結されている維持蓄電器用第2導電体パターン176と重なるように形成されている。以下、共通電極134と共に共通電極線138、132を一緒に説明する時はこれらを共通信号線と記載する。

【0016】

窒化ケイ素(SiNx)などからなるゲート絶縁膜140が、ゲート線121及び共通信号線132、134、136、138を覆っている。

【0017】

ゲート電極125のゲート絶縁膜140上部には、水素化非晶質シリコンなどからなる島形半導体150が形成され、半導体150上部にはシリサイドまたはn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどで作製された複数の抵抗性接触体163、165が対となって形成されている。各対の抵抗性接触体163、165は、該当ゲート線121を中心に互いに分離されている。この時、半導体150と抵抗性接触体163、165は、以降形成されるデータ線171に沿って線形を有することができ、データ線171及びドレーン電極175と同一な模様を有することもできる。

【0018】

10

20

30

40

50

抵抗性接触体 163、165 及びゲート絶縁膜 140 上には、複数のデータ線 171 及び複数のドレーン電極 175 が形成されている。データ線 171 とドレーン電極 175 は、アルミニウムまたは銀のような低抵抗の導電物質からなる導電膜を含む。データ線 171 は、主に縦方向に延びてゲート線 121 と交差して台形状の画素領域のうち互いに平行な 2 辺を定義する。データ線 171 の複数の枝 173 は、各対の抵抗性接触体 163、165 の一つ 163 の上部まで延在して、薄膜トランジスタのソース電極 173 を構成する。データ線 171 の一端付近に位置した部分（図示せず）は外部からの画像信号をデータ線 171 に伝達する。薄膜トランジスタのドレーン電極 175 は、データ線 171 と分離され、ゲート電極 123 に対してソース電極 173 の反対側抵抗性接触体 165 上部に位置する。また、ゲート絶縁膜 140 の上部には、画素電極 174、画素電極線 172、178 及び維持蓄電器用第 2 導電体パターン 176 が形成されている。画素電極 174 は共通電極 134 と平行に対向している。画素電極線 172、178 はドレーン電極 175 と連結され、さらに画素領域の周囲に配置されて共通電極線 132、138 と重なっている。また、維持蓄電器用第 2 導電体パターン 176 は、画素電極線 172 に連結され、維持蓄電器用第 1 導電体パターン 136 と重なって維持蓄電器を構成する。ここでも、画素電極 174 及び画素電極線 172、178 は画素信号線と記載する。10

【0019】

データ線 171、ドレーン電極 175 及び画素信号線 172、174、178 と、これらにより覆われない半導体 150 上部には、窒化ケイ素または平坦化特性の優れた有機物質からなる下部保護膜 180 が形成されている。保護膜 180 上には液晶分子を配向するための配向膜 11 が形成されている。20

【0020】

この時、ゲート電極 123、ゲート絶縁膜 140、半導体 150、抵抗性接触制 163、165、ソース及びドレーン電極 173、175 は薄膜トランジスタを構成する。

【0021】

ここで、共通信号線 132、134、138 及び画素信号線 172、174、178 は、各々ゲート線 121 またはデータ線 171 と同一層に配置されているが、これらは一緒に同一層に配置でき、全て保護膜 180 上部に配置することができる。この時、配向膜 11 で段差による配向不良を防止するために、共通信号線 132、134、138 及び画素信号線 172、174、178 は、2,000 以下の厚さを有することが好ましい。30

【0022】

図 1 に、横の矢印方向（→）は液晶分子を初期配向するための配向膜 11 のラビング方向で、この方向はデータ線 171 または共通電極線 132 と垂直であることが好ましい。勿論、配向膜 11 のラビング方向は矢印方向（→）に対して反対方向であり得る。

【0023】

このような本発明の第 1 の実施例による液晶表示装置用薄膜トランジスタ表示板においては、共通電極線 132 がデータ線 171 に平行に画素の長さ方向に形成され、しかもデータ線 171 に垂直に液晶分子が初期配向されるように配向膜 11 がラビングされている。そのため、データ線 171 と共通電極線 132 に電圧差が発生して液晶分子が駆動されても、液晶分子は初期配向方向と同一方向に駆動されるので、暗く表示され側面クロストークが発生しない。従って、データ線 171 に隣接した共通信号線 24 を細く形成して画素の開口率を増加させることができる。40

【0024】

また、従来の構造とは異なって、共通電極 134 と画素電極 174 を画素領域の長さ方向に並べて配列し、電極 134、174 の数を容易に調節できる。画素領域の大きさに応じて共通電極 134 及び画素電極 174 の間隔を調節することができるので好適である。

【0025】

また、画素領域の最外殻に配置されている画素電極 174 及び共通電極 134 が、ゲート線 121 とデータ線 171 により定義される画素領域の辺と平行に配置されているので、画素領域の角部まで画像を表示することができる。また、テクスチャ（texture

)によって表示不良が発生する画素領域の中央に維持蓄電器を配置して、画素の透過率が低下することを防止することができ、これを通じて画素の透過率を高めることができる。

【0026】

前記第1の実施例では、互いに隣接する台形状の画素領域の互いに平行な2辺のうち、隣り合う画素領域の長辺同士または短辺同士が隣接するよう、各画素領域が配置されているが、画素領域の互いに平行な2辺のうち、隣り合う画素領域の長辺と短辺とが隣接するように画素領域を並べて配置することもできる。図面を参照して具体的に説明する。

【0027】

図4は、本発明の第2の実施例による液晶表示装置用薄膜トランジスタ基板の構造を示した配置図である。本発明の第2の実施例による液晶表示装置用薄膜トランジスタ基板の断面構造は、第1の実施例の場合と同様であるので具体的な図面は省略した。

【0028】

図4のように、大部分の構造は第1の実施例の場合と同様である。しかし、互いに隣接する台形状の画素領域が並んで配列されている。

【0029】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0030】

【図1】本発明の実施例による液晶表示装置用薄膜トランジスタ表示板の構造を概略的に示した配置図である。

【図2】図1のI—I—I—I'線に沿った断面図である。

【図3】図1のI—I—I—I—I—I'線に沿った断面図である。

【図4】本発明の第2の実施例による液晶表示装置用薄膜トランジスタ表示板の構造を示した配置図である。

【符号の説明】

【0031】

110：絶縁基板

30

121：ゲート線

123：ゲート電極

132、138：共通電極線

134：共通電極

132、134、138：共通信号線

140：ゲート絶縁膜

150：半導体

163、165：抵抗性接触体

171：データ線

173：ソース電極

174：画素電極

40

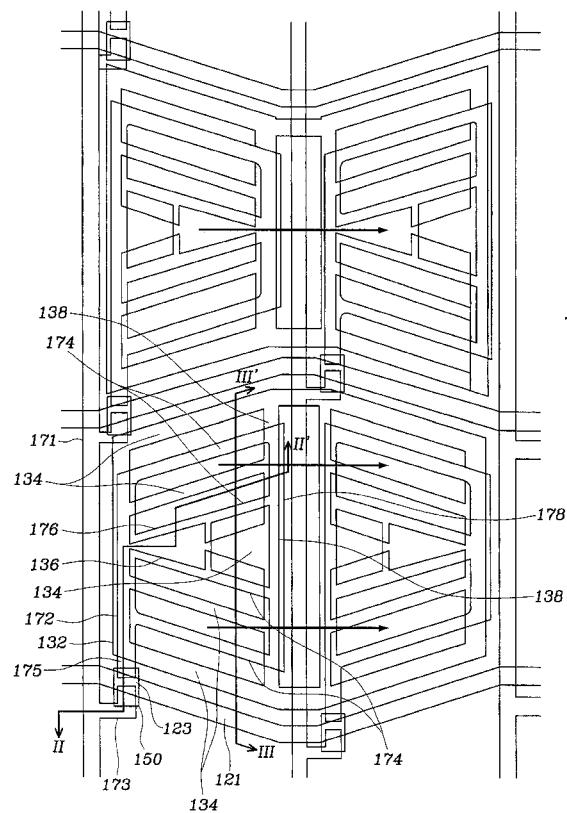
175：ドレーン電極

172、178：画素電極線

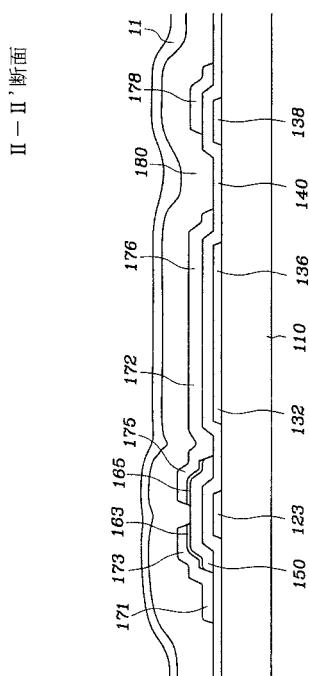
172、174、178：画素信号線

180：保護膜

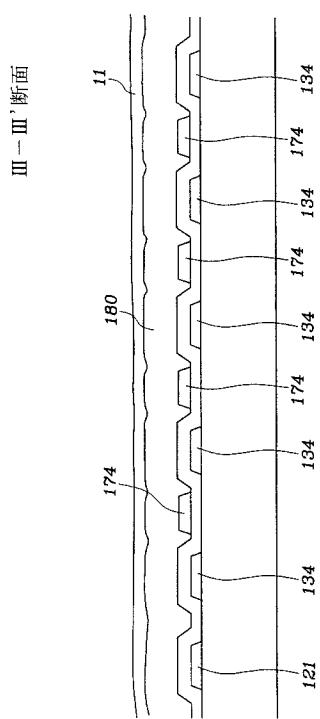
【 図 1 】



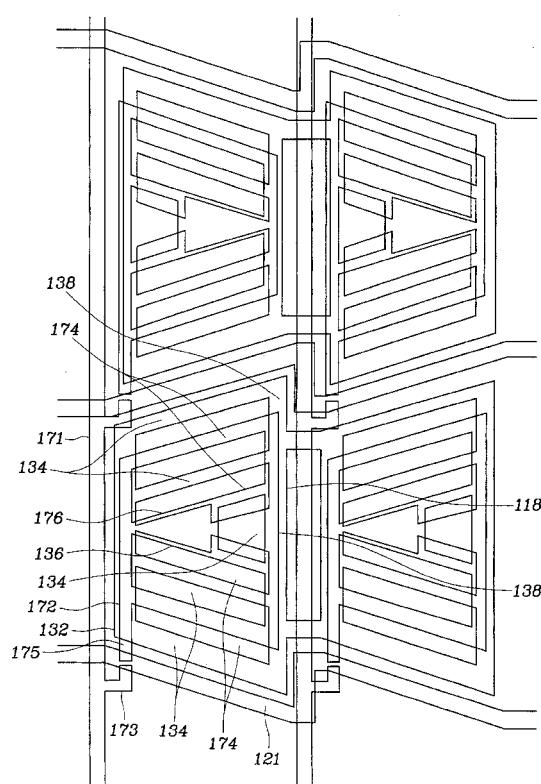
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 李 祖 勳

大韓民国京畿道龍仁市器興邑書川里705番地イエヒヨンマウル現代ホームタウン104棟120
5号

F ターム(参考) 2H090 LA01 LA04 MA01 MB01
2H092 JA24 JA34 JA37 JA41 JB22 JB31 NA25 PA02
5F110 AA30 BB01 CC07 EE02 EE03 EE06 EE14 FF03 GG02 GG15
HK02 HK03 HK05 HK09 HK21 NN02 NN24 NN27 NN73

专利名称(译)	用于液晶显示装置的薄膜晶体管显示面板		
公开(公告)号	JP2004185011A	公开(公告)日	2004-07-02
申请号	JP2003405123	申请日	2003-12-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	倉學スン 韓銀姫 李昶勳		
发明人	倉 學 ▲スン▼ 韓 銀 姫 李 昶 勳		
IPC分类号	G02F1/1337 G02F1/1343 G02F1/1362 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/134363 G02F1/136213 G02F2201/128 G02F2201/40		
FI分类号	G02F1/1368 G02F1/1337.500 H01L29/78.612.D		
F-TERM分类号	2H090/LA01 2H090/LA04 2H090/MA01 2H090/MB01 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/NA25 2H092/PA02 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE06 5F110/EE14 5F110/FF03 5F110/GG02 5F110/GG15 5F110/HK02 5F110/HK03 5F110/HK05 5F110/HK09 5F110/HK21 5F110/NN02 5F110/NN24 5F110/NN27 5F110/NN73 2H092/GA14 2H192/AA24 2H192/BB02 2H192/BB53 2H192/BB84 2H192/CB05 2H192/CC04 2H192/CC15 2H192/DA32 2H192/EA67 2H192/JA33 2H290/AA73 2H290/BA04 2H290/BB63 2H290/BF13 2H290/CA42 2H290/CA46 2H290/CA48		
优先权	1020020076356 2002-12-03 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：在水平电场驱动方法中，要增加开口率并轻松调整电极数。薄膜晶体管阵列面板具有栅极线121和包括公共电极和公共电极线的公共信号线。栅极线121在像素区域的边界处弯曲以在基板的上部上限定梯形像素区域。公共电极134与栅极线121平行地布置。公共电极线138连接多个公共电极134，并与数据线171平行布置。在覆盖栅极线121和公共信号线的栅极绝缘膜上形成数据线171和像素信号线。数据线171与栅极线相交以限定像素区域。像素信号线包括被布置为平行面对公共电极的像素电极174以及连接多个像素电极的像素电极线172和178。在覆盖数据线171和像素信号线的保护膜上形成用于使液晶分子垂直于数据线取向的取向膜。[选型图]图1

