

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-145333

(P2004-145333A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
GO 2 F 1/1333	GO 2 F 1/1333 5 O 5	2 H O 9 O
GO 2 F 1/1368	GO 2 F 1/1368	2 H O 9 2
HO 1 L 21/20	HO 1 L 21/20	4 M 1 O 4
HO 1 L 21/205	HO 1 L 21/205	5 F O 3 3
HO 1 L 21/225	HO 1 L 21/225 R	5 F O 4 5
審査請求 未請求 請求項の数 59 O L (全 49 頁) 最終頁に続く		

(21) 出願番号	特願2003-348025 (P2003-348025)	(71) 出願人	000002369
(22) 出願日	平成15年10月7日 (2003.10.7)		セイコーエプソン株式会社
(62) 分割の表示	特願平9-536078の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成9年5月14日 (1997.5.14)	(74) 代理人	100090479
(31) 優先権主張番号	特願平8-120653		弁理士 井上 一
(32) 優先日	平成8年5月15日 (1996.5.15)	(74) 代理人	100090387
(33) 優先権主張国	日本国 (JP)		弁理士 布施 行夫
(31) 優先権主張番号	特願平8-248071	(74) 代理人	100090398
(32) 優先日	平成8年9月19日 (1996.9.19)		弁理士 大淵 美千栄
(33) 優先権主張国	日本国 (JP)	(72) 発明者	湯田坂 一夫
(31) 優先権主張番号	特願平8-303387		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(32) 優先日	平成8年11月14日 (1996.11.14)	(72) 発明者	下田 達也
(33) 優先権主張国	日本国 (JP)		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		最終頁に続く	

(54) 【発明の名称】 塗布膜を有する薄膜デバイス、液晶パネル及び電子機器並びに薄膜デバイスの製造方法

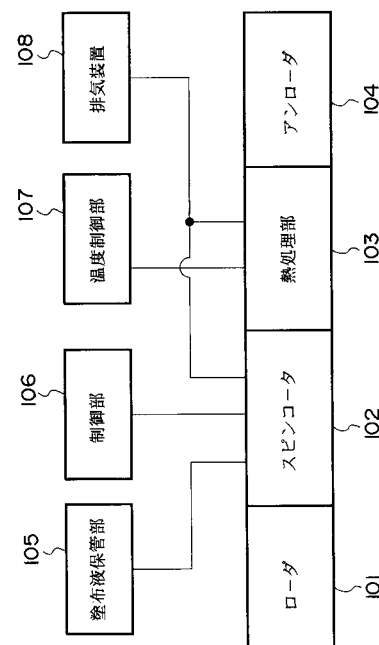
(57) 【要約】 (修正有)

【課題】 液晶表示基板等に用いる薄膜積層構造の一部または全部の薄膜を、真空処理装置を用いずに成膜し、製造コストを大幅に低減することができる薄膜デバイス及びその製造方法を提供する。

【解決手段】 TFTを構成する絶縁膜、シリコン膜及び導電膜のうちのいずれかの薄膜を液体を塗布し熱処理することにより形成する。スピコート102では、塗布液保管部105から供給される、薄膜成分を含む液体を基板上にスピコートする。塗布液が塗布された基板は、熱処理部103にて熱処理され、基板上に塗布膜が形成される。さらにレーザアニールなどを施せば、結晶性、緻密化、あるいは密着性のいずれかの膜質が向上する。

。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

少なくとも 1 層の絶縁層と少なくとも 1 層の導電層を含む複数層の薄膜から成る薄膜積層構造を有する薄膜デバイスであって、

前記薄膜積層構造のうちの少なくとも 1 層の前記薄膜が、該薄膜の構成成分を含む液体が塗布された後に熱処理されて得られる塗布膜（シロキサン結合を基本構造とする Spin On Glass 膜を除く）にて形成されていることを特徴とする薄膜デバイス。

【請求項 2】

請求項 1 において、

前記薄膜積層構造は半導体層を含むことを特徴とする薄膜デバイス。

10

【請求項 3】

請求項 2 において、

前記薄膜積層構造は、ソース領域、ドレイン領域及びその間のチャネル領域を有するシリコン半導体層と、ゲート絶縁層と、ゲート電極と、を有する薄膜トランジスタを含むことを特徴とする薄膜デバイス。

【請求項 4】

請求項 3 において、

前記薄膜トランジスタの下層に、下地絶縁層をさらに有することを特徴とする薄膜デバイス。

【請求項 5】

請求項 3 または 4 において、

前記ソース領域に接続されるソース電極と、

前記ドレイン領域に接続されるドレイン電極と、

前記ゲート電極、ソース電極及びドレイン電極を絶縁する 1 層以上の層間絶縁層と、をさらに有することを特徴とする薄膜デバイス。

20

【請求項 6】

請求項 3 乃至 5 のいずれかにおいて、

前記薄膜トランジスタの上層に、保護用絶縁層をさらに有することを特徴とする薄膜デバイス。

【請求項 7】

請求項 3 乃至 6 のいずれかにおいて、

前記薄膜積層構造に含まれる全ての前記絶縁層が、前記塗布膜にて形成されていることを特徴とする薄膜デバイス。

30

【請求項 8】

請求項 4 乃至 6 のいずれかにおいて、

前記ゲート絶縁層以外の全ての前記絶縁層が前記塗布膜にて形成されていることを特徴とする薄膜デバイス。

【請求項 9】

請求項 1 乃至 6 のいずれかにおいて、

前記薄膜積層構造に含まれる 2 層以上の前記薄膜が、前記塗布膜にて形成されていることを特徴とする薄膜デバイス。

40

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記少なくとも 1 層の絶縁層は、Si-N 結合を有するポリマーを含む液体が塗布されかつ酸素雰囲気にて第 1 の熱処理がなされて得られる SiO₂ の塗布膜にて形成されていることを特徴とする薄膜デバイス装置。

【請求項 11】

請求項 10 において、

前記少なくとも 1 層の絶縁層は、前記第 1 の熱処理後に該第 1 の熱処理よりも高温にて第 2 の熱処理がなされて、前記第 1 の熱処理後よりもその界面が清浄にされていることを

50

特徴とする薄膜デバイス。

【請求項 1 2】

請求項 2 乃至 9 のいずれかにおいて、

前記半導体層は、シリコン粒子を含む液体が塗布されかつ第 1 の熱処理がなされたシリコン塗布膜中に、不純物が含有されていることを特徴とする薄膜デバイス。

【請求項 1 3】

請求項 1 2 において、

前記半導体層は、前記第 1 の熱処理後に該第 1 の熱処理よりも高温にて第 2 の熱処理がなされて、前記第 1 の熱処理後よりもその結晶性が向上されていることを特徴とする薄膜デバイス。

10

【請求項 1 4】

請求項 1 乃至 9 のいずれかにおいて、

前記少なくとも 1 層の導電層は、導電性粒子を含む液体が塗布されかつ第 1 の熱処理がなされた導電性塗布膜にて形成されていることを特徴とする薄膜デバイス。

【請求項 1 5】

請求項 1 4 において、

前記少なくとも 1 層の導電層は、前記第 1 の熱処理後に該第 1 の熱処理よりも高温にて第 2 の熱処理がなされて、前記第 1 の熱処理後よりも低抵抗にされていることを特徴とする薄膜デバイス。

【請求項 1 6】

請求項 1 4 において、

前記導電性塗布膜は塗布 I T O 膜であることを特徴とする薄膜デバイス。

20

【請求項 1 7】

請求項 1 6 において、

前記塗布 I T O 膜表面に金属メッキがなされていることを特徴とする薄膜デバイス。

【請求項 1 8】

請求項 1 3 乃至 1 7 のいずれかにおいて、

前記少なくとも 1 層の導電層は、そのコンタクト面に、スパッタにより形成された導電性スパッタ膜をさらに有することを特徴とする薄膜デバイス。

【請求項 1 9】

請求項 1 において、

前記薄膜積層構造は、複数のデータ線と複数の走査線の各交点付近に形成される各画素毎に配置された画素スイッチング素子と、それに接続された画素電極とを含むことを特徴とする薄膜デバイス。

30

【請求項 2 0】

請求項 1 9 において、

前記画素スイッチング素子が薄膜トランジスタであることを特徴とする薄膜デバイス。

【請求項 2 1】

請求項 2 0 において、

前記薄膜トランジスタは、

前記データ線に電氣的に接続されるソース領域と、

前記走査線に電氣的に接続されるゲート電極と、

前記画素電極に電氣的に接続されるドレイン電極と、

を含み、

前記画素電極が導電性塗布膜にて形成されていることを特徴とする薄膜デバイス。

40

【請求項 2 2】

請求項 2 1 において、

前記導電性塗布膜が塗布 I T O 膜であることを特徴とする薄膜デバイス。

【請求項 2 3】

請求項 2 1 または 2 2 において、

50

前記薄膜トランジスタは、前記ゲート電極の表面側に形成された層間絶縁膜を有し、前記データ線および前記画素電極が、前記層間絶縁膜に形成されたコンタクトホールを介して、前記ソース領域および前記ドレイン領域にそれぞれ電氣的接続されることを特徴とする薄膜デバイス。

【請求項 24】

請求項 23 において、

前記層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に形成された上層側層間絶縁膜とを有し、

前記データ線は、前記下層側層間絶縁膜に形成された第 1 のコンタクトホールを介して前記ソース領域に電氣的に接続され、

10

前記画素電極は、前記下層側層間絶縁膜および前記上層側層間絶縁膜に形成された第 2 のコンタクトホールを介して、前記ドレイン領域に電氣的接続され、

前記画素電極の外周縁が前記データ線および前記走査線の上方に位置していることを特徴とする薄膜デバイス。

基板。

【請求項 25】

請求項 23 または 24 において、

前記導電性塗布膜にて形成された前記画素電極は、導電性スパッタ膜を介して前記ドレイン電極と電氣的に接続されることを特徴とする薄膜デバイス。

【請求項 26】

20

請求項 25 において、

前記導電性スパッタ膜がスパッタ ITO 膜であることを特徴とする薄膜デバイス。

【請求項 27】

請求項 25 または 26 において、

前記導電性塗布膜と前記導電性スパッタ膜とが同一パターンであることを特徴とする薄膜デバイス。

【請求項 28】

請求項 25 または 26 において、

前記導電性塗布膜の外周縁が、前記導電性スパッタ膜の外周縁よりも外側に位置していることを特徴とする薄膜デバイス。

30

【請求項 29】

請求項 25 乃至 28 のいずれかにおいて、

前記導電性スパッタ膜が前記データ線と同層に位置し、かつ同一金属材料にて形成されていることを特徴とする薄膜デバイス。

【請求項 30】

請求項 25 乃至 28 のいずれかにおいて、

前記導電性スパッタ膜が前記データ線よりも上層に位置していることを特徴とする薄膜デバイス。

【請求項 31】

請求項 23 において、

40

前記層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に積層された上層側層間絶縁膜とを備え、前記上層側層間絶縁膜の表面上には、前記データ線と同層にて形成される導電性スパッタ膜が設けられ、

前記データ線は、前記下層側層間絶縁膜に形成された第 1 のコンタクトホールを介して前記ソース領域に電氣的に接続され、

前記導電性スパッタ膜は、前記上層側層間絶縁膜および前記下層側層間絶縁膜に形成された第 2 のコンタクトホールを介して前記ドレイン領域に電氣的に接続され、

前記導電性スパッタ膜の表面上に前記導電性塗布膜が積層されていることを特徴とする薄膜デバイス。

リクス基板。

50

【請求項 3 2】

請求項 2 3 において、

前記層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に積層された上層側層間絶縁膜とを備え、前記下層側層間絶縁膜の表面上に前記データ線と同層で形成される前記導電性スパッタ膜が設けられ、

前記データ線は前記下層側層間絶縁膜に形成された第 1 のコンタクトホールを介して前記ソース領域に電氣的に接続され、

前記導電性スパッタ膜は前記下層側層間絶縁膜に形成された第 2 のコンタクトホールを介して前記ドレイン領域に電氣的に接続され、

前記導電性塗布膜は、前記上層側層間絶縁膜の表面上に積層され、前記上層側層間絶縁膜に形成された第 3 のコンタクトホールを介して前記導電性スパッタ膜に電氣的に接続されていることを特徴とする薄膜デバイス。 10

【請求項 3 3】

請求項 1 9 乃至 3 2 のいずれかに記載の薄膜デバイスが形成されたアクティブマトリクス基板と、

前記アクティブマトリクス基板と対向して配置される対向基板と、

前記アクティブマトリクス基板と前記対向基板間に封入された液晶層と、
を有することを特徴とする液晶パネル。

【請求項 3 4】

請求項 3 4 に記載の液晶パネルを有することを特徴とする電子機器。 20

【請求項 3 5】

基板上に、少なくとも 1 層の導電層と少なくとも 1 層の絶縁層とを含む複数層の薄膜から成る薄膜積層構造を有する薄膜デバイスの製造方法であって、

前記薄膜積層構造のうちの少なくとも 1 層の前記薄膜の形成工程は、

前記基板上に、該薄膜の構成成分を含む塗布液を塗布する工程と、

前記基板の塗布面に熱処理を施して塗布膜（シロキサン結合を基本構造とする Spin On Glass 膜を除く）を形成する工程と、
を有することを特徴とする薄膜デバイスの製造方法。

【請求項 3 6】

請求項 3 5 において、 30

前記少なくとも 1 層の絶縁層の形成工程は、

S i - N 結合を有するポリマーを含む塗布液を前記基板上に塗布する第 1 工程と、

その塗布面に酸素雰囲気にて第 1 の熱処理を施して S i O₂ の絶縁性塗布膜を形成する第 2 工程と、

を有し、前記少なくとも 1 層の絶縁層を前記絶縁性塗布膜にて形成することを特徴とする薄膜デバイス装置の製造方法。

【請求項 3 7】

請求項 3 6 において、

前記第 2 工程後に、前記第 1 の熱処理よりも高温にて前記基板に第 2 の熱処理を施して、前記第 1 の熱処理後よりも前記少なくとも 1 層の絶縁層の界面を清浄にする第 3 工程をさらに有することを特徴とする薄膜デバイス。 40

【請求項 3 8】

請求項 3 7 において、

前記第 2 の熱処理をレーザアニールまたはランプアニールにて実施することを特徴とする薄膜デバイスの製造方法。

【請求項 3 9】

請求項 3 5 において、

前記薄膜積層構造はシリコン半導体層をさらに有し、

前記シリコン半導体層の形成工程は、

シリコン粒子を含む塗布液を前記基板上に塗布する第 1 工程と、 50

その塗布面に第 1 の熱処理を施してシリコン塗布膜を形成する第 2 工程と、
前記シリコン塗布膜中に不純物を含有させて前記シリコン半導体層を形成する第 3 工程と、
を有することを特徴とする薄膜デバイスの製造方法。

【請求項 40】

請求項 39 において、
前記第 2 工程後に、前記第 1 の熱処理よりも高温にて第 2 の熱処理を施して、前記第 1 の熱処理後よりも前記シリコン塗布膜の結晶性を向上させる第 4 工程をさらに有することを特徴とする薄膜デバイスの製造方法。

【請求項 41】

請求項 40 において、
前記第 2 の熱処理をレーザアニールまたはランプアニールにて実施することを特徴とする薄膜デバイスの製造方法。

【請求項 42】

請求項 39 乃至 41 のいずれかにおいて、
前記第 3 工程は、
前記シリコン塗布膜上に、不純物含有層を塗布形成する工程と、
前記不純物含有層を加熱して、前記不純物を前記シリコン塗布膜中に拡散させる工程と

を含むことを特徴とする薄膜デバイスの製造方法。

【請求項 43】

請求項 35 において、
前記少なくとも 1 層の導電層の形成工程は、
導電性粒子を含む塗布液を前記基板上に塗布する第 1 工程と、
その塗布面に第 1 の熱処理を施して導電性塗布膜を形成する第 2 工程と、
を有し、前記少なくとも 1 層の導電層を前記導電性塗布膜にて形成することを特徴とする薄膜デバイスの製造方法。

【請求項 44】

請求項 43 において、
前記第 2 工程後に、前記第 1 の熱処理よりも高温にて第 2 の熱処理を施して、前記第 1 の熱処理後よりも前記導電性塗布膜を低抵抗にする第 3 工程をさらに有することを特徴とする薄膜デバイスの製造方法。

【請求項 45】

請求項 44 において、
前記第 2 の熱処理をレーザアニールまたはランプアニールにて実施することを特徴とする薄膜デバイスの製造方法。

【請求項 46】

請求項 35 において、
前記少なくとも 1 層の導電層の形成工程は、
前記塗布面を酸素雰囲気もしくは非還元性雰囲気にて熱処理する第 1 熱処理工程と、
前記塗布面を水素雰囲気もしくは還元性雰囲気にて熱処理する第 2 熱処理工程と、
を有し、前記少なくとも 1 層の導電層を透明導電性塗布膜にて形成することを特徴とする薄膜デバイスの製造方法。

【請求項 47】

請求項 46 において、
前記第 2 熱処理工程での熱処理温度を、前記第 1 熱処理工程での熱処理温度よりも低く設定したことを特徴とする薄膜デバイスの製造方法。

【請求項 48】

請求項 46 または 47 において、
前記第 2 熱処理工程後に、前記基板の温度が 200℃以下になるまで、非酸化雰囲気に

10

20

30

40

50

保持することを特徴とする薄膜デバイスの製造方法。

【請求項 49】

請求項 46 乃至 48 のいずれかにおいて、

インジウム（In）及びスズ（Sn）を含む塗布液を前記基板上に塗布し、前記透明導電性塗布膜を塗布ITO膜にて形成することを特徴とする薄膜デバイスの製造方法。

【請求項 50】

請求項 49 において、

前記第2熱処理工程後に、前記塗布ITO膜表面に金属メッキを施す工程をさらに有することを特徴とする薄膜デバイスの製造方法。

【請求項 51】

請求項 49 において、

前記塗布ITO膜のコンタクト面に、導電性スパッタ膜をスパッタ法により形成する工程をさらに有することを特徴とする薄膜デバイスの製造方法。

【請求項 52】

請求項 35 乃至 51 において、

前記液体の塗布工程では、前記基板上の塗布領域にのみ前記液体を塗布して、パターンニングされた塗布膜を基板上に形成することを特徴とする薄膜デバイスの製造方法。

【請求項 53】

複数の吐出口を有する塗布液吐出ノズルを用意し、

基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させながら、基板上の塗布領域にのみ前記塗布液を吐出して、パターンニングされた塗布膜を基板上に形成することを特徴とする薄膜デバイスの製造方法。

【請求項 54】

請求項 53 において、

複数の前記吐出口は、前記塗布液の吐出状態及び非吐出状態がそれぞれ独立に制御され、各々の前記吐出口での塗布タイミングを制御しながら、前記基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させることを特徴とする薄膜デバイスの製造方法。

【請求項 55】

請求項 53 または 54 において、

前記塗布液がレジスト液であり、前記レジスト液を所定のパターンに従って塗布した後に、熱処理して、レジスト膜をパターン形成することを特徴とする薄膜デバイスの製造方法。

【請求項 56】

請求項 53 または 54 において、

前記塗布液が前記基板上にパターン形成される薄膜の構成成分を含む液であり、前記塗布液を所定のパターンに従って塗布した後に、熱処理して前記薄膜をパターン形成することを特徴とする薄膜デバイスの製造方法。

【請求項 57】

請求項 56 において、

前記薄膜は、所定パターンの導電層であることを特徴とする薄膜デバイスの製造方法。

【請求項 58】

請求項 56 において、

前記薄膜は、所定パターンの絶縁層であることを特徴とする薄膜デバイスの製造方法。

【請求項 59】

請求項 58 において、

前記絶縁層には、コンタクトホールが同時に形成されることを特徴とする薄膜デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、薄膜トランジスタ（以下T F Tと略す）などの薄膜積層構造を含む薄膜デバイス及びその製造方法に関し、特に初期の設備投資が少なく、低コストで製造可能な薄膜デバイス及びその製造方法に関する。本発明はさらに、その薄膜デバイスを用いた液晶パネル及び電子機器に関する。

【背景技術】

【0002】

近年、この種の薄膜デバイスを用いた液晶表示装置はノート型パソコン、車載用のナビゲーションシステム、ビデオカメラ、各種の携帯情報機器などに使用され、応用分野と生産数量が急速に拡大している。これは、液晶表示装置の価格低下と、画面サイズの拡大、解像度向上、低消費電力化などの性能の向上に依っている。しかし、さらなる市場の拡大、応用分野の拡大のためには、より一層のコスト低減が求められている。 10

【0003】

液晶表示装置の主流は、T F Tを画素用スイッチング素子とするアクティブマトリクス型液晶表示装置である。この液晶表示装置はT F Tとそれに接続される画素電極がマトリクス状に形成されるT F T基板と、共通電極が形成される対向基板の間に液晶が封入されて構成される。図17にT F T基板60の主要部を示す。図17において、列方向に配線される複数のソース線またはデータ信号線S1、S2、・・・Snと、行方向に配線される複数のゲート線または走査信号線G1、G2、・・・Gmの各交点付近の画素位置に、T F T61が形成される。このT F T61のソース電極はソース線に接続され、ドレイン電極は画素電極62に接続される。ソース線から供給されるデータ信号は、ゲート線から供給される走査タイミング信号に基づいて、T F T61を介して画素電極62に印加される。液晶は、画素電極62と共通電極（図示せず）間の電界によりその状態が変化して、表示駆動される。 20

【0004】

液晶表示装置は、T F T基板60と対向基板間への液晶封入などのパネル組立、ソース線やゲート線を駆動する駆動回路の実装などにより構成されるが、そのコストはT F T基板60のコストに大きく依存している。そしてT F T基板60のコストはT F Tの製造方法に依存する。駆動回路の一部は、その能動素子をT F Tにより構成することで、T F T基板60上に形成されることもあるが、この場合には特に、液晶表示装置のコストの中に占めるT F T基板のコストの割合が高くなる。 30

【0005】

ここでT F Tは、絶縁層、導電層、ソース、ドレイン及びチャネル領域を有するシリコン半導体層を少なくとも有する複数の薄膜から成る薄膜積層構造を有する。T F Tのコストは、この薄膜積層構造の製造コストの大きく依存している。

【0006】

この薄膜積層構造のうちの絶縁層の形成には、一般にN P C V D（Nomal Pressure Chemical Vapor Deposition）では膜厚の均一性が低いために、L P（Low Pressure）C V DやP E（Plasma Enhanced）C V Dが用いられる。金属層で代表される導電層は、スパッタにより形成される。シリコン半導体層を形成するためのシリコン膜も、P E C V DやL P C V Dにて形成される。さらに、このシリコン膜に対して、イオン打ち込み法やイオンドーピング法により不純物を導入する方法が用いられていた。あるいは、ソース・ドレイン領域となる高濃度不純物領域は、C V D装置により、不純物ドーパのシリコン膜で形成する方法が採用されていた。 40

【特許文献1】特開平6-281958号公報

【特許文献2】特開昭61-78165号公報

【特許文献3】特開平3-102324号公報

【特許文献4】特開平5-105486号公報

【特許文献5】特開平8-32085号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述の各種成膜に用いられるCVD装置、スパッタ装置などはいずれも真空下にて処理する真空処理装置であり、大規模な真空排気設備を必要として初期投資コストが増大している。さらに、真空処理装置では、真空排気、基板加熱、成膜、ベントの順に基板が搬送されることにより、成膜などの処理がなされる。このため基板雰囲気は大気－真空に置換する必要があり、スループットにも限界がある。

また、イオン打ち込み装置やイオンドーピング装置も基本的に真空処理装置であり上記と同じ問題が生ずる。さらにこのイオン打ち込み装置やイオンドーピング装置では、プラズマの生成、イオンの引き出し、イオンの質量分析（イオン打ち込み装置の場合）、イオンの加速、イオンの集束、イオンの走査など極めて複雑な機構が必要であり、初期投資がかなり高価となる。

10

【0008】

このように、薄膜積層構造を製造するための薄膜形成技術やその加工技術は、基本的にはLSIの製造技術と同様である。従って、TFT基板のコスト低減の主要な手段は、TFTを形成する基板サイズの大形化、薄膜形成とその加工工程の効率向上及び歩留まり向上である。

【0009】

しかし、コスト低減と大型の液晶表示装置の製造とを目的とした基板サイズの大形化は、真空処理装置内での基板の高速搬送の障害になるだけでなく、成膜工程の熱ストレスによって基板が割れ易くなるなどの問題があり、成膜装置のスループット向上は極めて困難である。また、基板サイズの大形化は、同時に成膜装置の大形化を強いることになる。この結果、真空排気される容積の増大に起因した成膜装置の価格アップにより、初期投資のさらなる増大を招くことになり、結局大幅なコスト低減が困難となる。

20

【0010】

尚、TFTの歩留まり向上はコスト低減の有力な手段であるが、既に極限に近い歩留まりが達成されており、大幅な歩留まり向上は数字的にも困難な状況になっている。

【0011】

また、各種層のパターニングのために、フォトリソグラフィ工程が実施されている。このフォトリソグラフィ工程では、レジスト膜の塗布工程、露光工程、現像工程が必要となる。さらにその後にエッチング工程、レジスト除去工程が必要であり、パターニングのための工程が薄膜形成方法の工程数を増大する要因ともなっている。これが薄膜デバイスの製造コストアップの原因ともなっている。

30

【0012】

このフォトリソグラフィ工程の中のレジスト塗布工程についても、基板上に滴下されたレジスト液のうち、スピン塗布後にレジスト膜として残存するのは1%に満たない量であり、レジスト液の使用効率が悪化しているという問題がある。

【0013】

また、露光工程に用いられる大型の露光装置にかわる低コストな方法として、印刷法などが提案されているが、加工精度などの問題があり実用には至っていない。

【0014】

前述のように、現在の液晶表示装置は市場から大幅な価格低減を要求されいながら、TFT基板の大幅なコスト低減が困難な状況にある。

40

【0015】

本発明の目的は、液晶表示基板等に用いられる薄膜積層構造の一部または全部の薄膜を、真空処理装置を用いずに成膜して、初期投資コスト及びランニングコストの低減と共にスループットを高めて、もって製造コストを大幅に低減することができる薄膜デバイス及びその製造方法を提供することにある。

【0016】

本発明の他の目的は、塗布膜により薄膜を形成してコストダウンを図りながら、CVD膜、スパッタ膜の特性に近づけることのできる薄膜デバイス及びその製造方法を提供する

50

ことにある。

【0017】

本発明のさらに他の目的は、塗布膜により薄膜を形成する際の塗布液の消費量を低減して、コストダウンを図ることのできる薄膜デバイス及びその製造方法を提供することにある。

【0018】

本発明のさらに他の目的は、フォトリソグラフィ工程を用いずに形成膜のパターニングを可能とし、もってコストダウンを図ることができる薄膜デバイス及びその製造方法を提供することにある。

【0019】

本発明のさらに他の目的は、塗布膜により画素電極を形成することにより、液晶と接する面を平坦化することができる薄膜デバイス及びそれを用いた液晶パネル並びに電子機器を提供することにある。

【0020】

本発明のさらに他の目的は、配線層をブラックマトリクスのための遮光層として兼用でき、しかも開口率の高い薄膜デバイス、液晶パネル及びそれを用いた電子機器を提供することにある。

【0021】

本発明のさらに他の目的は、低コストの薄膜デバイスを用いることで、コストダウンを図ることのできる液晶パネル及び電子機器を提供することにある。

【課題を解決するための手段】

【0022】

本発明の一態様によれば、少なくとも1層の絶縁層と少なくとも1層の導電層を含む複数層の薄膜から成る薄膜積層構造を有する薄膜デバイスであって、

前記薄膜積層構造のうちの少なくとも1層の前記薄膜が、該薄膜の構成成分を含む液体が塗布された後に熱処理されて得られる塗布膜（シロキサン結合を基本構造とするSpin On Glass膜を除く）にて形成されていることを特徴とする。

【0023】

この薄膜デバイスの製造方法は、

基板上に、該薄膜の構成成分を含む塗布液を塗布する工程と、

前記基板上的塗布面に熱処理を施して塗布膜（シロキサン結合を基本構造とするSpin On Glass膜を除く）を形成する工程と、
を有する。

【0024】

本発明は、薄膜積層構造のうちの少なくとも1層が、真空処理装置によらずに塗布膜として形成される。この種の塗布膜として、平坦化層として用いられる、シロキサン結合を基本構造とするSpin On Glass（SOG）膜が知られている。しかし、有機SOG膜は酸素プラズマ処理に対してエッチングされ易く、無機SOG膜は数千Åの膜厚でもクラックが発生し易いなどの問題があり、単層で層間絶縁膜などに使用されることは殆どなく、CVD絶縁膜の上層の平坦化層として利用される程度である。

【0025】

本発明は、このSOG膜以外の塗布膜により、薄膜積層構造を構成する絶縁層や導電層自体を形成するものであり、同時に薄膜の平坦化も可能となる。この塗布膜は、CVD装置やスパッタ装置などの真空処理装置によらずに形成できるので、量産ラインを従来に比較して極めて少ない投資で構築することができ、製造装置のスループットが高くでき、薄膜デバイスのコストを大幅に削減することができる。

【0026】

前記薄膜積層構造としては、半導体層を含むもの、薄膜トランジスタを含むもの、下地絶縁層や上層の保護用絶縁層を含むものなど、種々の構造が対象となる。

【0027】

10

20

30

40

50

このとき、薄膜積層構造に含まれる全ての絶縁層を塗布膜することが好ましい。ただし、薄膜トランジスタの特性を確保するのに膜質の条件が厳しいゲート絶縁層は、塗布膜以外の方法で形成しても良い。

【0028】

特に本発明の目的であるデバイスコストを低減するには、薄膜積層構造に含まれる2層以上の薄膜が塗布膜にて形成されていることが望ましい。

【0029】

絶縁層は、Si-N結合を有するポリマー（ポリシラザン）を含む液体が塗布されかつ酸素雰囲気にて第1の熱処理がなされて得られるSiO₂の塗布膜にて形成することができる。上記の組成で示されるポリシラザンは、クラック耐性が高く、耐酸素プラズマ性があり、単層でもある程度の膜厚の絶縁層として使用できる。 10

【0030】

この絶縁層は、第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりもその界面が清浄にされていることが好ましい。この第2の熱処理を、レーザアニールまたはランプアニールにより、高温短時間にて実施することができる。

【0031】

半導体層は、シリコン粒子を含む液体が塗布されかつ第1の熱処理がなされたシリコン塗布膜中に、不純物が含有されて構成される。

【0032】

この半導体層も、第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりもその結晶性が向上されていることが好ましい。この第2の熱処理も、レーザアニールまたはランプアニールにより、高温短時間にて実施することができる。

【0033】

シリコン塗布膜中に不純物を拡散させる方法として、
前記シリコン塗布膜上に、不純物含有層を塗布形成する工程と、
前記不純物含有層を加熱して、前記不純物を前記シリコン塗布膜中に拡散させる工程と、
を含むことが好ましい。 20

【0034】

従来、ソース・ドレイン領域となる高濃度不純物領域はCVD装置により不純物ドーパのシリコン膜で形成する方法や、イオン打ち込み法やイオンドーピング法により不純物を導入する方法が用いられていたが、本発明では液体を塗布し焼成することにより不純物を含有する薄膜を形成し、該薄膜をランプアニールやレーザアニールなどの高温短時間の熱処理をして高濃度不純物領域を形成することによりソース・ドレイン領域を形成する。イオン打ち込み装置やイオンドーピング装置は基本的に真空装置であると同時にプラズマの生成、イオンの引き出し、イオンの質量分析（イオン打ち込み装置の場合）、イオンの加速、イオンの集束、イオンの走査など極めて複雑な機構が必要であり、不純物を含有する薄膜を塗布して熱処理をする装置に比較して装置価格の差は歴然としている。 30

【0035】

導電層は、2つの形成方法があり、その一つは金属薄膜を形成する方法であり、他の一つは透明導電薄膜を形成する方法である。

【0036】

導電層として金属薄膜を形成するには、導電性粒子を含む液体が塗布された後に、第1の熱処理により液体成分を蒸発させ、これにより導電性塗布膜を形成できる。

【0037】

この導電層も、第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりも低抵抗にされていることが好ましい。この第2の熱処理も、レーザアニールまたはランプアニールにより、高温短時間にて実施することができる。 30

【0038】

導電層として透明導電薄膜を形成する方法としては、
前記塗布面を酸素雰囲気もしくは非還元性雰囲気にて熱処理する第1熱処理工程と、
前記塗布面を水素雰囲気もしくは還元性雰囲気にて熱処理する第2熱処理工程と、
を有することが好ましい。

【0039】

導電層として透明電極を形成する場合には、塗布液として例えばインジウムとスズを含む有機酸が用いられる。この場合、好ましくは塗布後に粘度制御用に用いられた溶剤を蒸発（例えば100℃程度の温度で）させた後に、上述の第1、第2の熱処理が実施される。第1の熱処理でインジウム酸化物およびスズ酸化物が形成され、第2の熱処理は水素雰囲気もしくは還元性雰囲気にて還元処理を行う。 10

【0040】

ここで、前記第2熱処理工程での熱処理温度を、前記第1熱処理工程での熱処理温度よりも低く設定することが好ましい。

【0041】

このようにすると、第1熱処理工程を経た透明導電性塗布膜が、第2熱処理工程にて熱劣化することを防止できる。

【0042】

前記第2熱処理工程後に、前記基板の温度が200℃以下になるまで、非酸化雰囲気に保持するとよい。こうすると、第2熱処理工程にて還元処理を受けた透明導電性塗布膜が大気中で再酸化することが抑制されるので、透明導電性塗布膜のシート抵抗値が増大しない。再酸化を確実に防止するには、大気への取り出し時の基板温度を100℃以下とすると良い。特に、塗布ITO膜の比抵抗は膜中の酸素欠陥が多いほど低くなるので、大気中の酸素によって透明導電性塗布膜に再酸化が起きると比抵抗が増大するからである。 20

【0043】

この透明導電性塗布膜を形成するには、インジウム（In）及びスズ（Sn）を含む塗布液が前記基板上に塗布される。この塗布膜は第1熱処理にて酸化されてITO膜になる。この塗布ITO膜を用いれば、導電層を透明電極としても利用できる。

【0044】

塗布ITO膜表面に金属メッキがなされると、透明電極以外の導電層として利用でき、しかも金属メッキによりコンタクト抵抗を下げることもできる。 30

【0045】

このコンタクト抵抗を下げるためには、塗布ITOのコンタクト面に、スパッタにより形成された導電性スパッタ膜をさらに設けると良い。

【0046】

薄膜積層構造としては、複数のデータ線と複数の走査線の各交点付近に形成される各画素毎に配置された画素スイッチング素子と、それに接続された画素電極とを含むアクティブマトリクス基板を挙げることができる。

【0047】

このアクティブマトリクス基板に用いられる代表的な画素スイッチング素子は、薄膜トランジスタである。この画素スイッチング素子としての薄膜トランジスタは、前記データ線に電氣的に接続されるソース領域と、前記走査線に電氣的に接続されるゲート電極と、前記画素電極に電氣的に接続されるドレイン電極と、を含んでいる。 40

【0048】

このような、薄膜積層構造では、画素電極を導電性塗布膜にて形成することが好ましい。この画素電極が形成される面は通常段差があるが、導電性塗布膜にて画素電極を形成すると、導電性塗布膜の表面はほぼ平坦になるからである。このため、ラビングが良好に実施され、リバースチルドドメインの発生を防止できる。

【0049】

画素電極に用いられる導電性塗布膜としては、塗布ITO膜が好ましい。塗布ITOは 50

透明電極となり、透過型液晶表示装置のアクティブマトリクス基板を製造するのに適している。

【0050】

画素スイッチング素子としての薄膜トランジスタは、前記ゲート電極の表面側に形成された層間絶縁膜を有し、前記データ線および前記画素電極が、前記層間絶縁膜に形成されたコンタクトホールを介して、前記ソース領域および前記ドレイン領域にそれぞれ電氣的接続される構造を有することができる。

【0051】

このとき、層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に形成された上層側層間絶縁膜とを有することができる。この場合、前記データ線は、前記下層側層間絶縁膜に形成された第1のコンタクトホールを介して前記ソース領域に電氣的に接続される。一方、前記画素電極は、前記下層側層間絶縁膜および前記上層側層間絶縁膜に形成された第2のコンタクトホールを介して、前記ドレイン領域に電氣的接続される。 10

【0052】

このように構成すると、データ線と画素電極とは異なる層に形成されるので、互いに重なり合う位置に形成されてもショートは生じない。このため、画素電極の外周縁を、データ線および走査線の上方に位置させることができる。

【0053】

こうすると、データ線及び走査線と、画素電極との間には、平面的に隙間が存在しなくなる。このため、データ線及び走査線がブラックマトリクスとして遮光機能を発揮することができる。従って、別工程を追加してブラックマトリクスだけのために遮光層を形成する必要がなくなる。 20

【0054】

また、画素電極の形成範囲が拡大されるので、画素領域の開口率も増大し、表示が明るくなる利点も生ずる。

【0055】

導電性塗布膜にて形成された画素電極は、導電性スパッタ膜を介してドレイン電極と電氣的に接続されることが好ましい。

【0056】

導電性塗布膜はスパッタ膜と比べてコンタクト抵抗が低いので、導電性スパッタを導電性塗布膜とソース領域との間に介在させれば、コンタクト抵抗を下げるができる。 30

【0057】

この導電性スパッタ膜もスパッタITO膜であることが好ましい。開口率を下げないためである。

【0058】

前記導電性塗布膜と前記導電性スパッタ膜とが同一パターンであると、画素電極のパターニング精度を上げることができる。なぜなら、レジストマスクとの密着性の高い導電性塗布膜にのみレジストマスクを形成し、導電性塗布膜と導電性スパッタ膜とを同時にパターニングできるからである。レジストマスクとの密着性の低い導電性スパッタにレジストマスクを形成する必要が無く、それに起因したパターニング精度の低下は生じないからである。 40

【0059】

前記導電性塗布膜と前記導電性スパッタ膜とが同一パターンでない場合には、前記導電性塗布膜の外周縁が、前記導電性スパッタ膜の外周縁よりも外側に位置していることが好ましい。

【0060】

この場合、導電性塗布膜と導電性スパッタ膜のそれぞれにレジストマスクを形成して、別工程にてそれぞれパターニングが実施される。このとき、画素電極の外周縁のパターン精度は、導電性スパッタ膜よりも大きい導電性塗布膜のパターン精度のみに依存する。従 50

って、レジストマスクとの密着性の低い導電性スパッタ膜のパターン精度による悪影響が、画素電極のパターン精度に及ばない。

【0061】

前記導電性スパッタ膜と前記データ線とを同層に位置させれば、両層は同一金属材料にて同時に形成することができる。

【0062】

これに代えて、前記導電性スパッタ膜を前記データ線よりも上層に位置させることもできる。この場合には、各膜の形成工程が別工程となるため、同一材料、異種材料の選択が可能となる。

【0063】

前記層間絶縁膜が、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に積層された上層側層間絶縁膜とを備え、前記上層側層間絶縁膜の表面上には、前記データ線と導電性スパッタ膜とを同層にて形成することができる。このとき、前記データ線は、前記下層側層間絶縁膜に形成された第1のコンタクトホールを介して前記ソース領域に電氣的に接続される。一方、前記導電性スパッタ膜は、前記上層側層間絶縁膜および前記下層側層間絶縁膜に形成された第2のコンタクトホールを介して前記ドレイン領域に電氣的に接続される。そして、前記導電性スパッタ膜の表面上に前記導電性塗布膜が積層される。

【0064】

これに代えて、前記下層側層間絶縁膜の表面上に前記データ線と前記導電性スパッタ膜とを同層で形成することができる。この場合、前記データ線は前記下層側層間絶縁膜に形成された第1のコンタクトホールを介して前記ソース領域に電氣的に接続される。前記導電性スパッタ膜は前記下層側層間絶縁膜に形成された第2のコンタクトホールを介して前記ドレイン領域に電氣的に接続される。そして、前記導電性塗布膜は、前記上層側層間絶縁膜の表面上に積層され、前記上層側層間絶縁膜に形成された第3のコンタクトホールを介して前記導電性スパッタ膜に電氣的に接続される。

【0065】

本発明の他の態様によれば、
上述した薄膜デバイスが形成されたアクティブマトリクス基板と、
前記アクティブマトリクス基板と対向して配置される対向基板と、
前記アクティブマトリクス基板と前記対向基板間に封入された液晶層と、
を設けて、液晶パネルを構成することができる。

【0066】

本発明のさらに他の態様によれば、その液晶パネルを有する電子機器を構成することができる。

【0067】

いずれの場合も、薄膜デバイスのコストダウンによって、液晶パネル及びそれを用いた電子機器の大幅なコストダウンが図れる。

【0068】

上述した液体の塗布工程では、前記基板上の塗布領域にのみ前記液体を塗布して、パターンニングされた塗布膜を基板上に形成することが好ましい。こうすると、工程の多いフォトリソグラフィ工程が不要となるからである。また、この塗布方法によると塗布液の消費量も減少するので、ランニングコストを低下させることができる。

【0069】

本発明の薄膜デバイスの製造方法のさらに他の態様によれば、
複数の吐出口を有する塗布液吐出ノズルを用意し、
基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させながら、基板上の塗布領域にのみ前記塗布液を吐出して、パターンニングされた塗布膜を基板上に形成することを特徴とする。

【0070】

10

20

30

40

50

この方法は例えばインクジェット方式を利用して実現できる。こうすると、無駄な塗布液を塗布せずに節約できることに加えて、フォトリソグラフィ工程が不要であるので、設備コストの低減とスループットの向上に大きく寄与する。例えばレジスト膜の形成においては、従来の塗布技術では滴下量の1%前後の量しか塗布膜として利用されていなかったが、本発明により滴下量の10%以上のレジストが塗布膜として利用できる。この塗布効率の高さはレジストだけでなく、本発明による他の塗布膜についても当然有効であり、塗布材料の削減と塗布工程の時間短縮により液晶表示装置のコスト低減を達成できるものである。

【0071】

複数の前記吐出口は、前記塗布液の吐出状態及び非吐出状態がそれぞれ独立に制御され、各々の前記吐出口での塗布タイミングを制御しながら、前記基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させることが好ましい。より精密なパターン塗布が可能となるからである。 10

【0072】

このような塗布方法は、レジストパターンを形成するためのレジスト塗布の他、上述した塗布膜形成のための各種塗布液の塗布に適用できる。例えば塗布絶縁膜をパターン塗布できれば、塗布と同時にコンタクトホールも形成できる。

【0073】

このように本発明によれば、一部または全ての薄膜を液体を塗布し熱処理することにより形成できるので、価格が安く且つ高いスループットを有する製造装置で薄膜デバイスを製造できる。 20

【発明を実施するための最良の形態】

【0074】

以下本発明を図面に基づいて詳しく説明する。

【0075】

(第1実施例)

(薄膜デバイス構造の説明)

TFTを含む薄膜デバイスの2つの基本的構造例を、図3及び図4にそれぞれ示す。

【0076】

図3はコプレーナ型の多結晶シリコンを用いたTFTの断面図である。ガラス基板10上に下地絶縁膜12が形成され、その上に多結晶シリコンTFTが形成されている。図3において、多結晶シリコン層14は不純物が高濃度にドーピングされたソース領域14S及びドレイン領域14Dと、それらの間のチャンネル領域14Cで構成される。この多結晶シリコン層14の上にゲート絶縁膜16、さらにその上にゲート電極18及びゲート線(図示せず)が形成される。層間絶縁膜20及びその下のゲート絶縁膜16に形成された開口部を介して、透明導電膜からなる画素電極22がドレイン領域14Dに接続され、ソース線24がソース領域14Sに接続される。最上層の保護膜26は省略されることもある。尚、下地絶縁膜12はガラス基板10からの汚染を防ぎ、多結晶シリコン膜14が形成される表面状態を整えることを目的としているが、省略されることもある。 30

【0077】

図4は、逆スタガ型の非晶質シリコンTFTの断面図である。ガラス基板30上に下地絶縁膜32が形成され、その上に非晶質シリコンTFTが形成される。尚、下地絶縁膜32は省略されることが多い。図4において、ゲート電極34及びそれに接続されたゲート線の下に、1層または多層のゲート絶縁膜36が形成される。ゲート電極34の上には、非晶質シリコンのチャンネル領域38Cが形成され、さらに、非晶質シリコン中に不純物が拡散されることでソース・ドレイン領域38S、38Dが形成されている。また、画素電極40は、金属配線層42を介して、ドレイン領域38Dと電氣的に接続され、ソース線44はソース領域38Sと電氣的に接続される。なお、金属配線層42とソース線44とは同時に形成される。 40

【0078】

尚、チャネル領域 38C 上に形成されたチャネル保護膜 46 は、ソース・ドレイン領域膜 38S 及び 38D をエッチングする際にチャネル領域 38C を保護する膜であり、省略されることもある。

【0079】

図 3 及び図 4 は、基本的な TFT は構造を示すものであり、これらのバリエーションは非常に多岐にわたっている。例えば、図 3 のコプレーナ型の TFT においては、開口率を上げるために画素電極 22 とソース線 24 の間に第 2 の層間絶縁膜を設けて、画素電極 22 とソース線 24 の間隔を狭める構造とすることができる。あるいは、ゲート電極 18 に接続される図示しないゲート線やソース線 24 の配線抵抗の低減や配線の冗長化を目的として、該ゲート線、ソース線を多層膜とすることができる。さらには、TFT 素子の上または下に、遮光層を形成することもできる。図 4 の逆スタガ型の TFT においても、開口率向上、配線抵抗の低減、欠陥低減を目的とした配線や絶縁膜の多層化などを行うことができる。

10

【0080】

これらの改良構造はいずれも、図 3 または図 4 の基本構造に対して、TFT を構成する薄膜の積層数が増える場合がほとんどである。

【0081】

下記の実施例では、図 3、図 4 で示した薄膜積層構造を構成する各種薄膜を、真空処理装置の不要な塗布膜にて形成する場合について説明する。

【0082】

20

(塗布絶縁膜の形成方法)

図 1 は、液体を塗布し熱処理することにより薄膜例えば絶縁膜を形成する塗布型絶縁膜形成装置を示す。塗布された後に熱処理されることで絶縁膜となる液体として、ポリシラザン (Si-N 結合を有する高分子の総称である) を挙げることができる。ポリシラザンのひとつは、 $[\text{SiH}_2\text{NH}]_n$ (n は正の整数) であり、ポリペルヒドロシラザンと言われる。この製品は、東燃 (株) より「東燃ポリシラザン」の製品名で市販されている。なお、 $[\text{SiH}_2\text{NH}]_n$ 中の H がアルキル基 (例えばメチル基、エチル基など) で置換されると、有機ポリシラザンとなり、無機ポリシラザンとは区別されることがある。本実施例では無機ポリシラザンを使用することが好ましい。

【0083】

30

このポリシラザンをキシレンなどの液体に混合して、基板上に例えばスピン塗布する。この塗布膜は、水蒸気または酸素を含む雰囲気中で熱処理することにより、 SiO_2 に転化する。

【0084】

比較例として、塗布された後に熱処理することで絶縁膜となる SOG (Spin-on-Glass) 膜を挙げることができる。この SOG 膜は、シロキサン結合を基本構造とするポリマーで、アルキル基を有する有機 SOG とアルキル基を持たない無機 SOG があり、アルコールなどが溶媒として使用される。SOG 膜は平坦化を目的として LSI の層間絶縁膜に使用されている。有機 SOG 膜は酸素プラズマ処理に対してエッチングされ易く、無機 SOG 膜は数千 Å の膜厚でもクラックが発生し易いなどの問題があり、単層で層間絶縁膜などに使用されることは殆どなく、CVD 絶縁膜の上層の平坦化層として利用される。

40

【0085】

この点、ポリシラザンはクラック耐性が高く、また耐酸素プラズマ性があり、単層でもある程度厚い絶縁膜として使用可能である。従って、ここではポリシラザンを使用する場合について説明する。

【0086】

なお本発明は、薄膜積層構造の少なくとも 1 層好ましくは複数層を、シロキサン結合を基本構造とする SOG 膜以外の塗布膜にて形成するものであり、この条件を満足する限りにおいて、SOG 膜を付加的に使用するものであっても良い。

【0087】

50

図1において、ローダ101は、カセットに収納されている複数枚のガラス基板を一枚ずつ取り出し、スピンコータ102にガラス基板を搬送する。スピンコータ102では、図12に示すように、ステージ130上に基板132が真空吸着され、ディスペンサ134のノズル136からポリシラザン138が基板132上に滴下される。滴下されたポリシラザン138は基板中央部に図12のように広がる。ポリシラザンとキシレンの混合液はキャニスター缶と呼ばれる容器に入れられおり、図1, 図12に示す液体保管部105に保管される。ポリシラザンとキシレンの混合液は、液体保管部105から供給管140を介してディスペンサ134に供給され、基板上に塗布される。さらに、ステージ130の回転により、図13に示すように、ポリシラザン138がガラス基板132の全面に引き延ばされて塗布される。このとき、大部分のキシレンは蒸発する。ステージ130の回転数や回転時間は、図1に示す制御部106で制御され、数秒間で1000rpmまで回転数が上昇し、1000rpmで20秒程度保持され、さらに数秒後に停止する。この塗布条件にて、ポリシラザンの塗布膜の膜厚は約7000Åとなる。

10

20

30

40

50

【0088】

次に、ガラス基板は熱処理部103に搬送され、水蒸気雰囲気中で温度100-350℃、10-60分間熱処理され、SiO₂に変成される。この熱処理は、温度制御部107で制御される。熱処理部103は、塗布型絶縁膜形成装置の処理能力を高くするため、前記スピンコータ102のタクトタイムと熱処理時間が整合するように、熱処理部103の長さや該炉内の基板収容枚数が設定される。ポリシラザンが混合される液体には例えばキシレンが用いられ、また変成時に水素やアンモニアなどが発生するため、少なくともスピ

【0089】

図1に示す本発明の塗布型絶縁膜形成装置は、従来のCVD装置に比較して、装置構成が著しく簡単であり、従って装置価格が格段に安くなる。しかもCVD装置に比較してスループットが高く、メンテナンスが簡単であり装置の稼働率が高いなどの特徴がある。この特徴により液晶表示装置のコストを大幅に低減することができる。

【0090】

図1に示す塗布型絶縁膜形成装置では、図3に示す下地絶縁膜12、ゲート絶縁膜16、層間絶縁膜20、保護膜26の全ての絶縁膜を成膜することができる。また、画素電極22とソース配線24の間に絶縁膜を追加形成する場合に、その追加の絶縁膜を図1の装置を利用して塗布膜にて形成することで、絶縁膜表面を平坦化する効果もあり、特に有効である。尚、下地絶縁膜12や保護膜26は省略されることもある。

【0091】

ここで、ゲート絶縁膜16はTFTの電気的特性を左右する重要な絶縁膜であり、膜厚、膜質と同時にシリコン膜との界面特性も制御されなければならない。

【0092】

このためには、ゲート絶縁膜16の塗布形成前のシリコン膜14の表面状態を清浄にすることの他に、図2に示す塗布型絶縁膜形成装置を使用することが好ましい。図2に示す装置は、図1に示す装置の熱処理部103と同じ機能の第1の熱処理部103Aと、アンローダ104との間に、第2の熱処理部103Bを設けている。この第2の熱処理部103Bでは、第1の熱処理部103Aでの上述した熱処理の後に、第1の熱処理部103Aでの熱処理温度より高い400-500℃にて30-60分の熱処理を行うか、あるいはランプアニール、レーザアニールなどの高温短時間の熱処理を行うのが望ましい。

【0093】

これにより、ゲート絶縁膜16などの絶縁膜は、図1の熱処理部103での熱処理のみの場合と比較して、より緻密化され、膜質及び界面特性が改善される。

【0094】

なお、界面特性に関して言えば、塗布絶縁膜に比べて真空雰囲気中で形成されるCVD膜の方が制御し易いため、高性能なTFTが要求される場合には、TFTを構成する絶縁膜

のうちゲート絶縁膜はCVD膜で形成し、その他の絶縁膜を本発明による塗布絶縁膜で形成してもよい。

【0095】

図4のTFE構造においては、下地絶縁膜32、ゲート絶縁膜36、チャネル保護膜46に本発明の塗布絶縁膜を使用できる。

【0096】

(塗布シリコン膜の形成方法)

図1または図2に示す塗布液保管部105内に保管される塗布液として、シリコン粒子を含む液体を用意することで、図1または図2の装置と同じ装置を利用して、塗布シリコン膜を形成することができる。

10

【0097】

塗布液に含有されるシリコン粒子の粒径は、例えば0.01~10 μ mのものを使用することができる。このシリコン粒子の粒径は、塗布されるシリコン膜の膜厚に応じて選択される。本発明者等が入手したシリコン粒子の粒径は、1 μ m程度のものが10%、10 μ m以下のものが95%を占めた。この粒径のシリコン粒子を、微粒子化装置によりさらに微粒子化することで、所望の粒径のシリコン粒子を得ることができる。

【0098】

所定範囲の粒径を持つシリコン粒子は例えばアルコール等の液体に混ぜられた懸濁液とされ、塗布液保管部105に保管される。そして、ローダ105よりスピコート106に搬入された基板上に、シリコン粒子とアルコールとの懸濁液を吐出する。そして、塗布絶縁膜の形成と同様な塗布条件にてステージ130を回転させて、シリコン粒子の塗布膜を基板上にて引き延ばし、このとき大部分のアルコールが蒸発される。

20

【0099】

次に、熱処理部103または第1の熱処理部103Aにて、塗布絶縁膜形成の場合と同様な熱処理条件にて基板を熱処理する。このとき、シリコン同士の反応により結晶化されたシリコン膜が基板に形成される。

【0100】

図2の装置を用いた場合には、さらに第2の熱処理部103Bにて、その基板を第1の熱処理部103Aでの熱処理温度より高い温度で熱処理する。この熱処理は、レーザアニールまたはランプアニールにより短時間で行うことが好ましい。

30

【0101】

この第2の熱処理部103Bにて再度熱処理することで、第1の熱処理部103Aのみで熱処理されたものと比較して、シリコン膜の結晶性、緻密性及び他の膜との密着性が向上する。

【0102】

図5、図6は、塗布シリコン膜及び塗布絶縁膜を連続して形成する成膜装置の構成図である。

【0103】

図5の成膜装置は、ローダ101、第1のスピコート102A、第1の熱処理部103A、第2の熱処理部103B、第2のスピコート102B、熱処理部103及びアンローダ104をインライン接続している。第1のスピコート102Aには、シリコン粒子とアルコールとの懸濁液を保管する第1の塗布液保管部105Aと第1の制御部106Aとが接続される。第2のスピコート部102Bには、ポリシラザンとキシレンとの混合液を保管する第2の塗布液保管部105Bと第2の制御部106Bとが接続される。

40

【0104】

図5の装置を使用すれば、ロード、アンロードの回数が1回ずつ減るので、スループットがさらに高まる。

【0105】

図6の成膜装置は、図5の成膜装置の第2の熱処理部103Bを、塗布絶縁膜の熱処理部103の後に配置した変形例を示している。この場合は、絶縁膜のキャップ層がついた

50

シリコン膜を、レーザアニール等を実施する第2の熱処理部103Bによって結晶化することになる。絶縁膜はシリコン表面の反射率を下げる効果があるので、レーザエネルギーが効率よくシリコン膜に吸収されるという利点がある。また、レーザアニール後のシリコン膜の表面が平滑であることなどの特徴がある。なお、図6中の熱処理部103と第2の熱処理部103Bとを、一つの熱処理部で兼用しても良い。この場合には、この兼用された一つの熱処理部において、塗布絶縁膜の焼成と、その上のシリコン膜の結晶化の熱処理とを、同時に行うことができる。

【0106】

(塗布シリコン膜の他の形成方法)

塗布液を塗布し、その後熱処理することによりシリコン膜を形成する他の塗布型シリコン膜形成装置を図7に示す。CVD法でシリコン膜を形成するときにはモノシラン(SiH_4)やジシラン(Si_2H_6)が用いられるが、本発明ではジシランやトリシラン(Si_3H_8)などの高次のシランを用いる。シラン類の沸点は、モノシランが -111.9°C 、ジシランが -14.5°C 、トリシランが 52.9°C 、テトラシラン(Si_4H_{10})が 108.1°C である。モノシランとジシランは常温、常圧で気体であるが、トリシラン以上の高次のシランは液体である。ジシランはマイナス数十 $^\circ\text{C}$ にすれば液体となり塗布膜として利用することができる。ここでは主にトリシランを使用する場合について説明する。

【0107】

図7において、ローダ201でカセットからガラス基板が1枚ずつ取り出されてロードロック室202に搬送され、ロードロック室202は排気装置711により減圧される。所定の圧力に達した後、ガラス基板は前記圧力と同程度の減圧状態となっているスピンコータ203に移動し、トリシランがトリシラン保管部207からディスペンサを介してガラス基板上に塗布される。スピンコート部203では回転数数100乃至2000rpmで数秒から20秒基板が回転しトリシランがスピンコートされる。トリシランがスピンコートされたガラス基板は前記圧力と同程度となっている第1の熱処理部204に直ちに搬送され、 $300-450^\circ\text{C}$ で数10分熱処理され膜厚が数100Åのシリコン膜が形成される。次に、ガラス基板は前記圧力と同程度となっている第2の熱処理部205に搬送され、レーザアニールやランプアニールなどの高温短時間の熱処理を受ける。これにより、シリコン膜が結晶化される。次に、ガラス基板はロードロック室206に搬送され、窒素ガスにより大気圧に戻された後、アンローダ207に搬送されカセットに収納される。

【0108】

ここで排気装置211は、2つのロードロック室202、206に接続される1台と、スピンコート部203、第1、第2の熱処理部204、205に接続される1台の計2台で構成するのが望ましい。そしてスピンコータ203、第1の熱処理部204及び第2の熱処理部205は、排気装置211により常に排気され、不活性雰囲気中の減圧状態($1.0-0.5$ 気圧程度)が保持される。シラン類は毒性がありガス化したシラン類が装置外に漏れないようにするためである。モノシランの許容濃度(TLV)は5ppmであり、ジシランなど高次のシランも同程度の許容濃度であると考えられている。また、シラン類は常温空气中で自然燃焼し、濃度が高いと爆発的に燃焼する。従って、少なくともスピンコータ203、第1、第2の熱処理部204、205に接続される排気装置211の排気は、シラン類を無害化する排ガス処理装置212に接続する。尚、図7の各処理室201~207は互いにゲートバルブで接続され、ガス化したシラン類が2つのロードロック室に流れ込まないように、ガラス基板の搬送時に該ゲートバルブが開閉される。

【0109】

スピンコータ203の主要部は図12とほぼ同じであるが、図7においてガラス基板が真空チャックされるステージの温度は、温度制御部210で制御されることが好ましい。ここで、トリシランのときは常温望ましくは 0°C 程度、ジシランを使用するときには -40°C 以下望ましくは -60°C 以下に制御される。また、ジシランやトリシランの保管部208や供給ライン(図示せず)も温度制御部210により、ステージ温度とほぼ同程度の温度に制御されることが好ましい。

【0110】

ジシランやトリシランを液体として塗布するためには、これらの沸点より低い温度で塗布作業が行われなければならないが、トリシランの蒸気圧は常温常圧で約0.4気圧、ジシランの蒸気圧は常圧、-40℃で約0.3気圧であることを考慮し、該蒸気圧をできるだけ下げることが必要がある。このために、これらシラン類や基板の温度をできるだけ下げることが好ましい。

【0111】

ジシランやトリシランなどの蒸気圧をより低くし、塗布膜の均一性を向上させるために、スピコート203や第1、第2の熱処理部204、205を、不活性ガスによる加圧状態としてもよい。加圧状態ではジシランなどの沸点温度が上昇し、同じ温度における蒸気圧が低くなるため、スピコート203の温度を前述の設定温度より高めにし、室温に近い温度に設定することもできる。この場合には、万一トリシランなどが漏洩したときのことを考慮して、加圧状態が可能な構造の外側に減圧状態にできる2重構造とし、漏洩したトリシランなどを別に設ける排気装置で排気することが好ましい。この該排気ガスは、排ガス処理部212にて処理される。

10

【0112】

また、スピコート203や第1、第2の熱処理部204、205の内部に滞留するシランガスも、排気装置211で排気される。

【0113】

図8に示すシリコン膜形成装置は、図7に示すシリコン膜形成装置と、図1に示す絶縁膜形成装置をインライン結合したものである。即ち、図7の第2の熱処理部205とロードロック室206の間に、図1のスピコート部102及び熱処理炉103を導入した構成となっている。

20

【0114】

図8において、シリコン膜は第2の熱処理部205でレーザアニールにより結晶化される処理までは、図7の装置の動作と同じである。結晶化されたシリコン膜は、スピコート102において、ポリシラザンや無機のSOG膜が塗布される。次に熱処理部103において、塗布された膜が絶縁膜に変成される。

【0115】

スピコート203、第1、第2の熱処理部204、205は、図7と同様に不活性ガス雰囲気での減圧状態である。図1では絶縁膜のスピコート102及び熱処理部103は常圧であったが、図8の装置では不活性ガス雰囲気での減圧状態とする。このための排気は排気装置108で行う。

30

【0116】

図8により形成されるシリコン膜は、該シリコン膜の上に不活性雰囲気中で絶縁膜が形成されるため、大気に晒されることがない。従って、TFT素子の特性を左右するシリコン膜と絶縁膜の界面を制御できるので、TFT素子の特性や該特性の均一性を向上させることができる。

【0117】

なお、図8ではシリコン膜の上の絶縁膜形成はシリコン膜の結晶化の後で行ったが、図6の装置と同様にして、シリコン膜の第1の熱処理後に絶縁膜を形成し、シリコン膜の結晶化をその絶縁膜の熱処理後に行ってもよい。この場合も、図6の場合と同様に、絶縁膜のキャップ層がついたシリコン膜をレーザアニールによって結晶化することになる。絶縁膜はシリコン表面の反射率を下げる効果があるので、レーザエネルギーが効率よくシリコン膜に吸収されるという利点がある。また、レーザアニール後のシリコン膜の表面が平滑であることなどの特徴がある。

40

【0118】

(塗布シリコン膜への不純物拡散方法)

シリコン膜へ不純物を拡散させる方法は、従来のイオン注入装置などを用いて実施しても良いが、図10または図11に示すように、不純物含有絶縁層を塗布した後に、その下

50

層のシリコン膜に不純物を拡散させることが好ましい。

【0119】

この不純物含有絶縁膜の形成は、図2に示す装置と同じ装置を用いることができる。本実施例では、リングラスまたはボロンガラスを含むSOG膜を、不純物含有塗布膜として塗布するものとする。N型の高濃度不純物領域を形成する場合は、エタノール及び酢酸エチルを溶媒としてSi濃度が数wt%となるようにシロキサンポリマーを含有する液体に、該液体100mlあたり数百 μ gのP₂O₅を含有するSOG膜を不純物含有塗布膜として使用する。この場合、図2の塗布液保管部105に、その塗布液を保管し、スピコート102より該塗布液を基板上に塗布する。さらにスピコート102において、回転数が数1000rpmで基板を回転することで、前記SOG膜として数1000Åの膜厚が得られる。この不純物含有塗布膜は、第1の熱処理部103Aで300℃乃至500℃で熱処理され、数モル%のP₂O₅を含むリングラス膜となる。リングラス膜が形成されたTFT基板は、第2の熱処理部103Bにおいて、ランプアニールまたはレーザアニールの高温短時間の熱処理を受け、SOG膜中の不純物がその下層のシリコン膜中に固相拡散して、該シリコン膜中に高濃度不純物領域が形成される。TFT基板は最後にアンローダ104でカセットに収納される。

【0120】

このソース・ドレイン領域の形成では、塗布工程及び高温短時間のアニール工程とも1分以内の処理が可能であり、非常に高い生産性を有する。尚、熱処理工程は数10分程度必要であるが熱処理炉の長さや構造を工夫することによりタクト時間を削減できる。

【0121】

前記不純物含有塗布膜が塗布されたTFTの断面図を図10及び図11に示す。図10は図3に対応するコプレーナ型のTFTで、ガラス基板14に下地絶縁膜12が形成され、その上にシリコン層14がパターンニングされている。ゲート絶縁膜16はゲート電極18をマスクにエッチング除去され、ソース・ドレインとなるべき領域のシリコン層が一旦露出される。従って、不純物含有塗布膜50は前記シリコン膜のソース・ドレインとなる領域14S、14Dに接して形成される。そして、前述した高温短時間の熱処理により、不純物含有塗布膜50に含まれるリンが固相拡散により前記シリコン膜中に拡散し、シート抵抗が1K Ω /□以下のN型のソース・ドレイン領域14S、14Dが形成される。

【0122】

これ以降の工程は図3に示すTFTの断面図から分かるように、層間絶縁膜の形成、コンタクトホール開口、画素電極形成、ソース配線の順に形成される。ここで、層間絶縁膜形成の際、不純物含有塗布膜50を除去した後に改めて前述した塗布膜による層間絶縁膜を形成してもよいし、不純物含有塗布膜50の上に新たに層間絶縁膜を形成してもよい。不純物含有塗布膜50の上に新たに層間絶縁膜を形成する方法では、絶縁膜が2層になり液晶表示装置におけるソース線とゲート線の短絡欠陥が少なくなる。

【0123】

図11は図4に対応する逆スタガ型のTFTで、ガラス基板30上に下地絶縁膜32が形成され、その上にゲート電極35が形成され、さらにゲート絶縁膜34を介してシリコン層33がパターンニングされている。絶縁膜52は、チャンネル領域の保護膜であると同時に不純物拡散のマスクとなり、塗布絶縁膜により形成される。

【0124】

不純物含有絶縁膜54は、マスクとなる絶縁膜52及びシリコン膜33のソース・ドレイン領域となるべき領域33S、33Dに接して、塗布絶縁膜として形成される。不純物含有絶縁膜54が高温短時間の熱処理されると、不純物含有絶縁塗布膜54中に含まれるリンが固相拡散により前記シリコン膜33中に拡散し、シート抵抗が1K Ω /□程度のN型のソース・ドレイン領域33S、33Dが形成される。

【0125】

これ以降の工程は、図4に示すTFTの断面図から分かるように、不純物含有絶縁膜54を除去した後、画素電極、ソース配線及びドレイン電極と、それらの接続部の順に形成

される。

【0126】

本実施例によれば、図3に示すコブレナ型のTF Tにおいて、ソース・ドレイン領域の形成は、従来のイオン打ち込みやイオンドーピングの代わりに塗布膜の形成と高温短時間の熱処理により行われるので、安価で且つスループットの高い装置を用いてTF Tを製造することができる。また、図4に示す逆スタガ型のTF Tにおいては、CVD法によるソース・ドレイン領域の形成が、塗布膜の形成と高温短時間の熱処理に置き換わることになり、コブレナ型のTF Tの場合と同様に安価で且つスループットの高い装置を用いて液晶表示装置を製造することができる。

【0127】

10

(塗布導電膜の形成方法)

次に、導電性粒子を含有した液体を塗布して塗布導電膜を形成する方法について説明する。この塗布導電膜も、図1または図2に示す装置を用いて製造することができる。このとき、図1、図2の塗布液保管部105に保管される液体は、金属などの導電性物質の微粒子を液体例えば有機溶媒に分散させたものを用いる。例えば、粒径80-100 Åの銀微粒子をテルピネオールやトルエンなどの有機溶媒に分散させたものを、スピncォータ102より基板上に吐出する。その後、基板を1000 rpmで回転させてその塗布液を基板上にスピncォートする。さらに、図1の熱処理部103あるいは図2の第1の熱処理部103Aにて、250-300℃で熱処理すれば、数千Åの導電膜を得ることができる。導電性物質の微粒子には、そのほかにAu、Al、Cu、Ni、Co、Cr、ITOなど

20

【0128】

得られた導電膜は微粒子の集合であり非常に活性であるため、スピncォータ102と、熱処理部103または第1の熱処理部103Aは不活性ガス雰囲気にする必要がある。

【0129】

また、塗布導電膜の抵抗値はバルクの抵抗値に比べると1桁程度高くなることがある。この場合には、図2の第2の熱処理部103Bにて、塗布導電膜を300乃至500℃にてさらに熱処理すると、導電膜の抵抗値が低下する。このとき同時に、TF Tのソース領域と、塗布導電膜で形成したソース配線とのコンタクト抵抗、さらにはドレイン領域と、塗布導電膜で形成した画素電極とのコンタクト抵抗を低減することができる。第2の熱処理部103Bにて、ランプアニールやレーザアニールなどの高温短時間の熱処理を行うと、塗布導電膜の低抵抗化とコンタクト抵抗の低減をより効果的に行うことができる。また、異種の金属を多層形成して、信頼性を向上させることもできる。Agは比較的空気中で酸化され易いので、Agの上に空気中で酸化されにくいAlやCuなどを形成するとよい。

30

【0130】

(透明電極の形成方法)

次に、塗布ITO膜を用いた透明電極の成形方法について説明する。この塗布ITOの成膜も、図2と同じ装置を用いて実施できる。本実施例で用いる塗布液は、有機インジウムと有機スズとがキシロール中に97:3の比率で8%配合された液状のもの(たとえば

40

旭電化工業株式会社製の商品名: アデカITO塗布膜/ITO-103L)である。なお、塗布液としては、有機インジウムと有機スズとの比が99:1から90:10までの範囲にあるものを使用することができる。この塗布液が図2の塗布液保管部105に保管される。

【0131】

この塗布液が、スピncォータ102にて基板上に吐出され、さらに基板を回転させることでスピncォートされる。

【0132】

次に、塗布膜の熱処理が実施されるが、このときの熱処理条件は下記の通り設定した。まず、図2の第1の熱処理部103Aにて、250℃~450℃の空気中あるいは酸素雰

50

囲気中で30分から60分の第1の熱処理を行った。次に、第2の熱処理部103Bにて、200℃～400℃の水素含有雰囲気中で30分から60分の第2の熱処理を行った。その結果、有機成分が除去され、インジウム酸化物と錫酸化物の混合膜（ITO膜）が形成される。上記熱処理により、膜厚が約500オングストローム～約2000オングストロームのITO膜は、シート抵抗が $10^2\Omega/\square\sim 10^4\Omega/\square$ で、光透過率が90%以上となり、画素電極41として十分な性能を備えたITO膜とすることができる。前記第1の熱処理後のITO膜のシート抵抗は $10^5\sim 10^6\Omega/\square$ のオーダーであるが、前記第2の熱処理のよりシート抵抗は $10^2\sim 10^4\Omega/\square$ のオーダーまで低下する。

【0133】

この塗布ITO膜の形成は、図5または図6に示す装置によって、塗布ITO膜と塗布絶縁膜とをインラインにて製造することができる。このようにすれば形成直後の活性な塗布ITO膜の表面を絶縁膜で保護することができる。

【0134】

（導電層の他の形成方法）

この方法は、上述した塗布ITO膜の上に、金属メッキ層を形成する方法である。

【0135】

図9は、塗布ITO表面にNiメッキを施すフローチャートを示している。図9のステップ1にて、上述した方法で塗布ITO膜を形成する。次にステップ2にて、塗布ITO表面を例えばライトエッチングして、その表面を活性化させる。ステップ3では、ステップ4のNiメッキ処理の前処理として、まず塗布ITOの表面に、Pd/Snの錯塩を付着させ、次に表面にPdを析出させる処理を行う。

【0136】

ステップ4のNiメッキ工程では、例えば無電解メッキ工程を実施することで、塗布ITO表面に析出されたPdが、Niに置換されてNiメッキ処理がなされる。ステップ4にてさらにNiメッキ層をアニールすることで、そのメッキ層が緻密化される。最後に、ステップ5にて、Niメッキ上に酸化防止層としての貴金属メッキ例えばAuメッキ処理することで、導電層が完成する。

【0137】

この方法により、塗布ITO膜をベースとしながらも、メッキ層を形成して透明電極以外の導電層を形成することができる。

【0138】

（スピンコート以外の塗布方法）

図14乃至図16は、薄膜を形成するための液体やフォトリソ時のマスクに使用されるレジストなどの液体を塗布する塗布装置を示す図である。本実施例では塗布する液体としてレジストを例に挙げて説明する。レジスト塗布に限らず、もちろん上述した各種塗布膜の形成にも利用できる。図14において、ステージ301上に基板302が真空吸着されている。レジストは液体保管部307から供給管306を通してディスペンサヘッド304に供給される。レジストはさらに、ディスペンサヘッド307に設けられた複数のノズル305から、基板302上に非常に多くのドット303として塗布される。

【0139】

ノズル305の詳細断面図を図15に示す。図15はインクジェットプリンタのヘッドと同様な構造であり、 piezo素子の振動でレジストを吐出するようになっている。レジストは入り口部311から供給口312を介してキャビティ部313に溜まる。振動板315に密着しているpiezo素子314の伸縮により該振動板315が動き、キャビティ313の体積が減少または増加する。レジストはキャビティ313の体積が減少するときノズル口316から吐出され、キャビティ313の体積が増加するとき、レジストは供給口312からキャビティ313に供給される。ノズル口316は例えば図16に示すように2次元的に複数個配列されており、図14に示したように、基板302またはディスペンサ304が相対的に移動することによって、基板全面にレジストがドット状に塗布される。

【0140】

図16において、ノズル口316の配列ピッチは、横方向ピッチP1が数100 μ m、縦方向ピッチP2が数mmである。ノズル口316の口径は数10 μ m乃至数100 μ mである。一回の吐出量は数10ng乃至数100ngで、吐出されるレジストの液滴の大きさは直径数10 μ m乃至数100 μ mである。ドット状に塗布されるレジストは、ノズル305から吐出された直後は数100 μ mの円形である。レジストを基板全面に塗布する場合は、前記ドット303のピッチも数100 μ mとし、回転数が数百乃至数千rpmで数秒間基板を回転すれば、均一な膜厚の塗布膜が得られる。塗布膜の膜厚は基板の回転数や回転時間だけでなく、ノズル口316の口径及びドット303のピッチによっても制御可能である。

10

【0141】

このレジスト塗布方式はインクジェット方式の液体塗布方式であり、基板全面にドット状に塗布されるため、ドット303間のレジストのない部分にレジストが塗布されるように基板を移動例えば回転させればよいので、レジストを効率的に使用することができる。この方式はレジストだけでなく、前述した塗布膜にて形成される絶縁膜、シリコン膜、導電膜の形成にも同様に適用できるので、液晶表示装置のコスト低減に非常に大きな効果をもたらすものである。

【0142】

また、インクジェット方式の液体塗布において、ノズル口316の口径は更に小さくすることができるので、10~20 μ m幅の線状のパタンに塗布することも可能である。この技術をシリコン膜や導電膜の形成に用いれば、フォトリソグラフィ工程が不要な直接描画が可能となる。TFTのデザインルールが数10 μ m程度であれば、この直接描画と塗布方式の薄膜形成技術を組み合わせることにより、CVD装置、スパッタ装置、イオン打ち込みやイオンドーピング装置、露光装置、エッチング装置を使用しない液晶表示装置の製造が可能となる。即ち、本発明によるインクジェット方式の液体塗布装置と、レーザアニール装置やランプアニール装置などの熱処理装置のみで液晶表示装置が製造できるのである。

20

【0143】

なお、この第1実施例はTFTアクティブマトリクス基板を例に挙げて薄膜デバイスを説明したが、同じアクティブマトリクス基板としてMIM（金属-絶縁-金属）、MIS（金属-絶縁-シリコン）などの他の2端子、3端子素子を画素スイッチング素子とするものにも同様に適用できる。例えばMIMを用いたアクティブマトリクス基板の薄膜積層構造は半導体層を含まず、導電層と絶縁層のみで構成されるが、この場合にも本発明を適用できる。さらには、本発明はアクティブマトリクス基板にのみでなく、表示要素としても液晶によらずに例えばEL（エレクトロルミネッセンス）などを用いるものでも良い。さらには、TFTを含む半導体デバイス、DMD（デジタルミラーデバイス）など、導電層と絶縁層を含み、さらには半導体層を含む種々の薄膜積層構造を有する薄膜デバイスに本発明を適用可能である。

30

【0144】

次に、本発明を液晶表示装置用のアクティブマトリクス基板に適用し、特に、画素電極を導電性塗布膜にて形成する第2~第7実施例について説明する。

40

【0145】

（第2実施例）

図18は、液晶表示装置用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図、図19は、そのI-I'線に相当する位置での断面図である。

【0146】

図18および図19において、液晶表示装置用のアクティブマトリクス基板400は、絶縁基板410上がデータ線Sn, Sn+1...と走査線Gm, Gm+1とによって複数の画素領域402に区画形成され、各画素領域402の各々に対してはTFT404が形成

50

されている。このTFT404は、ソース領域414とドレイン領域416との間にチャンネルを形成するためのチャンネル領域417、該チャンネル領域417にゲート絶縁膜413を介して対峙するゲート電極415、該ゲート電極415の表面側に形成された層間絶縁膜421、該層間絶縁膜421のコンタクトホール421Aを介してソース領域414に電氣的接続するソース電極431、および層間絶縁膜421のコンタクトホール421Bを介してドレイン領域416に電氣的接続するITO膜からなる画素電極441を有している。ソース電極431はデータ線 S_n 、 S_{n+1} …の一部であり、ゲート電極415は走査線 G_m 、 G_{m+1} …の一部である。

【0147】

ここで、画素電極441は、ソース電極（データ線）431と同様、層間絶縁膜421の表面に形成される。このため、これらの電極同士が短絡しないように、画素電極441は、データ線 S_n 、 S_{n+1} と平行な外周縁441A、441Bがデータ線 S_n 、 S_{n+1} よりもかなり内側に位置するように構成されている。

【0148】

図20(A)～(D)、図21(A)～(C)は、本実施例のアクティブマトリクス基板の製造方法を示す工程断面図である。

【0149】

このようなアクティブマトリクス基板400の製造方法では、まず、図20(A)に示すように、絶縁基板410として汎用の無アリカリガラスを用いる。まず、絶縁基板410を清浄化した後、絶縁基板410の上にCVD法（Chemical Vapor Deposition）やPVD法（Physical Vapor Deposition）によりシリコン酸化膜などからなる下地保護膜411を形成する。CVD法としては、たとえば減圧CVD法（LP-CVD法）やプラズマCVD法（PECVD法）などがある。PVD法としては、たとえばスパッタ法などがある。尚、下地保護膜11は、絶縁基板410に含まれる不純物や該基板表面の清浄度などにより省略することも可能である。

【0150】

次に、TFT404の能動層となるべき真性のシリコン膜などの半導体膜406を形成する。この半導体膜406もCVD法やPVD法により形成できる。このようにして得られる半導体膜406は、そのままアモルファスシリコン膜としてTFTのチャンネル領域などの半導体層として用いることができる。また、半導体膜120は、図20(B)に示すように、レーザ光などの光学エネルギーまたは電磁エネルギーを短時間照射して結晶化を進めてもよい。

【0151】

次に、所定のパターンをもつレジストマスクを形成した後、このレジストマスクを用いて半導体膜406をパターンニングし、図20(C)に示すように、島状の半導体膜412とする。半導体膜412にパターンニングした後は、PVD法やCVD法などでゲート絶縁膜413を形成する。

【0152】

次に、ゲート電極となるアルミニウム膜などの薄膜をスパッタ形成する。通常はゲート電極とゲート配線とは、同一の金属材料などで同一の工程により形成される。ゲート電極となる薄膜を堆積した後、図20(D)に示すように、パターンニングを行い、ゲート電極415を形成する。このとき走査線も形成される。次に、半導体膜412に対して不純物イオンを導入し、ソース領域414およびドレイン領域416を形成する。不純物イオンが導入されなかった部分はチャンネル領域417となる。この方法では、ゲート電極415がイオン注入のマスクとなるため、チャンネル領域417は、ゲート電極415下のみに形成される自己整合構造となるが、オフセットゲート構造やLDD構造のTFTを構成してもよい。不純物イオンの導入は、質量非分離型イオン注入装置を用いて注入不純物元素の水素化合物と水素とを注入するイオン・ドーピング法、あるいは質量分離型イオン注入装置を用いて所望の不純物イオンのみを注入するイオン打ち込み法などを適用することができる。イオン・ドーピング法の原料ガスとしては、水素中に希釈された濃度が0.1%程

度のホスフィン (PH_3) やジボラン (B_2H_6) などの注入不純物の水素化物を用いる。

【0153】

次に、図21(A)に示すように、シリコン酸化膜からなる層間絶縁膜421をCVD法あるいはPVD法で形成する。イオン注入と層間絶縁膜421の形成後、350℃程度以下の適当な熱環境下にて数十分から数時間の熱処理を施して注入イオンの活性化及び層間絶縁膜421の焼き締めを行う。

【0154】

次に、図21(B)に示すように、層間絶縁膜421のうち、ソース領域414及びドレイン領域416に相当する位置にコンタクトホール421A及び421Bを形成する。次に、ソース電極を形成するためのアルミニウム膜などをスパッタ形成した後、それをパターニングして、ソース電極431を形成する。このときデータ線も形成される。 10

【0155】

次に、図21(C)に示すように、層間絶縁膜421の表面全体にITO膜408を塗布成膜する。

【0156】

この塗布成膜にあたっては、各種の液状またはペースト状の塗布材を用いることができる。これらの塗布材のうち、液状のものであればディップ法やスピンコート法などを用いることができ、ペースト状のものであればスクリーン印刷法などを用いることができる。この第2実施例で塗布材は、第1実施例と同様に、有機インジウムと有機スズとがキシロール中に97:3の比率で8%配合された液状のもの（たとえば、旭電化工業株式会社製の商品名：アデカITO塗布膜/ITO-103L）であり、絶縁基板410の表面側（層間絶縁膜20の表面）にスピンコート法で塗布できる。ここで、塗布材としては、有機インジウムと有機スズとの比が99/1から90/10までの範囲にあるものを使用することができる。 20

【0157】

この第2実施例でも、絶縁基板410の表面側に塗布した膜については、溶剤を乾燥、除去した後、熱処理（焼成）を行う。このとき熱処理条件としては、たとえば、250℃～450℃の空気中あるいは酸素雰囲気中で30分から60分の第1の熱処理を行った後、200℃～400℃の水素含有雰囲気中で30分から60分の第2の熱処理を行う。その結果、有機成分が除去され、インジウム酸化物と錫酸化物の混合膜（ITO膜）が形成される。上記熱処理により、膜厚が約500オングストローム～約2000オングストロームのITO膜は、シート抵抗が $10^2\Omega/\square \sim 10^4\Omega/\square$ で、光透過率が90%以上となり、画素電極441として十分な性能を備えたITO膜とすることができる。第1の熱処理後のITO膜のシート抵抗は $10^5 \sim 10^6\Omega/\square$ のオーダーであるが、第2の熱処理のよりシート抵抗は $10^2 \sim 10^4\Omega/\square$ のオーダーまで低下する。 30

【0158】

このようにしてITO膜408を形成した後、パターニングして、図19に示すように、画素電極441を形成すると、各画素領域402にTF T 404が形成される。従って、走査線Gmを介して供給される制御信号によってTF T 404を駆動すれば、画素電極441と対向基板（図示せず）との間に封入されている液晶セルには、データ線SnからTF T 404を介して画像情報が書き込まれ、所定の表示を行うことができる。 40

【0159】

このように、第2実施例では、画素電極441を形成するためのITO膜を形成するにあたって、液状の塗布材を、大型基板の処理に適しているスピンコート法などの塗布成膜法によって絶縁基板410上に塗布したため、スパッタ法などの真空系を備えた大がかりな成膜装置を必要とする成膜法と違って、安価な成膜装置で成膜できる。

【0160】

しかも、塗布成膜法よれば、図25(B)に示すように、画素電極441を構成するための液状またはペースト状の塗布材を、層間絶縁膜421の表面に塗布した際に塗布材がコンタクトホール421Bをスムーズに埋めるので、画素電極441の表面形状は下層側 50

の凹凸などの影響を受けにくい。それ故、表面に段差のない平坦な画素電極 441（導電膜）を形成できるので、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。よって、この第 2 実施例によれば、表示品位が向上する。

【0161】

これに対して図 25（A）のように、画素電極をスパッタ ITO 膜 450 で形成すると、このスパッタ ITO 膜 450 が形成される面の段差にならってスパッタ ITO 膜 450 が形成されてしまう。スパッタ ITO 膜 450 の表面に形成される段差は、不安定なラビングとリバースチルトドメインの原因となって、表示品質を低下させてしまう。しかも、スパッタ ITO 膜 450 は、コンタクトホール 421B を全て埋め込むように形成することが困難であるので、そこに開口部が形成されてしまう。この開口部の存在も、不安定なラビングとリバースチルトドメインの原因となる。従って、図 25（B）のように塗布 ITO 膜にて画素電極 441 を形成することが有用である。 10

【0162】

（第 3 実施例）

図 22 は、液晶表示装置用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図、図 23 は、その I I - I I ' 線に相当する位置での断面図である。

【0163】

図 22 および図 23 において、第 3 の実施例に係る液晶表示装置用のアクティブマトリクス基板 401 上の薄膜デバイス構造が、第 2 の実施例のアクティブマトリクス基板 400 上の薄膜デバイス構造と相違する点は下記の通りである。 20

【0164】

まず、この第 3 実施例では、層間絶縁膜を、ゲート電極 415 の表面側において、下層側に位置する下層側層間絶縁膜 421 と、該下層側層間絶縁膜 421 の表面に形成された上層側層間絶縁膜 422 との 2 層構造としている。ここで、ソース電極 431 は、下層側層間絶縁膜 421 の表面に形成され、下層側層間絶縁膜 421 のコンタクトホール 421A を介してソース領域 414 に電氣的接続している。

【0165】

これに対して、画素電極 441 は上層側層間絶縁膜 422 の表面に形成され、上層側層間絶縁膜 422 および下層側層間絶縁膜 421 のコンタクトホール 422A を介してドレイン領域 416 に電氣的接続している。このように画素電極 441 はソース電極 431 と異なる層に構成されているので、これらの電極同士が短絡することはない。 30

【0166】

そこで、第 3 実施例では、図 22 からわかるように、いずれの画素領域 402 においても、画素電極 441 は、データ線 S_n 、 S_{n+1} と平行な 2 辺の外周縁 441A、441B が、隣接画素間においてデータ線 S_n 、 S_{n+1} の上方に位置するように形成されている。また、画素電極 441 は、走査線 G_m 、 G_{m+1} に平行な 2 辺の外周縁 441C、441D が、隣接画素間において走査線 G_m 、 G_{m+1} の上方に位置するように形成されている。すなわち、画素電極 441 は、その一部がデータ線 S_n 、 S_{n+1} および走査線 G_m 、 G_{m+1} の上方に被さっている。従って、画素電極 441 の 4 辺の外周縁 441A～441D と、データ線 S_n 、 S_{n+1} 、走査線 G_m 、 G_{m+1} との間には、平面から見て隙間がない。それ故、データ線 S_n 、 S_{n+1} 、走査線 G_m 、 G_{m+1} は、それら自身がブラックマトリクスとして機能する。この結果、ブラックマトリクス層形成のための工程数を増やさなくても、高品位の表示を行うことができる。 40

【0167】

このようなアクティブマトリクス基板 401 の製造方法は、第 2 実施例で説明した図 20（A）～図 20（D）が共通する。そこで、以下の説明では、図 20（D）に示す工程を行った以降の工程について、図 24（A）～（D）を参照して説明する。

【0168】

まず、図 24（A）に示すように、ソース領域 414、ドレイン領域 416、チャンネル 50

領域 4 1 7、ゲート絶縁膜 4 1 3、およびゲート電極 4 1 5を形成した後、ゲート電極 4 1 5の表面側に、シリコン酸化膜からなる下層側層間絶縁膜 4 2 1をCVD法あるいはPVD法で形成する。

【0169】

次に、図 2 4 (B) に示すように、下層側層間絶縁膜 4 2 1のうち、ソース領域 4 1 4に相当する位置にコンタクトホール 4 2 1 Aを形成する。次に、ソース電極 4 3 1およびデータ線を形成するためのアルミニウム膜をスパッタ形成した後、それをパターニングして、ソース電極 4 3 1およびデータ線 S_n 、 S_{n+1} …を形成する。

【0170】

次に、図 2 4 (C) に示すように、下層側層間絶縁膜 4 2 1の表面にシリコン酸化膜からなる上層側層間絶縁膜 4 2 2をCVD法あるいはPVD法で形成する。次に、下層側層間絶縁膜 4 2 1および上層側層間絶縁膜 4 2 2のうち、ドレイン領域 4 1 6に相当する位置にコンタクトホール 4 2 2 Aを形成する。 10

【0171】

次に、図 2 4 (D) に示すように、層間絶縁膜 4 2 2の表面全体にITO膜 4 0 9を塗布成膜する。

【0172】

この塗布成膜にあたって、第 1、第 2 実施例と同様、各種の液状またはペースト状の塗布材を用いることができる。これらの塗布材のうち、液状のものであればディップ法やスピコート法などを用いることができ、ペースト状のものであればスクリーン印刷法などを用いることができる。また、この第 3 実施例でも、塗布したITO膜 4 0 9については、上述した第 1、第 2 の熱処理が実施され、シート抵抗が低下される。 20

【0173】

しかる後に、ITO膜 4 0 9をパターニングして、図 2 3 に示すように、画素電極 4 4 1を形成する。この際に、図 2 2 を参照して説明したように、いずれの画素領域 2 においても、画素電極 4 4 1の4辺の外周縁 4 4 1 A～4 4 1 Dが隣接する画素間においてデータ線 S_n 、 S_{n+1} 、走査線 G_m 、 G_{m+1} に被さるようにパターニングされる。通常、データ線および走査線は金属膜で形成されるので、これらのデータ線および走査線が遮光膜となり、ブラックマトリクスとして利用できる。それ故、工程数を増やさなくても高品位の表示を行うことができる。 30

【0174】

しかも、画素領域 4 4 1がデータ線および走査線に被さるまでその形成範囲を最大限拡張したので、画素領域 4 0 2の開口率が高い。これによっても表示の品位が向上する。

【0175】

また、この第 3 実施例では、画素電極 4 4 1を形成するためのITO膜を形成するにあたって、液状の塗布材を、大型基板の処理に適しているスピコート法（塗布成膜法）によって絶縁基板 4 1 0上に塗布したため、図 1 0 (B) に示すように、画素電極 4 4 1は下層側が凹部となっている部分ではその分厚く、凸部となっている部分ではその分薄く形成される。従って、データ線に起因する凹凸が画素電極 4 4 1の表面に反映されない。それ故、表面に段差のない平坦な画素電極 4 4 1を形成できるので、ラビングを安定に行え 40
るとともに、リバースチルトドメインの発生などを防止できる。このような利点は、走査線の上層側においても同様である。よって、本発明によれば、表示品位が向上する。

【0176】

さらに、画素電極 4 4 1を形成するためのITO膜を形成するにあたって、液状の塗布材をスピコート法によって絶縁基板 4 1 0上に塗布するため、スパッタ法などといった真空系を備えた大がかりな成膜装置を必要とする成膜法と違って、安価な成膜装置で成膜できる。

【0177】

しかも、塗布成膜法は段差被覆性に優れているので、下層側に下層側層間絶縁膜 4 2 1および上層側層間絶縁膜 4 2 2のコンタクトホール 4 2 1 A、4 2 2 Aが存在していても 50

、その大きな凹凸は画素電極 441 (ITO 膜) の表面形状に影響を及ぼさない。すなわち、下層側層間絶縁膜 421 および上層側層間絶縁膜 422 からなる 2 層構造の層間絶縁膜を形成したため、コンタクトホール 421A、422A に起因する凹凸が大きくても、表面に段差のない平坦な画素電極 441 を形成できる。従って、画素電極 441 がドレイン領域 416 に直接接続する構造を採用でき、下層側層間絶縁膜 421 と上層側層間絶縁膜 422 との層間にドレイン領域 416 に電氣的接続する中継電極 (ビア) を形成しなくてもよい分、製造工程を簡略化できる。

【0178】

なお、第 3 実施例でも、画素電極 441 を形成するにあたって、液状の塗布材から ITO 膜を形成したため、スピンコート法を用いたが、ペースト状の塗布材を用いれば印刷法を用いて ITO 膜を形成することができる。さらに、ペースト状の塗布材を用いればスクリーン印刷を利用することもできるので、画素電極 441 を形成すべき領域のみにペースト状の塗布材を印刷し、それに乾燥、熱処理を行ったものをそのまま画素電極 441 として用いてもよい。この場合にはエッチングによる ITO 膜に対するパターンニングが不要であるため、製造コストを大幅に低減できるという利点がある。

【0179】

また、第 2、第 3 実施例のいずれでも、層間絶縁膜のコンタクトホールの存在が画素電極 441 の表面形状に影響を及ぼしやすいプレーナ型の TFT を例に説明したが、逆スタガ型等の TFT においても、下層側に凹凸のある領域に画素電極を形成する場合に本発明を適用すれば、かかる凹凸が画素電極の表面形状に及ぼす影響を除去することができる。

【0180】

(第 4 実施例)

この第 4 実施例の構造として、図 22 の II-II' 断面が第 3 実施例の図 23 とは異なる構造を、図 26 に示す。

【0181】

この第 4 実施例においても、層間絶縁膜 420 は、下層側に位置する下層側層間絶縁膜 421 と、この下層側層間絶縁膜 421 の表面上に積層された上層側層間絶縁膜 422 との 2 層構造になっている。

【0182】

図 26 に示す構造が図 23 と異なる点として、画素電極 441 が、上層側層間絶縁膜 422 の表面にスパッタ形成されたスパッタ ITO 膜 446 (導電性スパッタ膜) と、このスパッタ ITO 膜 446 の表面上に塗布成膜された塗布 ITO 膜 447 (導電性透明塗布膜) との 2 層構造になっている点である。

【0183】

従って、塗布 ITO 膜 447 は、その下層側に位置するスパッタ ITO 膜 446 を介してドレイン領域 416 に電氣的接続している。スパッタ ITO 膜 446 と塗布 ITO 膜 447 とは、後述するように一括してパターンニング形成されたものであるため、それらの形成領域は同一である。

【0184】

この点以外の構造は図 23 と同じであるので、図 23 で用いた符号と同一符号を付して、その詳細な説明を省略する。

【0185】

この第 4 実施例の構造においても、その平面的レイアウトは、第 3 実施例で説明した図 22 と同一となるので、データ線 S_n , S_{n+1} … および走査線 G_m , G_{m+1} … は、それら自身がブラックマトリクスとして機能する。従って、工程数を増やさなくても高品位の表示を行うことができる。

【0186】

第 3 実施例においてドレイン領域 416 にコンタクトする塗布 ITO 膜 447 は、スパッタ ITO 膜に比較してのコンタクト抵抗が高い傾向にある。第 4 実施例では塗布 ITO 膜 447 はあくまで、スパッタ ITO 膜 446 を介してドレイン領域 416 に電氣的接続

しているので、コンタクト抵抗が大きいという問題点を解消できる利点がある。

【0187】

このようなアクティブマトリクス基板401の製造方法を、図27(A)～(E)および図28(A)～(E)を参照して説明する。ここで、図27(A)～(E)は、第3実施例の工程を示す図20(A)～(D)および図24(A)と同じであるので、その説明を省略する。また、図28(B)(C)は、第3実施例の工程を示す図24(B)(C)と同一である。

【0188】

図28(A)は、図28(B)の前工程としてのレジストパターン形成工程を示している。図28(B)に示すソース電極431及びソース線を形成するために、図28(A)ではアルミニウム膜460をスパッタ法により形成している。その後、このアルミニウム膜460の上に、パターニングされたレジストマスク461を形成している。このレジスト膜461を用いてアルミニウム膜460をエッチングすることで、図28(B)に示すようにソース電極431およびデータ線が形成される。

【0189】

次に、図28(C)に示すように、下層側層間絶縁膜421の表面にシリコン酸化膜からなる上層側層間絶縁膜422をCVD法あるいはPVD法で形成する。

イオン注入と層間絶縁膜の形成後、350℃程度以下の適当な熱環境下にて数十分から数時間の熱処理を施して注入イオンの活性化、および層間絶縁膜420(下層側層間絶縁膜421および上層側層間絶縁膜422)の焼き締めを行う。次に、下層側層間絶縁膜421および上層側層間絶縁膜422のうち、ドレイン領域416に相当する位置にコンタクトホール422Aを形成する。

【0190】

次に、図28(D)に示すように、下層側層間絶縁膜421および上層側層間絶縁膜422からなる層間絶縁膜420の表面全体にスパッタ法によりスパッタITO膜446(導電性スパッタ膜)を形成する。

【0191】

続いて、図28(E)に示すように、スパッタITO膜446の表面上に塗布ITO膜447(導電性透明塗布膜)を形成する。

【0192】

この塗布ITO膜447の形成にあたっては、第1～第3実施例と同一のプロセス条件を採用できる。この第4実施例に表面側に塗布した液状またはペースト状の塗膜については、溶剤を乾燥、除去した後、熱処理装置内で熱処理を行う。このとき熱処理条件としては、たとえば、温度が250℃～500℃、好ましくは250℃～400℃の空気中あるいは酸素含有雰囲気中または非還元性雰囲気中で30分から60分の第1の熱処理(焼成)を行った後、温度が200℃以上、好ましくは200℃～350℃の水素含有の還元性雰囲気中で30分から60分の第2の熱処理を行う。いずれの場合でも、第1の熱処理で安定化した皮膜が熱劣化しないように、第2の熱処理での処理温度は第1の熱処理での処理温度よりも低く設定する。このような熱処理を行うと、有機成分が除去されるとともに、塗膜はインジウム酸化物と錫酸化物の混合膜(塗布ITO膜447)となる。その結果、膜厚が約500オングストローム～約2000オングストロームの塗布ITO膜447は、シート抵抗が $10^2\Omega/\square\sim 10^4\Omega/\square$ で、光透過率が90%以上となり、スパッタITO膜446とともに十分な性能を備えた画素電極441を構成することができる。

【0193】

しかる後に、基板温度が200℃以下になるまで絶縁基板410を第2の熱処理を行った還元性雰囲気中または窒素ガスなどの非酸化性雰囲気中、あるいはその他の非酸化性雰囲気中に保持し、基板温度が200℃以下になった以降、絶縁基板410を熱処理装置から大気中に取り出す。このように、絶縁基板410の温度が約200℃以下に低下した後、大気にさらすのであれば、水素含有雰囲気下での第2の熱処理での還元により低抵抗化

した皮膜が再び酸化してしまうことを防止できるので、シート抵抗の小さな塗布ITO膜447を得ることができる。絶縁基板410を熱処理装置から大気中に取り出すときの温度は、塗布ITO膜447の再酸化を防止するためには100℃以下であることがより望ましい。塗布ITO膜447の比抵抗は膜中の酸素欠陥が多い程低くなるので、大気中の酸素によって塗布ITO膜447の再酸化が起きると比抵抗が増大するからである。

【0194】

このようにしてスパッタITO膜446および塗布ITO膜447を形成した後、図28(E)に示すようにレジストマスク462を形成し、それらを一括して王水系やHBrなどのエッチング液で、またはCH₄などを用いたドライエッチングによりパターンニングして、図26に示すように、画素電極441を形成する。これにより、各画素領域402のそれぞれにTFEが形成される。従って、走査線Gmを介して供給される制御信号によってTFEを駆動すれば、画素電極441と対向基板（図示せず。）との間に封入されている液晶には、データ線SnからTFEを介して画像情報が書き込まれ、所定の表示を行うことができる。

【0195】

また本実施例では、画素電極441を形成するにあたっては塗布ITO膜447を用いている。この塗布成膜法は段差被覆性に優れているので、図39(B)に示すように、塗布ITO膜447を構成するための液状またはペースト状の塗布材は、コンタクトホール422Aに起因して生じたスパッタITO膜446表面の凹凸などをスムーズに埋める。また、塗布材を絶縁基板410上に塗布すると、塗布ITO膜447は凹部となっている部分ではその分厚く、凸部となっている部分ではその分薄く形成される。従って、データ線431に起因する凹凸も画素電極441の表面に反映されない。走査線415の上層側においても同様である。それ故、表面に段差のない平坦な画素電極441を形成できるので、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。よって、本発明によれば、表示品位が向上する。

【0196】

一方図39(A)のように、画素電極をスパッタITO膜446のみで形成すると、このスパッタITO膜446が形成される面の段差にならってスパッタITO膜446が形成されてしまう。スパッタITO膜446の表面に形成される段差は、不安定なラビングとリバースチルトドメインの原因となって、表示品質を低下させてしまう。しかも、スパッタITO膜446は、コンタクトホール422Aを全て埋め込むように形成することが困難であるので、そこに開口部が形成されてしまう。この開口部の存在も、不安定なラビングとリバースチルトドメインの原因となる。従って、塗布ITO膜447を形成することが有用である。

【0197】

また、第4実施例のように、画素電極441とソース電極431とを異なる層間に形成することを目的に層間絶縁膜420を2層構造とした場合には、コンタクトホール422Aのアスペクト比が大きくなるが、塗布ITO膜447を用いると、平坦な画素電極441を形成できるという効果が顕著である。

【0198】

また、スパッタITO膜446は塗布ITO膜447に比較してレジストマスクとの密着性が悪いという傾向にあるが、本実施例では、塗布ITO膜447の表面にレジストマスク462を形成するので、パターンニング精度が低くなるという問題点も生じない。それ故、高精細パターンをもつ画素電極441を構成できる。

【0199】

（第5実施例）

図29は、本発明を適用した液晶表示用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図であり、図30はそのIII-III'線に相当する位置での断面図である。なお、この第5実施例において、第4実施例と共通する部分については同一の符号を付してそれらの説明を省略する。

10

20

30

40

50

【0200】

図29において、この第5実施例に係る液晶表示用のアクティブマトリクス基板401も、絶縁基板410上がデータ線431と走査線415とによって複数の画素領域402に区画形成され、各画素領域402の各々に対してはTFTが形成されている。

【0201】

この第5実施例の構造においても、その平面的レイアウトはスパッタITO膜を除いて、第3、第4実施例で説明した図22と同一となるので、データ線 S_n 、 S_{n+1} …および走査線 G_m 、 G_{m+1} …は、それら自身がブラックマトリクスとして機能する。従って、工程数を増やさなくても高品位の表示を行うことができる。

【0202】

この第5実施例が第4実施例と相違する点は、スパッタITO膜456と塗布ITO膜457とは、後述するように別々にパターンニング形成されたものであるため、それらの形成領域は相違し、塗布ITO膜457の形成領域はスパッタITO膜456の形成領域よりも広がっている。

【0203】

ここで、第4実施例のように、塗布ITO膜とスパッタITO膜とを同一の領域に形成する場合には、両ITO膜を一括してパターンニングすることができる。すなわち、レジストマスクは、それとの密着性のよい塗布ITO膜の表面にのみ形成され、レジストマスクとの密着性のわるいスパッタITO膜の表面に形する必要はなかった。それ故、高精細パターンを達成できる。

【0204】

これに対して第5実施例の場合には、スパッタITO膜の表面にもレジストマスクを形成する必要が生ずる。しかし、塗布ITO膜がスパッタITO膜の形成領域よりも広い領域に形成されている場合には、たとえスパッタITO膜とレジストマスクとの密着性がわるくてパターンニング精度が低くても、レジストマスクとの密着性がよい塗布ITO膜のパターンニング精度が最終的なパターンを規定するので、高精細パターンを達成できる。

【0205】

このような構成のアクティブマトリクス基板401の製造方法は、第4実施例で説明した図27(A)～図27(E)に示す工程が共通し、さらに、図31(A)～(C)の工程も共通する。そこで、以下の説明では、図31(D)に示す工程以降の工程のみについて、図31(D)～(F)を参照して説明する。

【0206】

図31(C)では、下層側層間絶縁膜421の表面にシリコン酸化膜からなる上層側層間絶縁膜422が形成され、かつ、コンタクトホール422Aが形成されている。

【0207】

次に、図31(D)に示すように、下層側層間絶縁膜421および上層側層間絶縁膜422からなる層間絶縁膜420の表面全体にスパッタ法によりITO膜456(導電性スパッタ膜)を形成する。ここまでの工程も第4実施例と同様である。

【0208】

但し、この第5実施例では、スパッタITO膜456だけをまず王水系やHBrなどのエッチング液、または CH_4 などを用いたドライエッチングによりパターンニングする。すなわち、スパッタITO膜456を形成した後、図31(D)に示すように、レジストマスク464を形成し、それをパターンニングする。このレジストマスク464を使用してスパッタITO膜456をエッチングして、図31(E)に示すように、画素電極441の形成予定領域よりも狭い領域にスパッタITO膜456を残す。次にスパッタITO膜456の表面側に塗布ITO膜457(導電性透明塗布膜)を形成する。この塗布ITO膜457の形成にあたっては、上述した各実施例にて説明した塗布材を用いることができる。

【0209】

このようにして塗布ITO膜457を形成した後、図31(F)に示すように、レジス

10

20

30

40

50

トマスク 462 を形成し、それを王水系や HBr などのエッチング液、または CH_4 などを用いたドライエッチングによりパターニングして、図 30 に示すように、画素電極 441 を形成する。

【0210】

この第 5 実施例の構造においても、第 4 実施例の構造と同様の効果を奏することができる。特に、ドレイン領域 416 にコンタクトする塗布 ITO 膜 457 は、スパッタ ITO 膜に比較してのコンタクト抵抗が高い傾向にあるが、第 5 実施例では塗布 ITO 膜 457 はあくまで、スパッタ ITO 膜 456 を介してドレイン領域 416 に電氣的接続しているので、コンタクト抵抗が大きいという問題点を解消できる利点がある。また、スパッタ ITO 膜 456 は薄くてよいので、たとえレジストマスク 464 との密着性が悪くても短時間のエッチングで済むので、パターニングに支障がない。また、パターニング精度の高い塗布 ITO 膜 457 に対するパターニング精度が画素電極 40 の最終的なパターン精度を規定するので、高精細パターンを達成できる。

10

【0211】

(第 6 実施例)

図 32 は、本発明を適用した液晶表示用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図、図 33 は、その $I-V-I'$ 線に相当する位置での断面図である。

【0212】

この第 6 実施例の特徴的構造は、画素電極 441 は上層側層間絶縁膜 422 の表面に塗布成膜された塗布 ITO 膜 468 (導電性透明塗布膜) から構成され、この塗布 ITO 膜 468 は、下層側層間絶縁膜 421 の表面にスパッタ法により形成されたアルミニウム膜からなる中継電極 466 に対して、上層側層間絶縁膜 422 のコンタクトホール 422A を介して電氣的に接続されている。また、中継電極 466 は下層側層間絶縁膜 421 のコンタクトホール 421B を介してドレイン領域 416 に電氣的に接続されている。従って、画素電極 441 は、その下層側に位置する中継電極 466 を介してドレイン領域 416 に電氣的接続していることになる。

20

【0213】

ここで、中継電極 466 はアルミニウム膜であり、光透過性がないので、開口率を低下させないように、その形成領域はコンタクトホール 421B の内部および周囲に限定されている。

30

【0214】

このような構成のアクティブマトリクス基板 401 の製造方法は、第 4 の実施例で説明した図 27 (A) ~ 図 27 (E) に示す工程が共通する。そこで、以下の説明では、図 27 (E) に示す工程の後に行う工程のみについて図 34 (A) ~ (D) を参照して説明する。

【0215】

図 34 (A) に示すように、下層側層間絶縁膜 421 のうち、ソース領域 414 およびドレイン領域 416 に相当する位置にコンタクトホール 421A, 421B を形成した後、ソース電極 431 およびデータ線を形成するためのアルミニウム膜 460 (導電性スパッタ膜/金属膜) をスパッタ形成する。次に、レジストマスク 470 を形成し、このレジストマスク 470 を用いてアルミニウム膜 460 をパターニングする。この結果、図 34 (B) に示すように、ソース電極 431、データ線、および中継電極 466 を同時形成する。

40

【0216】

次に、図 34 (C) に示すように、下層側層間絶縁膜 421 の表面にシリコン酸化膜からなる上層側層間絶縁膜 422 を CVD 法あるいは PVD 法で形成する。次に、上層側層間絶縁膜 422 のうち、中継電極 466 に相当する位置 (ドレイン領域 416 に相当する位置) にコンタクトホール 422A を形成する。

【0217】

50

次に、図 3 4 (D) に示すように、下層側層間絶縁膜 4 2 1 および上層側層間絶縁膜 4 2 2 からなる層間絶縁膜 4 2 0 の表面全体に塗布 I T O 膜 4 6 8 (導電性透明塗布膜) を形成する。

【0 2 1 8】

この塗布 I T O 膜 4 6 8 の形成にあたって、上述した各実施例にて説明した塗布材を用いることができる。

【0 2 1 9】

このようにして I T O 膜 4 6 8 を形成した後、レジストマスク 4 6 2 を形成し、それをパターンニングして、図 3 3 に示すように、画素電極 4 4 1 を形成する。

【0 2 2 0】

この際にも、図 3 2 からわかるように、データ線 S_n 、 S_{n+1} … および走査線 G_m 、 G_{m+1} … からなるブラックマトリクスを構成できる。しかも、画素領域 4 0 2 の開口率が高くなり、表面に段差のない平坦な画素電極 4 4 1 を形成できるので、ラビングを安定に行えらるとともに、リバースチルトドメインの発生などを防止できる。

【0 2 2 1】

また、塗布 I T O 膜 4 6 8 からなる画素電極 4 4 1 はスパッタ I T O 膜などに比較してドレイン領域 4 1 6 (シリコン膜) とのコンタクト抵抗が高い傾向にあるが、この第 6 の実施例では塗布 I T O 膜 4 6 8 がスパッタ形成したアルミニウム膜からなる中継電極 4 6 6 を介してドレイン領域 4 1 6 に電氣的接続しているので、コンタクト抵抗が大きいという問題点も解消できる。

【0 2 2 2】

なお、本実施例では中継電極 4 6 6 としてアルミニウムを用いたが、アルミニウムと高融点金属との 2 層膜を中継電極 4 6 6 に用いれば、塗布 I T O 膜 4 6 8 とのコンタクト抵抗をより低く抑えることができる。すなわち、タングステンやモリブデンなどの高融点金属はアルミニウムに比して酸化されにくいいため、酸素を多量に含む塗布 I T O 膜 4 6 8 と接触しても酸化されることがない。それ故、中継電極 4 6 6 と塗布 I T O 膜 4 6 8 とのコンタクト抵抗を低く保つことができる。

【0 2 2 3】

(第 7 実施例)

図 3 5 は、本発明を適用した液晶表示用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図、図 3 6 は、その $V-V'$ 線に相当する位置での断面図である。

【0 2 2 4】

この第 7 実施例は、図 1 8 及び図 1 9 に示す第 2 実施例の構造を改良し、中継電極 4 8 0 により塗布 I T O 膜 4 4 1 とドレイン領域 4 1 6 との電氣的接続を確保した点に特徴がある。

【0 2 2 5】

図 3 5 において、この第 7 実施例に係るアクティブマトリクス基板 4 0 1 も、絶縁基板 4 1 0 上がデータ線 4 3 1 と走査線 4 1 5 とによって複数の画素領域 4 0 2 に区画形成され、各画素領域 4 0 2 の各々に対しては T F T (画素スイッチング用の非線型素子) が形成されている。ここで、画素電極の平坦化やそのコンタクト抵抗の低減だけを目的とするのであれば、以下のように構成できる。

【0 2 2 6】

すなわち、図 3 6 に示すように、第 7 実施例では、層間絶縁膜 4 2 1 は、1 層のシリコン酸化膜だけからなっている。

【0 2 2 7】

塗布 I T O 膜から成る画素電極 4 4 1 は、その下層側において層間絶縁膜 4 2 1 の表面にスパッタ法により形成されたアルミニウム膜 (導電性スパッタ膜 / 金属膜) からなる中継電極 4 8 0 の表面側に形成されている。従って、画素電極 4 4 1 は中継電極 4 8 0 を介してドレイン領域 4 1 6 に電氣的に接続されている。ここでも、中継電極 4 8 0 はアルミ

10

20

30

40

50

ニウム膜であり、光透過性がないので、その形成領域はコンタクトホール４２１Ｂの内部およびその周囲のみに限定されている。

【０２２８】

この第７実施例では、画素電極４４１はソース電極４３１と同一の層間に構成されているので、これらの電極同士が短絡しないように配置される。（図３５、図３６参照）

このような構成のアクティブマトリクス基板４０１の製造方法は、第４実施例で説明した図２７（Ａ）～図２７（Ｅ）に示す工程が概ね共通する。そこで、以下の説明では、図２７（Ｅ）に示す工程の後に行う工程のみについて図３７（Ａ）～図３７（Ｃ）を参照して説明する。

【０２２９】

図３７（Ａ）に示すように、層間絶縁膜４２１のうち、ソース領域４１４およびドレイン領域４１６に相当する位置にコンタクトホール４２１Ａ、４２１Ｂを形成する。次に、ソース電極４３１およびデータ線を形成するためのアルミニウム膜４６０をスパッタ形成した後、レジストマスク４７０を形成する。次に、レジストマスク４７０を用いてアルミニウム膜４６０をパターニングして、図３７（Ｂ）に示すように、ソース電極４３１、データ線、および中継電極４８０を形成する。

【０２３０】

次に、図３７（Ｃ）に示すように、層間絶縁膜４２１の表面側全体に塗布ＩＴＯ膜４８２（導電性透明塗布膜）を形成する。この塗布ＩＴＯ膜４８２を形成するにあっても、上述した各実施例の塗布材を用いることができる。

【０２３１】

このようにして塗布ＩＴＯ膜４８２を形成した後、レジストマスク４８４を形成し、それを用いてＩＴＯ膜４８２をパターニングして、図３６に示すように、画素電極４４１を形成する。

【０２３２】

この第７実施例でも画素電極４４１を形成するにあたっては、段差被覆性に優れている塗布成膜法を用いるため、表面に段差のない平坦な画素電極４４１を形成できる。従って、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。また、中継電極が介在することで、塗布成膜法により形成したＩＴＯ膜からなる画素電極４４１とドレイン領域４１６とのコンタクト抵抗が高くなる問題を解消できる。

【０２３３】

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【０２３４】

例えば、第６、第７実施例では、工程数を最小限とするという観点から中継電極４６６、４８０をソース電極４３１およびデータ線と同時形成してそれらと同一材質からなる金属膜（アルミニウム膜）から構成した。これに代えて、図３８（Ａ）に示すように、層間絶縁膜４２０を下層側層間絶縁膜４２１および上層側層間絶縁膜４２２から構成した場合に、塗布成膜により形成したＩＴＯ膜からなる画素電極４４１および導電性スパッタ膜から形成した中継電極４８６の双方を、上層側層間絶縁膜４２２の表面上に形成してもよい。

このように構成した場合には、第６実施例と違って、画素電極４４１の形成領域を拡張できるので、データ線および走査線をブラックマトリクスとして利用できる。また、中継電極４８６（導電性スパッタ膜）をソース電極４３１と異なる工程で形成することになるので、その材質についてはソース電極４３１と同一の金属材料、あるいは異なる材料のいずれであってもよい。

【０２３５】

また、第６、第７実施例ではいずれも、層間絶縁膜のコンタクトホールの存在が画素電極の表面形状に影響を及ぼしやすいプレーナ型のＴＦＴを例に説明したが、逆スタガ型等のＴＦＴに本発明を適用することも可能である。特に、凹凸のある領域の上に画素電極を

10

20

30

40

50

形成せざるを得ない場合に、本発明のように塗布成膜により形成した導電性透明塗布膜を用いた画素電極を形成すれば、かかる凹凸が画素電極の表面形状に及ぼす影響を除去することができる。

【0236】

たとえば、図38(B)に示す逆スタガ型のTFTにおいて、画素電極441に塗布ITO膜を用いれば、画素電極441表面の平坦化を図ることができる。図38(B)に示すTFTでは、絶縁基板410の表面側に下地保護膜411、ゲート電極415、ゲート絶縁膜413、チャンネル領域417を構成する真性のアモルファスシリコン膜、およびチャンネル保護用の絶縁膜490がこの順序で積層されている。チャンネル保護用の絶縁膜490の両側には高濃度N型のアモルファスシリコン膜がソース・ドレイン領域414、416が構成され、これらのソース・ドレイン領域414、416の表面にはクロム、アルミニウム、チタンなどのスパッタ膜からなるソース電極431および中継電極492が構成されている。さらに、それらの表面側には層間絶縁膜494および画素電極441が構成されている。ここで、画素電極441は塗布ITO膜から構成されているので、表面が平坦である。また、画素電極441は、層間絶縁膜441のコンタクトホールを介して中継電極496に電氣的接続している。すなわち、画素電極441は、スパッタ膜からなる中継電極496を介してドレイン領域416に電気接続しているため、塗布ITO膜からなる画素電極441はドレイン領域416（シリコン膜）とのコンタクト抵抗が高いという問題を解消できる。さらに、画素電極441は、ソース電極431と異なる層間に構成されているため、これらの電極が短絡することがない。それ故、画素電極441がデータ線や走査線（図示せず）に被さる位まで画素電極441を広い領域に形成できるので、データ線や走査線自身をブラックマトリクスとして利用できるとともに、画素領域の開口率を高めることができる。

【0237】

さらに画素電極を形成するにあたって、液状の塗布材から塗布ITO膜を形成するためスピンコート法を用いたが、ペースト状の塗布材を用いれば印刷法を用いて塗布ITO膜を形成することができる。さらに、ペースト状の塗布材を用いればスクリーン印刷を利用することもできるので、画素電極を形成すべき領域のみにペースト状の塗布材を印刷し、それに乾燥、熱処理を行ったものをそのまま画素電極として用いてもよい。この場合にはエッチングによるITO膜に対するパターニングが不要であるため、製造コストを大幅に低減できるという利点がある。

【0238】

なお、第2実施例～第7実施例は、画素電極のみを塗布膜にて形成する例を説明したが、第1実施例にて説明した通り、画素電極以外の絶縁層、導電層、半導体層のいずれかを塗布膜にて形成できることは言うまでもない。

【0239】

（第8実施例）

上述の実施例の液晶表示装置を用いて構成される電子機器は、図40に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

【0240】

このような構成の電子機器として、図41に示す液晶プロジェクタ、図42に示すマル

チメディア対応のパーソナルコンピュータ（ＰＣ）及びエンジニアリング・ワークステーション（ＥＷＳ）、図４３に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、ＰＯＳ端末、タッチパネルを備えた装置などを挙げることができる。

【０２４１】

図４１に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば３板プリズム方式の光学系を用いている。図４１において、プロジェクタ１１００では、白色光源のランプユニット１１０２から射出された投写光がライトガイド１１０４の内部で、複数のミラー１１０６および２枚のダイクロイックミラー１１０８によってＲ、Ｇ、Ｂの３原色に分けられ、それぞれの色の画像を表示する３枚の液晶パネル１１１０Ｒ、１１１０Ｇおよび１１１０Ｂに導かれる。そして、それぞれの液晶パネル１１１０Ｒ、１１１０Ｇおよび１１１０Ｂによって変調された光は、ダイクロイックプリズム１１１２に３方向から入射される。ダイクロイックプリズム１１１２では、レッドＲおよびブルーＢの光が９０°曲げられ、グリーンＧの光が直進するので各色の画像が合成され、投写レンズ１１１４を通してスクリーンなどにカラー画像が投写される。

10

【０２４２】

図４２に示すパーソナルコンピュータ１２００は、キーボード１２０２を備えた本体部１２０４と、液晶表示画面１２０６とを有する。

20

【０２４３】

図４３に示すページャ１３００は、金属製フレーム１３０２内に、液晶表示基板１３０４、バックライト１３０６ａを備えたライトガイド１３０６、回路基板１３０８、第１、第２のシールド板１３１０、１３１２、２つの弾性導電体１３１４、１３１６、及びフィルムキャリアテープ１３１８を有する。２つの弾性導電体１３１４、１３１６及びフィルムキャリアテープ１３１８は、液晶表示基板１３０４と回路基板１３０８とを接続するものである。

【０２４４】

ここで、液晶表示基板１３０４は、２枚の透明基板１３０４ａ、１３０４ｂの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図４０に示す駆動回路１００４、あるいはこれに加えて表示情報処理回路１００２を形成することができる。液晶表示基板１３０４に搭載されない回路は、液晶表示基板の外付け回路とされ、図４３の場合には回路基板１３０８に搭載できる。

30

【０２４５】

図４３はページャの構成を示すものであるから、液晶表示基板１３０４以外に回路基板１３０８が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板１３０４である。あるいは、液晶表示基板１３０４を筐体としての金属フレーム１３０２に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム１３０２内に、液晶表示基板１３０４と、バックライト１３０６ａを備えたライトガイド１３０６とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図４４に示すように、液晶表示基板１３０４を構成する２枚の透明基板１３０４ａ、１３０４ｂの一方に、金属の導電膜が形成されたポリイミドテープ１３２２にＩＣチップ１３２４を実装したＴＣＰ（Ｔape Carrier Package）１３２０を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

40

【図面の簡単な説明】

【０２４６】

【図１】本発明の第１実施例に用いる塗布膜形成装置の構成図である。

50

- 【図 2】本発明の第 1 実施例に用いる他の塗布膜形成装置の構成図である。
- 【図 3】コブレナ型 T F T の断面図である。
- 【図 4】逆スタガ型 T F T の断面図である。
- 【図 5】本発明の第 1 実施例に用いるインライン型の塗布膜形成装置の構成図である。
- 【図 6】本発明の第 1 実施例に用いる他のインライン型の塗布膜形成装置の構成図である。
- 【図 7】本発明の第 1 実施例に用いる塗布シリコン膜形成装置の構成図である。
- 【図 8】本発明の第 1 実施例に用いる他の塗布シリコン膜形成装置の構成図である。
- 【図 9】塗布 I T O 膜表面への金属メッキ方法を説明するフローチャートである。
- 【図 10】本発明による不純物含有絶縁層を用いたコブレナ型 T F T の製造過程の断面図である。 10
- 【図 11】図 11 は、本発明による不純物含有絶縁層を用いた逆スタガ型 T F T の製造過程の断面図である。
- 【図 12】図 12 は、本発明の第 1 実施例に用いる液体塗布装置の構成図である。
- 【図 13】図 13 は、図 12 の液体塗布装置でのスピコート後の状態を示す概略説明図である。
- 【図 14】本発明による他の液体塗布装置の構成図である。
- 【図 15】図 14 に示す液体塗布装置の部分拡大図である。
- 【図 16】図 14 に示す液体塗布装置の部分拡大図である。
- 【図 17】液晶表示装置を構成する T F T 基板を示す図である。 20
- 【図 18】本発明の第 2 実施例に係る液晶表示装置用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。
- 【図 19】図 18 の I - I ' 線に相当する位置で切断した断面図である。
- 【図 20】図 20 (A) ~ 図 20 (D) は、図 19 に示すアクティブマトリクス基板の製造方法を示す断面図である。
- 【図 21】図 20 に示す工程以降に行う各工程を示す断面図である。
- 【図 22】本発明の第 3 実施例に係る液晶表示装置用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。
- 【図 23】図 22 の I I - I I ' 線に相当する位置での断面図である。
- 【図 24】図 22 に示すアクティブマトリクス基板を製造するにあたって、図 20 に示す工程以降に行う各工程を示す断面図である。 30
- 【図 25】図 25 (A)、(B) は、比較例及び本発明の実施例のコンタクトホール付近をそれぞれ拡大して示す縦断面図である。
- 【図 26】図 22 の I I - I I ' 線に相当する位置で切断した本発明の第 4 実施例の構造を示す縦断面図である。
- 【図 27】図 27 (A) ~ 図 27 (E) は、図 26 に示すアクティブマトリクス基板の製造方法を示す断面図である。
- 【図 28】図 28 (A) ~ 図 28 (E) は、図 27 の工程に引き続き実施される工程を示す断面図である。
- 【図 29】本発明の第 5 実施例に係る液晶表示用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。 40
- 【図 30】図 29 の I I I - I I I ' 線に相当する位置での断面図である。
- 【図 31】図 31 (A) ~ 図 31 (F) は、図 29 に示すアクティブマトリクス基板を製造するにあたって、図 27 に示す工程以降に行う各工程を示す断面図である。
- 【図 32】本発明の第 6 実施例に係る液晶表示用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。
- 【図 33】図 32 の I V - I V ' 線に相当する位置での断面図である。
- 【図 34】図 34 (A) ~ 図 34 (D) は、図 32 に示すアクティブマトリクス基板を製造するにあたって、図 27 に示す工程以降に行う各工程を示す断面図である。
- 【図 35】図 35 は、本発明の第 7 実施例に係る液晶表示用アクティブマトリクス基板に 50

区画形成されている画素領域の一部を拡大して示す平面図である。

【図 3 6】図 3 5 の V - V ' 線に相当する位置での断面図である。

【図 3 7】図 3 7 (A) ~ 図 3 7 (C) は、図 3 5 に示すアクティブマトリクス基板を製造するにあたって、図 2 7 に示す工程以降に行う各工程を示す断面図である。

【図 3 8】図 3 8 (A) (B) は、その他の実施の形態に係る液晶表示用アクティブマトリクス基板の説明図である。

【図 3 9】図 3 9 (A)、(B) は、比較例及び本願発明の実施例のコンタクトホール付近をそれぞれ拡大して示す縦断面図である。

【図 4 0】本発明の第 8 実施例に係る電子機器に含まれる液晶表示装置を示すブロック図である。

【図 4 1】図 4 0 の液晶表示装置を用いた電子機器の一例であるプロジェクタの概略断面図である。

【図 4 2】電子機器の他の一例であるパーソナルコンピュータの概略説明図である。

【図 4 3】電子機器のさらに他の一例であるページの組立分解斜視図である。

【図 4 4】T C P を有する液晶表示装置を示す概略説明図である。

【符号の説明】

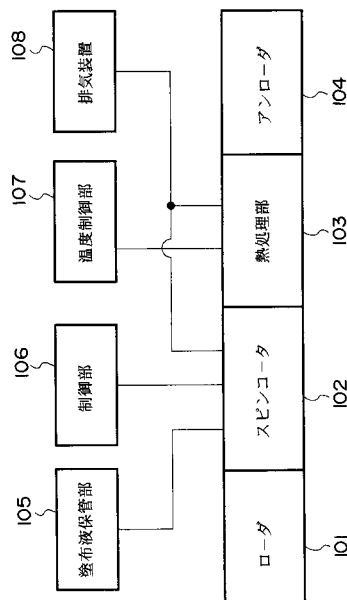
【0 2 4 7】

1 0, 3 0 ガラス基板、 1 2, 3 2 下地絶縁膜、 1 4 多結晶シリコン膜、
1 4 S, 3 3 S, 3 8 S ソース領域、 1 4 D, 3 3 D, 3 8 D ドレイン領域、
1 4 C, 3 3 C, 3 8 C チャンネル領域、 1 6, 3 6 ゲート絶縁膜、
1 8, 3 4, 3 5 ゲート電極、 2 0 層間絶縁膜、 2 2 画素電極、
2 4, 4 4 ソース線、 2 6 保護膜、 4 2 金属配線層、
4 6 チャンネル保護膜、 6 1 T F T、 6 2 画素電極 (I T O)

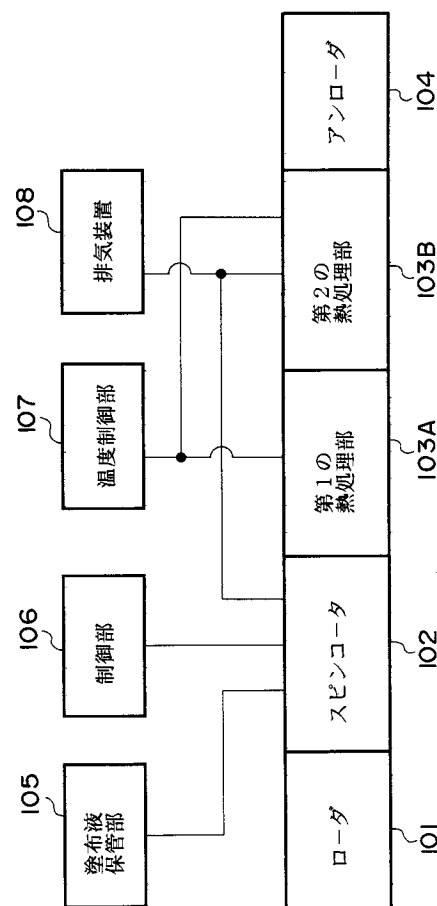
10

20

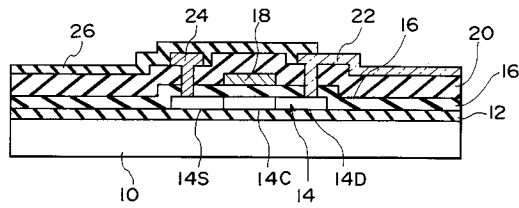
【図 1】



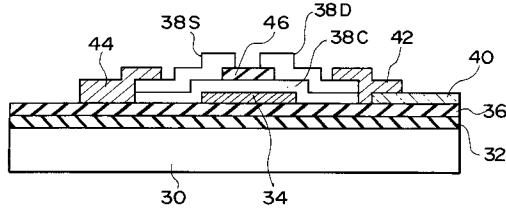
【図 2】



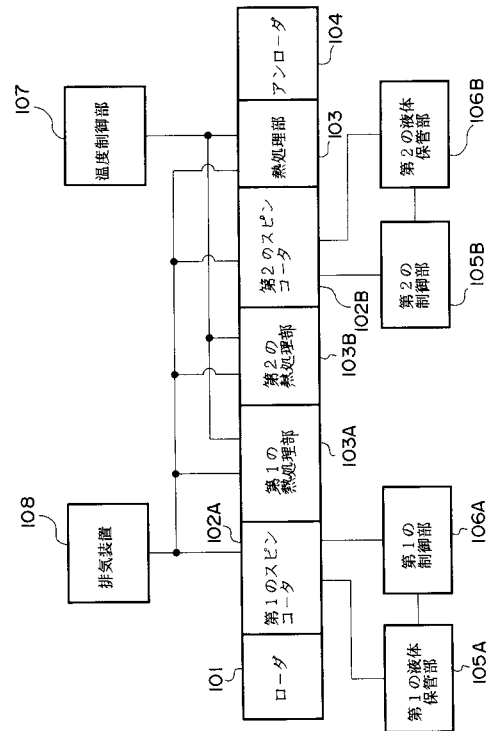
【図 3】



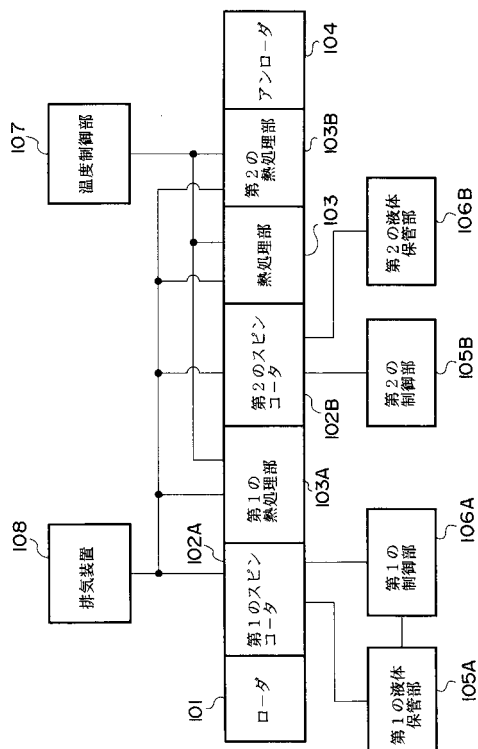
【図 4】



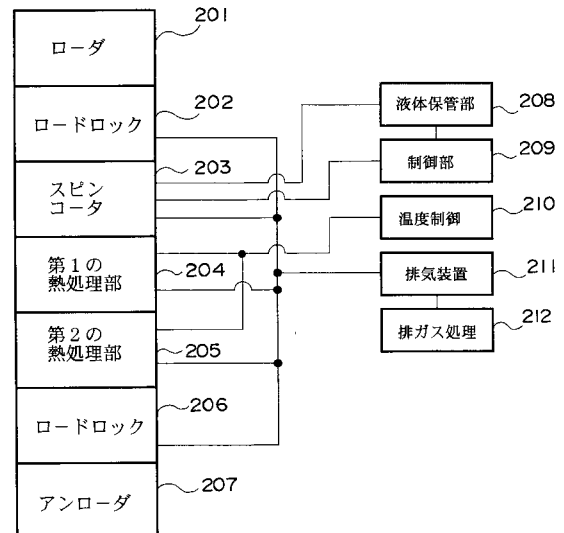
【図 5】



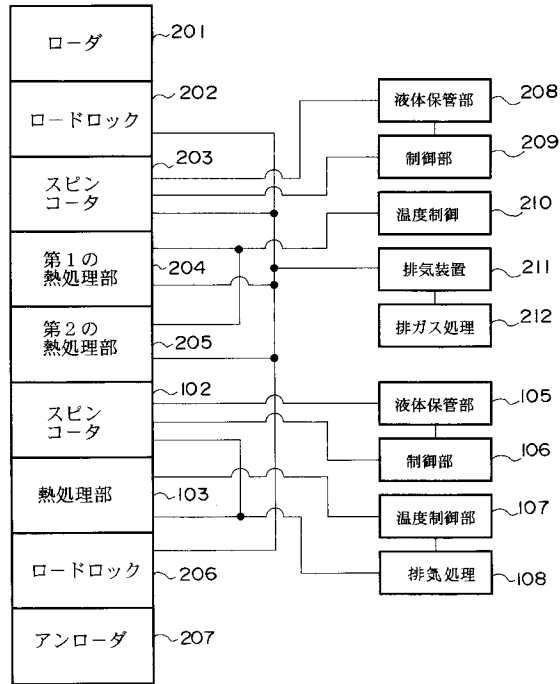
【図 6】



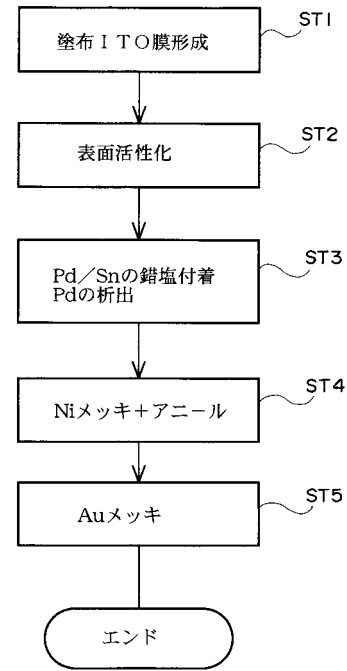
【図 7】



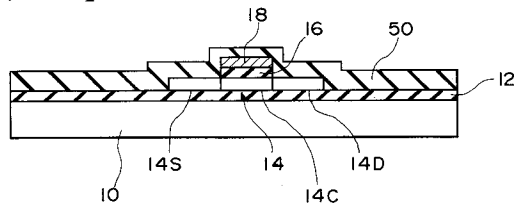
【図 8】



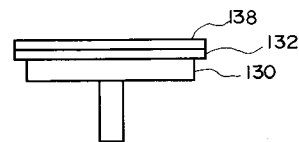
【図 9】



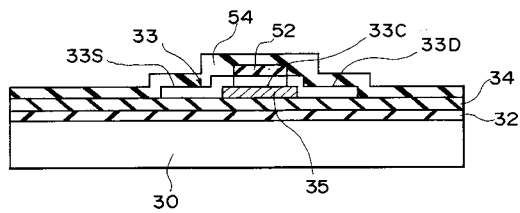
【図 10】



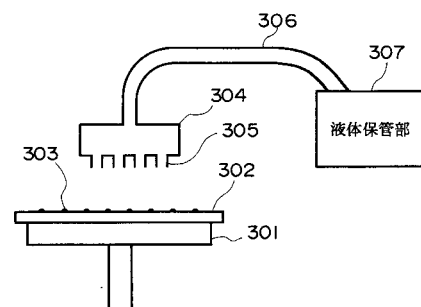
【図 13】



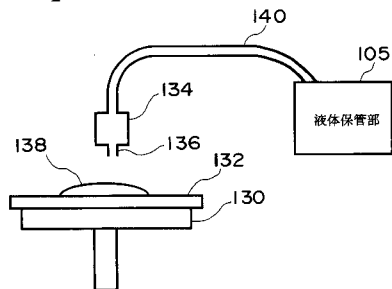
【図 11】



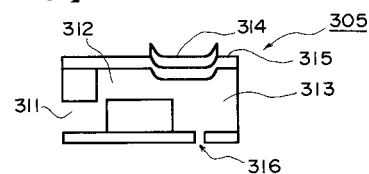
【図 14】



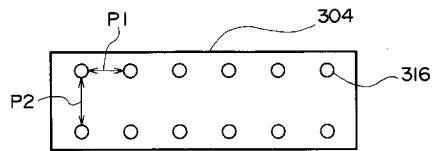
【図 12】



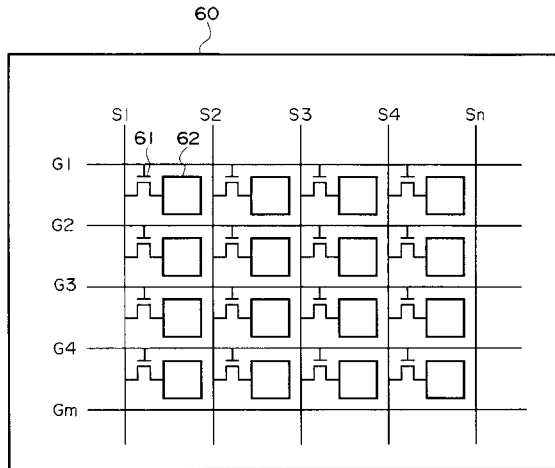
【図 15】



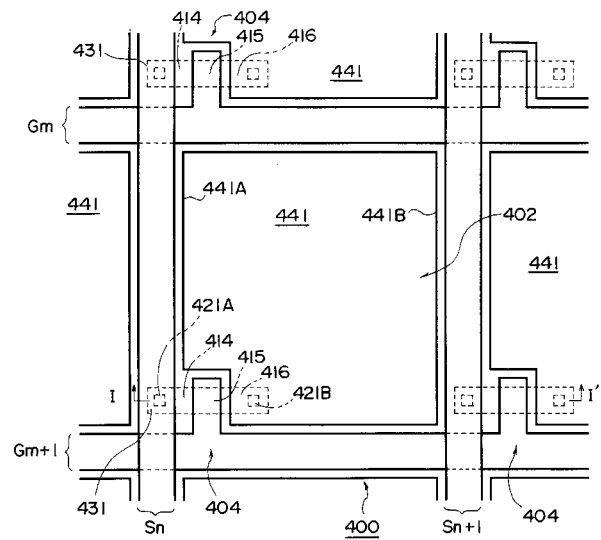
【図 16】



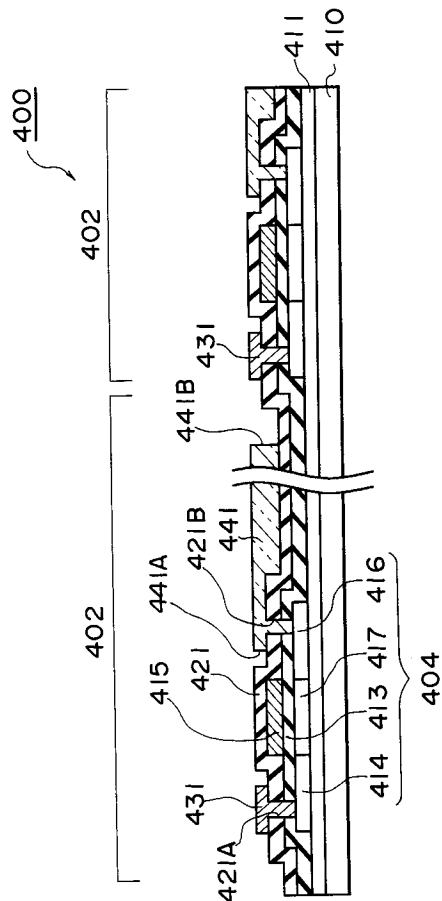
【図 17】



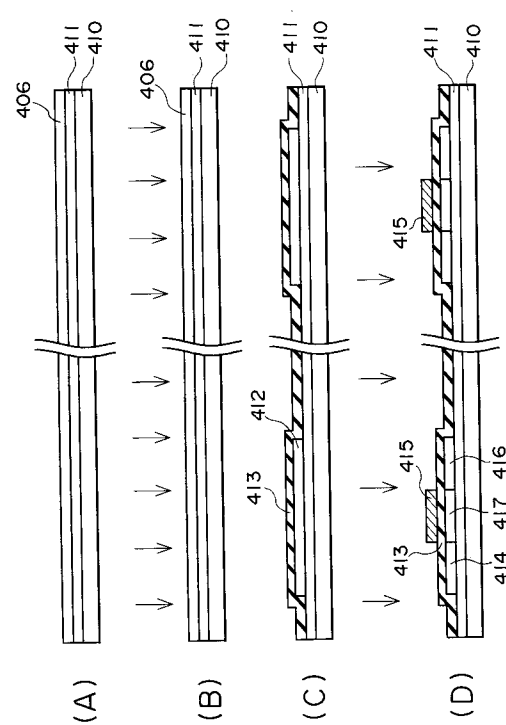
【図 18】



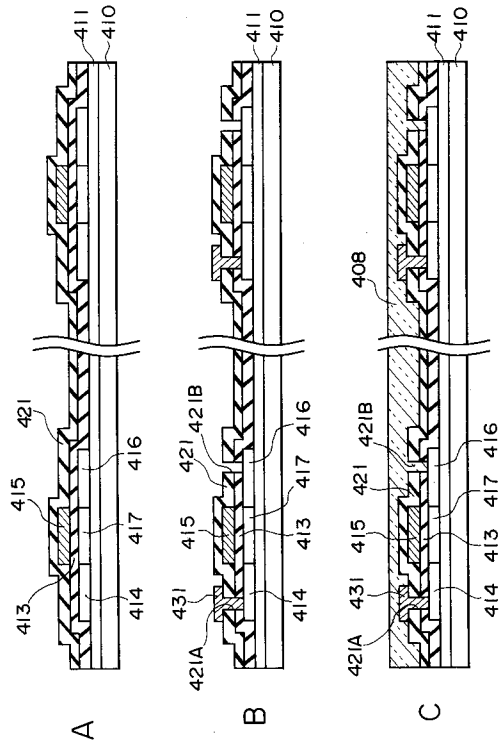
【図 19】



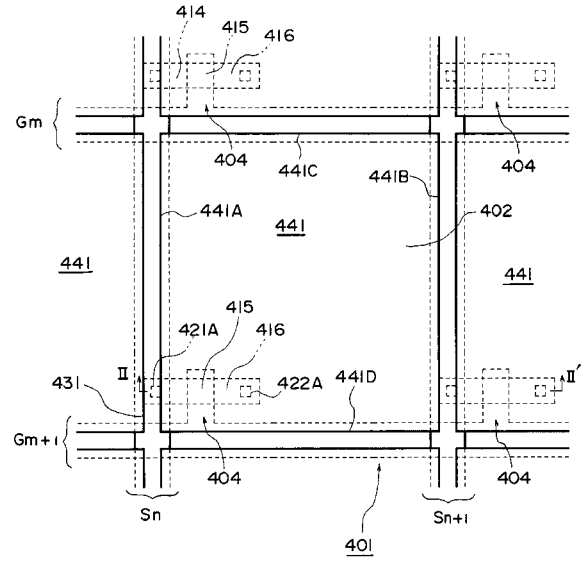
【図 20】



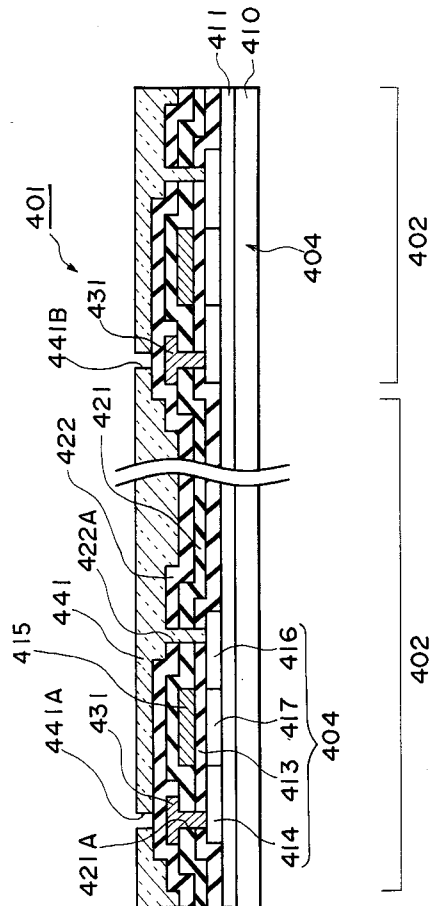
【図 2 1】



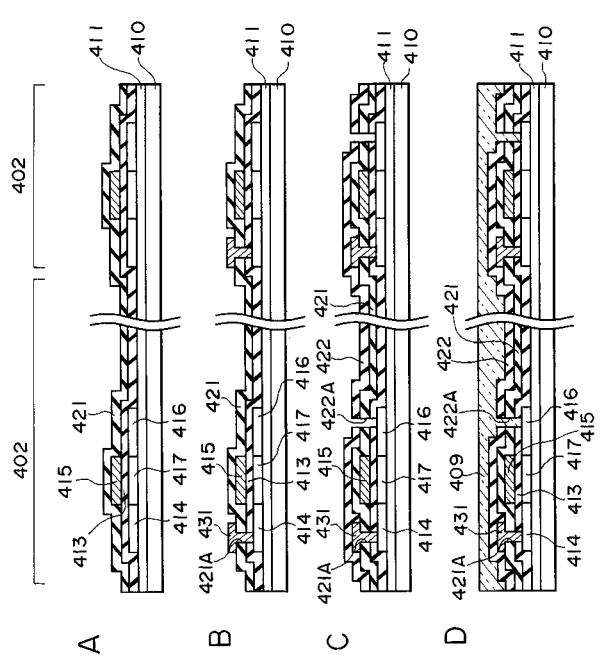
【図 2 2】



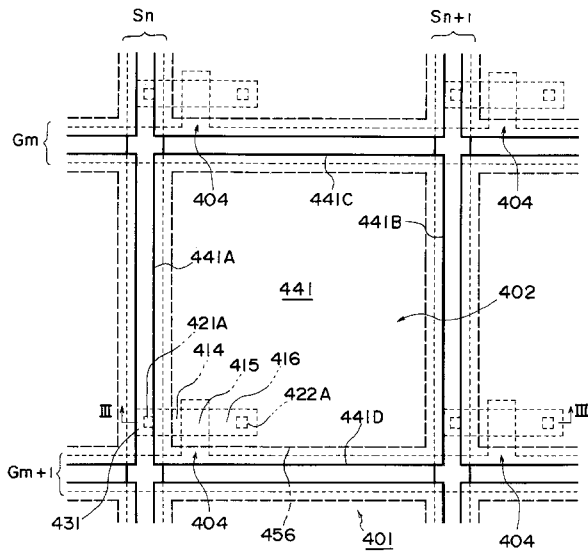
【図 2 3】



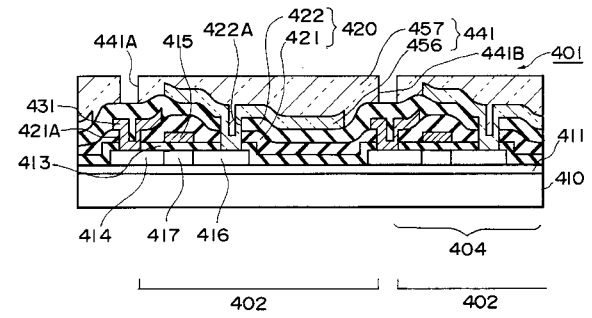
【図 2 4】



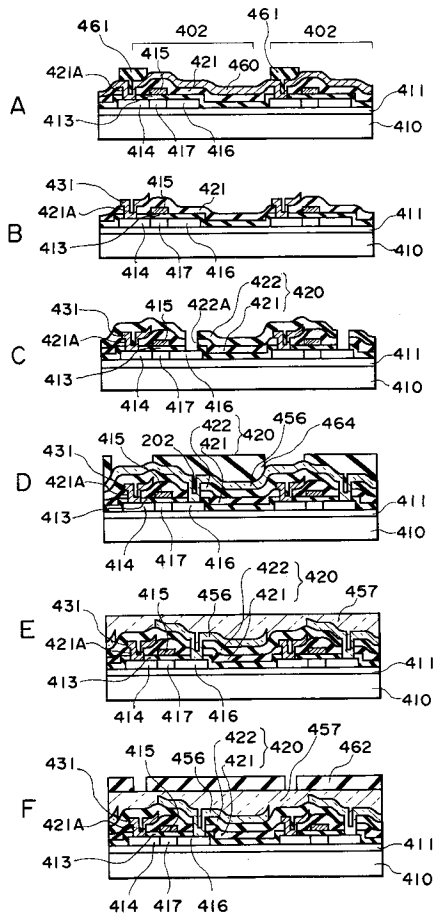
【図 29】



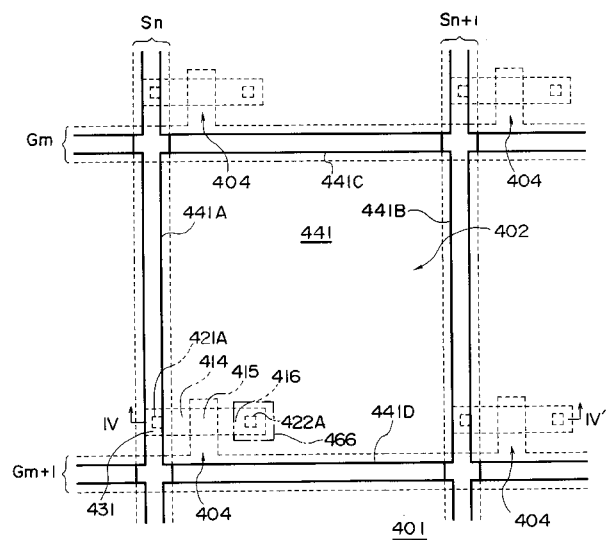
【図 30】



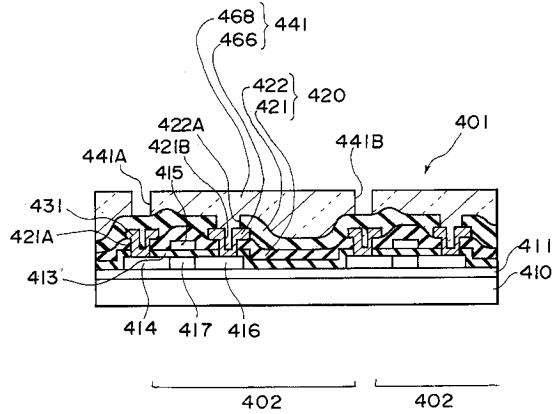
【図 31】



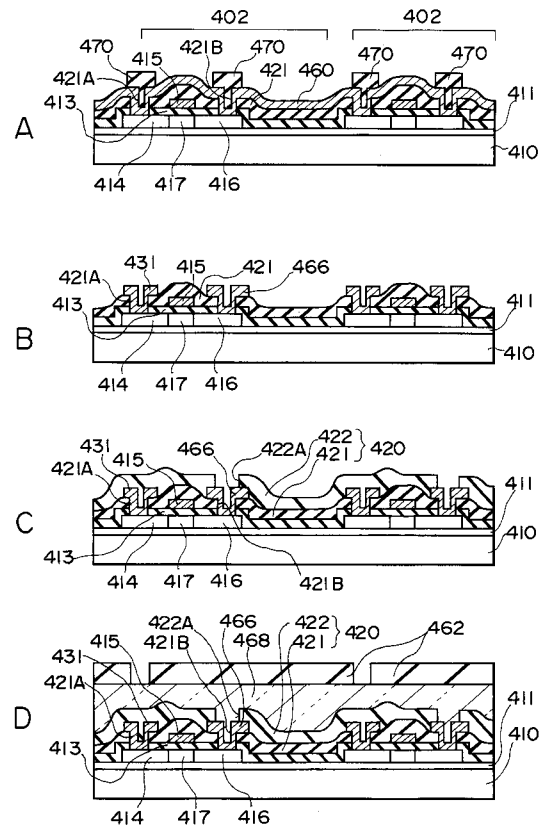
【図 32】



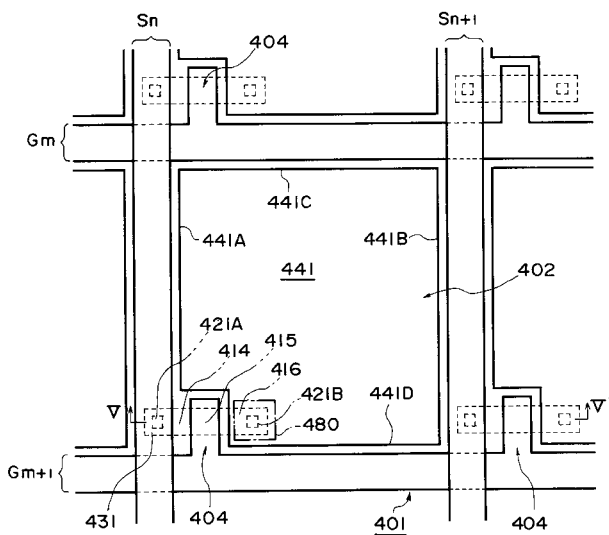
【図 3 3】



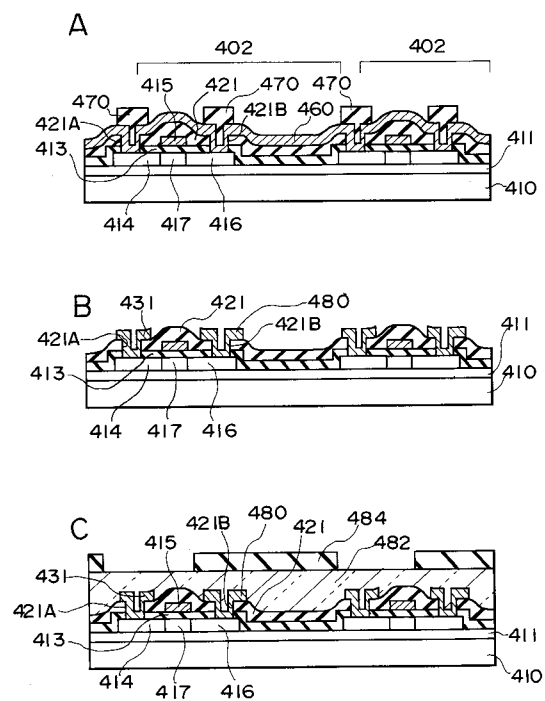
【図 3 4】



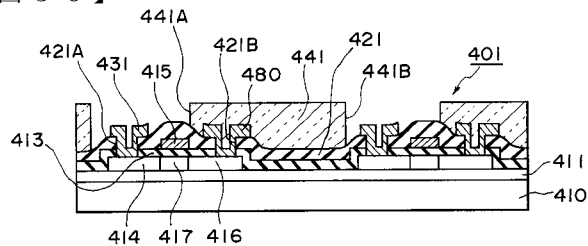
【図 3 5】



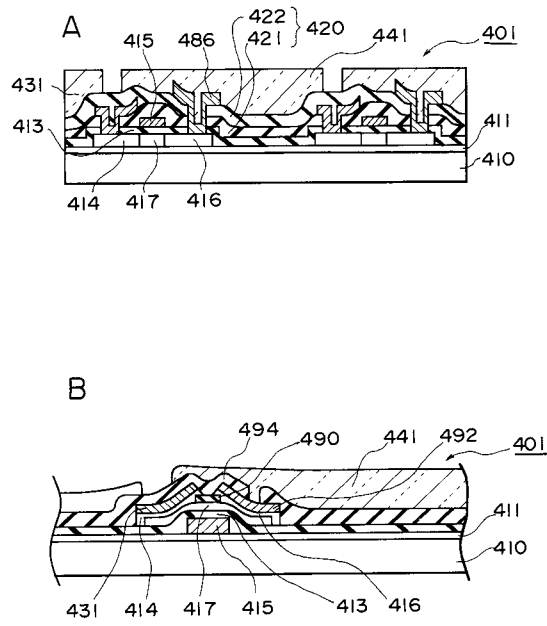
【図 3 7】



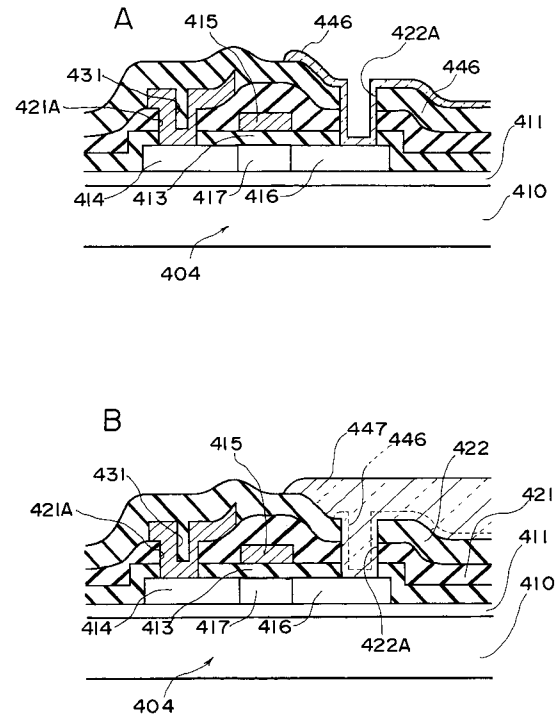
【図 3 6】



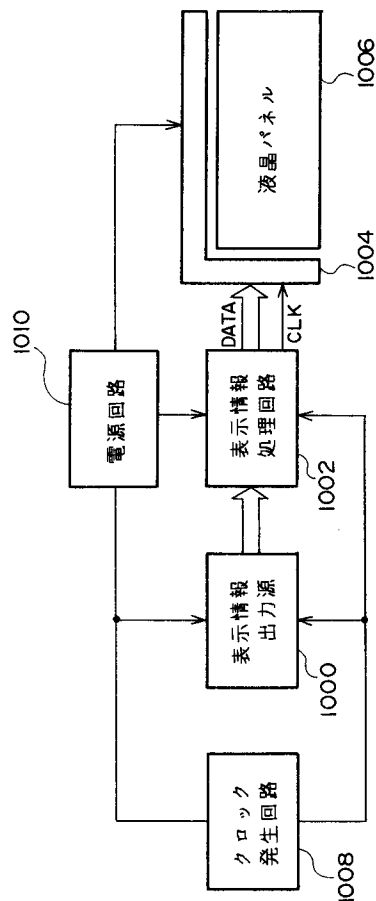
【図 38】



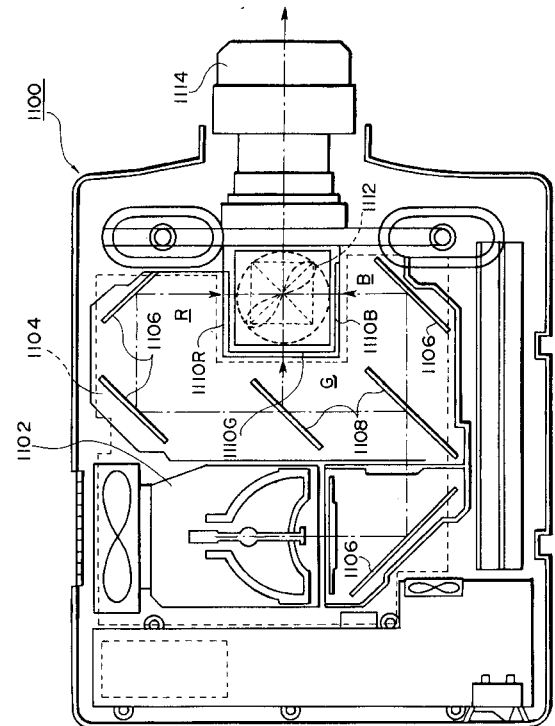
【図 39】



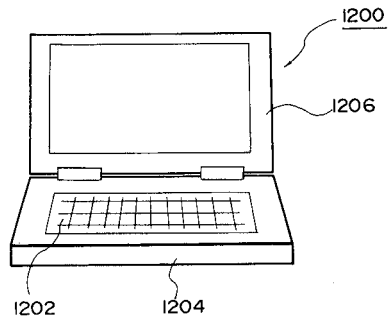
【図 40】



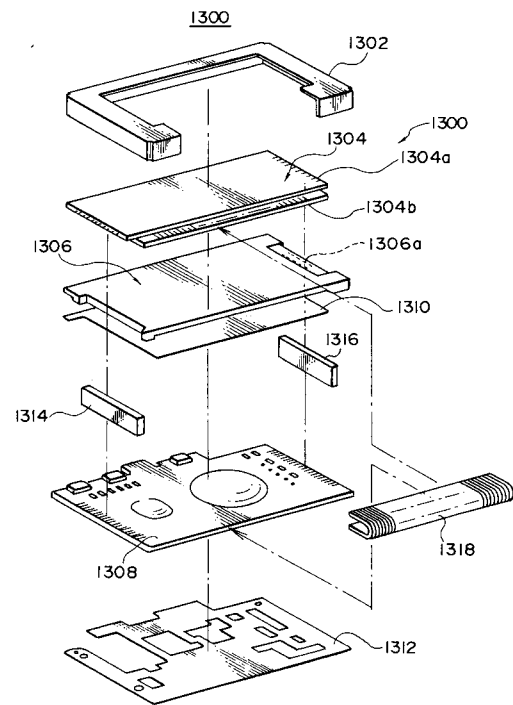
【図 41】



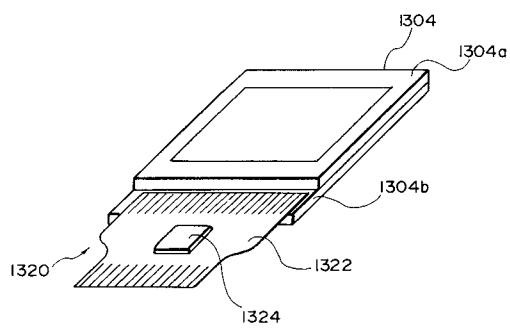
【図 4 2】



【図 4 3】



【図 4 4】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/288	H O 1 L 21/288 Z	5 F 0 5 2
H O 1 L 21/3205	H O 1 L 29/78 6 1 8 A	5 F 1 1 0
H O 1 L 21/336	H O 1 L 29/78 6 2 7 G	
H O 1 L 21/768	H O 1 L 29/78 6 1 9 A	
H O 1 L 29/786	H O 1 L 29/78 6 1 6 K	
	H O 1 L 29/78 6 1 7 V	
	H O 1 L 29/78 6 2 6 C	
	H O 1 L 29/78 6 1 6 U	
	H O 1 L 29/78 6 1 6 L	
	H O 1 L 29/78 6 1 2 D	
	H O 1 L 21/88 B	
	H O 1 L 21/90 Q	

(72)発明者 神戸 貞男

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 宮沢 和加雄

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2H090 HA02 HA06 HB12X HC06 HC08 HC15 LA01 LA04
 2H092 HA04 HA06 JA25 JB22 JB31 JB57 JB58 KA01 KA18 KB04
 KB13 KB22 KB24 KB25 MA05 MA10 MA29 MA30 NA27 RA05
 RA10
 4M104 AA09 BB02 BB04 BB05 BB08 BB09 BB13 BB36 DD51 DD79
 GG20
 5F033 GG04 HH07 HH08 HH11 HH13 HH14 HH15 HH17 HH38 PP26
 RR09 SS22 VV15 XX34
 5F045 AB02 AC01 AD07 AD08 AF07 CA15 EB08 EB09 EB12 EB19
 EE14 EG01 HA18 HA24
 5F052 AA02 AA24 DA01 DB10 EA06 JA01
 5F110 AA16 AA18 AA28 BB01 CC02 CC07 DD02 DD13 DD24 EE03
 EE44 FF02 FF09 FF27 FF29 FF36 GG02 GG13 GG15 GG35
 GG42 GG44 HJ01 HJ04 HJ12 HJ13 HJ16 HJ23 HK02 HK03
 HK04 HK07 HK09 HK16 HK32 HK33 HL02 HL03 HL04 HL07
 HL11 HL12 HL22 HL23 HM14 HM15 NN03 NN05 NN12 NN23
 NN25 NN33 NN35 NN36 NN40 NN72 PP01 PP02 PP03 PP11
 PP29 QQ09 QQ11 QQ19

专利名称(译)	具有涂膜的薄膜器件，液晶面板和电子器件，以及薄膜器件的制造方法		
公开(公告)号	JP2004145333A	公开(公告)日	2004-05-20
申请号	JP2003348025	申请日	2003-10-07
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	湯田坂一夫 下田達也 神戸貞男 宮沢和加雄		
发明人	湯田坂 一夫 下田 達也 神戸 貞男 宮沢 和加雄		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1362 H01L21/20 H01L21/205 H01L21/225 H01L21/288 H01L21/31 H01L21/3205 H01L21/336 H01L21/768 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	G02F1/136227 H01L27/12 H01L27/1285 H01L27/1292 H01L29/66757 H01L29/66765 Y10T428/1064 Y10T428/31663		
FI分类号	G02F1/1333.505 G02F1/1368 H01L21/20 H01L21/205 H01L21/225.R H01L21/288.Z H01L29/78.618.A H01L29/78.627.G H01L29/78.619.A H01L29/78.616.K H01L29/78.617.V H01L29/78.626.C H01L29/78.616.U H01L29/78.616.L H01L29/78.612.D H01L21/88.B H01L21/90.Q		
F-TERM分类号	2H090/HA02 2H090/HA06 2H090/HB12X 2H090/HC06 2H090/HC08 2H090/HC15 2H090/LA01 2H090/LA04 2H092/HA04 2H092/HA06 2H092/JA25 2H092/JB22 2H092/JB31 2H092/JB57 2H092/JB58 2H092/KA01 2H092/KA18 2H092/KB04 2H092/KB13 2H092/KB22 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA10 2H092/MA29 2H092/MA30 2H092/NA27 2H092/RA05 2H092/RA10 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB05 4M104/BB08 4M104/BB09 4M104/BB13 4M104/BB36 4M104/DD51 4M104/DD79 4M104/GG20 5F033/GG04 5F033/HH07 5F033/HH08 5F033/HH11 5F033/HH13 5F033/HH14 5F033/HH15 5F033/HH17 5F033/HH38 5F033/PP26 5F033/RR09 5F033/SS22 5F033/VV15 5F033/XX34 5F045/AB02 5F045/AC01 5F045/AD07 5F045/AD08 5F045/AF07 5F045/CA15 5F045/EB08 5F045/EB09 5F045/EB12 5F045/EB19 5F045/EE14 5F045/EG01 5F045/HA18 5F045/HA24 5F052/AA02 5F052/AA24 5F052/DA01 5F052/DB10 5F052/EA06 5F052/JA01 5F110/AA16 5F110/AA18 5F110/AA28 5F110/BB01 5F110/CC02 5F110/CC07 5F110/DD02 5F110/DD13 5F110/DD24 5F110/EE03 5F110/EE44 5F110/FF02 5F110/FF09 5F110/FF27 5F110/FF29 5F110/FF36 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG35 5F110/GG42 5F110/GG44 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ13 5F110/HJ16 5F110/HJ23 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK32 5F110/HK33 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HL11 5F110/HL12 5F110/HL22 5F110/HL23 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN05 5F110/NN12 5F110/NN23 5F110/NN25 5F110/NN33 5F110/NN35 5F110/NN36 5F110/NN40 5F110/NN72 5F110/PP01 5F110/PP02 5F110/PP03 5F110/PP11 5F110/PP29 5F110/QQ09 5F110/QQ11 5F110/QQ19 2H092/GA59 2H092/GA60 2H190/HA02 2H190/HA06 2H190/HB12 2H190/HC06 2H190/HC08 2H190/HC15 2H190/LA01 2H190/LA04 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB71 2H192/EA04 2H192/EA74 2H192/EA76 2H192/FA73 2H192/FB46 2H192/HA23 2H192/HA27 2H192/HA82 2H192/HA90 2H192/HA91 2H192/JB02 5F152/AA13 5F152/AA15 5F152/BB02 5F152/BB03 5F152/CC02 5F152/CD13 5F152/CE03 5F152/CE05 5F152/CE12 5F152/CE15 5F152/CE18 5F152/CE24 5F152/CE28 5F152/CF02 5F152/CF04 5F152/CF13 5F152/EE13 5F152/FF01 5F152/FF11 5F152/FF21 5F152/FF36 5F152/FF37		

代理人(译)	井上 一
优先权	1996120653 1996-05-15 JP 1996248071 1996-09-19 JP 1996303387 1996-11-14 JP
其他公开文献	JP3876994B2 JP2004145333A5
外部链接	Espacenet

摘要(译)

解决的问题：提供一种无需使用真空处理装置就能够形成用于液晶显示基板等的薄膜层叠结构的薄膜的一部分或全部的薄膜装置及其制造方法。要做。通过施加液体并对其进行热处理来形成形成TFT的绝缘膜，硅膜和导电膜中的任何一种的薄膜。在旋涂机102中，将从涂布液存储单元105供给的包含薄膜成分的液体旋涂在基板上。在热处理单元103中对涂覆有涂布液的基板进行热处理，以在基板上形成涂膜。如果进一步进行激光退火等，则结晶性，致密化或密合性的膜质量提高。[选型图]图1

