

(19)日本国特許庁（J P）

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003－303973

(P2003－303973A)

(43)公開日 平成15年10月24日(2003.10.24)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/786		G 0 2 F 1/13357	2 H 0 9 1
G 0 2 F 1/13357		1/1343	2 H 0 9 2
1/1343		1/1368	5 C 0 9 4
1/1368		G 0 9 F 9/30	5 F 1 1 0
G 0 9 F 9/30	338	9/35	
審査請求 未請求 請求項の数 6 O L (全 7 数) 最終頁に続く			

(21)出願番号 特願2002－108790(P2002－108790)

(22)出願日 平成14年4月11日(2002.4.11)

(71)出願人 595059056

株式会社アドバンスト・ディスプレイ

熊本県菊池郡西合志町御代志997番地

(72)発明者 升谷 雄一

熊本県菊池郡西合志町御代志997番地 株式

会社アドバンスト・ディスプレイ内

(72)発明者 永野 慎吾

熊本県菊池郡西合志町御代志997番地 株式

会社アドバンスト・ディスプレイ内

(74)代理人 100103894

弁理士 家入 健

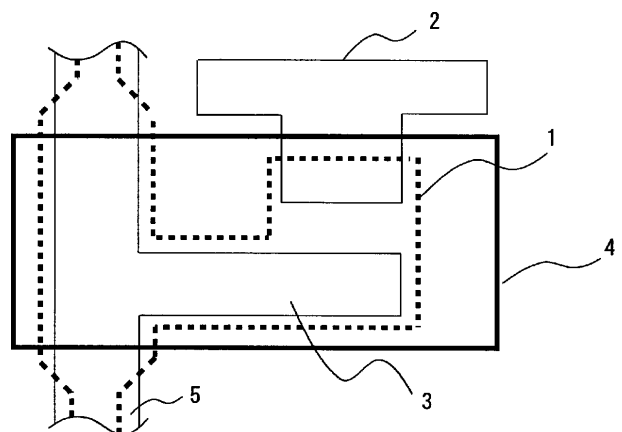
最終頁に続く

(54)【発明の名称】 薄膜トランジスタアレイ基板及びそれを用いた液晶表示装置

(57)【要約】

【課題】光リークの発生が抑制されたT F Tアレイ基板及びそのT F Tアレイ基板を用いた表示特性の劣化及び点欠陥の発生が抑制された液晶表示装置を提供すること。

【解決手段】本発明にかかるT F Tアレイ基板は絶縁性基板上に設けられたゲート配線4と、ゲート配線4と絶縁膜を介して交差するソース配線5と、ソース配線と接続されたソース電極3と、ソース電極3と対向して設けられたドレイン電極2と、ソース電極3とドレイン電極2の下層に設けられた半導体層1を備えている。そしてドレイン電極2の下に位置する半導体層1がゲート配線4に内包されるとともに、ソース電極3の端面と半導体層1の端面とがゲート配線上で交わっていない。



【特許請求の範囲】

【請求項1】絶縁性基板上の画素を構成する画素電極を駆動するゲート配線と、
前記ゲート配線と絶縁膜を介して交差するソース配線と、
前記ソース配線と接続されたソース電極と、
前記ソース電極と対向して設けられ、かつ前記画素電極と接続されたドレイン電極と、
前記ソース電極及び前記ドレイン電極と接続されるとともに、当該ソース電極とドレイン電極の下層に設けられた半導体層を備えた薄膜トランジスタアレイ基板において、
前記ドレイン電極の下に位置する半導体層が前記ゲート配線に内包されるとともに、
前記ソース電極の端面と前記半導体層の端面とが前記ゲート配線上で交わらないことを特徴とする薄膜トランジスタアレイ基板。

【請求項2】前記半導体層は、前記ソース配線のソース電極と反対側の側面よりも内側に設けられたことを特徴とする請求項1記載の薄膜トランジスタアレイ基板。

【請求項3】前記ソース配線の下に位置する半導体層は、前記ゲート配線の外側の近傍に端部を有することを特徴とする請求項1又は2記載の薄膜トランジスタアレイ基板。

【請求項4】請求項1乃至3いずれか記載の薄膜トランジスタ基板を用いた液晶表示装置。

【請求項5】請求項1乃至3いずれか記載の薄膜トランジスタ基板を用いた横方向電界方式の液晶表示装置

【請求項6】正面輝度が3000cd/m²以上のバックライトを備えた請求項4又は5記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ及びこれを用いた液晶表示装置に関する。

【0002】

【従来の技術】液晶を用いた表示装置は、通常、対向する2枚の絶縁性基板の間に液晶などの表示材料が挟持されると共に、この表示材料に選択的に電圧が印加されるように構成される。これらの絶縁性基板の少なくとも一方には薄膜トランジスタ（以下、TFTと称す）などのスイッチング素子およびこれと接続する画素電極などが形成された基板（以下、TFTアレイ基板と称する）を用いる。該TFTアレイ基板には、該スイッチング素子に信号を与えるための信号配線（ソース配線、ゲート配線）がマトリクス状に形成されている。

【0003】従来のTFTの構造を図5、図6に示す。図5はボトムゲート型構造のTFT部の平面図であり、図6は図5におけるA-A断面図である。ここで1は半導体層、2はドレイン電極、3はソース電極、4はゲート配線、5はソース配線を示す。TFTの一般的な製造

方法を図5を用いて説明する。まず絶縁性基板上にAl、Cr、Mo、Ti、W等の導電膜をスパッタ装置により成膜する。そして写真製版工程、エッチング工程及びレジスト除去工程によりゲート配線4を形成する。次にゲート配線が形成された絶縁性基板上にSiNx等の絶縁膜、及びa-Si膜の半導体膜をプラズマCVD装置により成膜する。ここで半導体膜表面にはP、As等の不純物をドーピングして、オーミック層としてn+a-Si層を形成する。そして写真製版工程、エッチング工程及びレジスト除去工程により半導体層1を形成する。さらにその上からドレイン電極2、ソース電極3、ソース配線5を形成するためのAl、Cr、Mo、Ti、W等の導電膜をスパッタ装置により形成する。そして写真製版工程、エッチング工程及びレジスト除去工程によりドレイン電極2、ソース電極3及びソース配線5を形成する。これにより図5のようなTFT構造が得られる。この段階でのA-A断面を図6に示す。ドレイン電極2の下の半導体層1はゲート配線4よりはみ出した構造となる。

【0004】さらにこの後に層間絶縁膜であるSiNx膜を形成し、写真製版工程、レジスト除去工程、エッチング工程によりコンタクトホールを形成する。そしてITO膜等の透明性導電膜を成膜する。写真製版工程、レジスト除去工程、エッチング工程により画素電極を形成する。コンタクトホールを介してドレイン電極2とITO膜とが接触し、スイッチング素子と画素電極が接続される構造となる。以上のような工程でTFTが形成され、このTFTをアレイ状に設けたTFTアレイ基板が液晶表示装置に用いられる。

【0005】図5に示す構造ではゲート配線4とソース配線5とがゲート絶縁膜を介して交差している。ゲート配線4上でソース配線5とソース電極3が接続している。そしてゲート電極を介して前記ソース電極3と対向する位置にドレイン電極2が設けられている。このソース電極3の全域、ソース配線5の一部及びドレイン電極2の一部の下層に半導体層1が設けられた構造となる。そしてこのドレイン電極2の下に設けられた半導体層1はゲート配線4からはみ出した構造となる。

【0006】

【発明が解決しようとする課題】上記の従来技術において、ゲート配線4からはみ出した部分の半導体層1にTFTアレイ基板の下方からバックライト光が照射されると半導体層1中に電荷が誘起される。このような状態では、画素電極に蓄積された電荷が、ドレイン電極2下に発生したキャリアを介してTFT部の半導体層1（チャネル）に流入する。さらにソース配線5とゲート配線4との交差部近傍の半導体層1にバックライト光が照射されることにより、TFT部の半導体層1（チャネル）に存在する電荷（キャリア）は、ソース配線5下の半導体層1に発生したキャリアを介してソース配線5に流入す

る。以上のメカニズムにより、画素電極の電荷がソース配線5に流出することでリーク電流が生じる。この光リークにより、クロストーク、輝度ムラ、コントラスト低下など表示特性の低下が発生する。

【0007】従って液晶表示装置では半導体層1の下ゲート配線4からはみ出した部分によって光リークが発生する。この対策として半導体層1のはみ出し量を減少させた構造のTFTが用いられることがある。この構造を図7に示す。図7は上述の製造方法と同様の製造方法で形成したTFTであり、図5と同じ製造段階での平面図である。この構造ではゲート配線4上で半導体層1を島化しており、半導体層1パターンが全てゲート配線4上に内包されている。従ってバックライトから光がゲート配線4によって遮られ、半導体層1中に誘起される電荷が少なくなる。よって光リークに対して強いTFTを形成することができ、輝度ムラやコントラスト低下など表示特性の低下が抑制される。

【0008】しかし、図7に示すようなTFTを用いた場合、ある確率で点欠陥が発生する問題がある。解析を行った結果、この点欠陥はTFTリーク電流が大きくなることにより生じていることがわかった。

【0009】このように、従来の液晶表示装置では、バックライトを照射した場合に輝度ムラやコントラスト低下などの表示特性が劣化するという問題点や、点欠陥が生じるという問題点があった。

【0010】我々は、上記問題点を解決するため、様々な形状のTFTを作成し点欠陥の発生との相関を調べた。その結果、ゲート電極上にa-Siの端部がソース配線とドレイン電極の両方と交わるようにa-Siを配置した場合に点欠陥が発生しやすく、いずれかの一方の交点をゲート電極の外側になるように配置すると点欠陥が発生しにくくなることが明らかになった。

【0011】この理由としては、点欠陥を生じたTFTのリークパスの端面がa-Siの端面を介するものであり、該リークパスの導電率はゲート配線からの電界により変動することが考えられる。すなわち保持期間中のゲート配線からの電界により点欠陥となる画素のa-Si端面の導電率が低くなる。全てのa-Si端面がゲート配線上に配置されている場合はリークパスとして機能するが、その一部がゲート配線上になければその部分が高抵抗となりリークパスが分断されるためにリーク電流が流れない。本発明にかかる薄膜トランジスタは、この実験結果を反映したものである。

【0012】本発明は、このような問題点を解決するためになされたもので、光リークの発生が抑制されたTFTアレイ基板及びそのTFTアレイ基板を用いた表示特性の劣化及び点欠陥の発生が抑制された液晶表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明にかかる第1の薄

膜トランジスタアレイ基板は絶縁性基板上の画素を構成する画素電極を駆動するゲート配線（例えば、本実施の形態におけるゲート配線4）と、前記ゲート配線と絶縁膜を介して交差するソース配線（例えば、本実施の形態におけるソース配線5）と、前記ソース配線と接続されたソース電極（例えば、本実施の形態におけるソース電極3）と、前記ソース電極と対向して設けられ、かつ前記画素電極と接続されたドレイン電極（例えば、本実施の形態におけるドレイン電極2）と、前記ソース電極及び前記ドレイン電極と接続されるとともに、当該ソース電極とドレイン電極の下層に設けられた半導体層（例えば、本実施の形態における半導体層1）を備えた薄膜トランジスタアレイ基板において、前記ドレイン電極の下に位置する半導体層が前記ゲート配線に内包されるとともに、前記ソース電極の端面と前記半導体層の端面とが前記ゲート配線上で交わらないことを特徴とするものである。これにより点欠陥の発生を防止しながら、光リークの発生を抑制することができる。

【0014】本発明にかかる第2の薄膜トランジスタアレイ基板は、上述の第1の薄膜トランジスタアレイ基板であって、前記半導体層は、前記ソース配線のソース電極と反対側の側面よりも内側に設けられたことを特徴とするものである。これにより光リークの発生を抑制することができる。

【0015】本発明にかかる第3の薄膜トランジスタアレイ基板は、上述の第1または第2いずれかの薄膜トランジスタアレイ基板であって、前記ソース配線の下に位置する半導体層は、前記ゲート配線の外側の近傍に端部を有することを特徴とするものである。

【0016】本発明にかかる薄膜トランジスタは液晶表示装置に用いることができる。これにより表示特性の優れた液晶表示装置を提供することができる。

【0017】本発明にかかる薄膜トランジスタは光リークに強い横方向電界方式の液晶表示装置に用いることが好適である。これにより表示特性の優れた液晶表示装置を提供することができる。

【0018】上述の液晶表示装置は、光リークに強い正面輝度が3000cd/m²以上のバックライトを備えた液晶表示装置にもちいることができる。

【0019】

【発明の実施の形態】本発明の実施の形態1. 本発明にかかるTFTの構造を図1を用いて説明する。図1はTFTの平面図であり、以下の製造工程により製造される。ここで1は半導体層、2はドレイン電極、3はソース電極、4はゲート配線、5はソース配線を示す。まず絶縁性基板上にAl、Cr、Mo、Ti、W等の金属又はこれらを主成分とする合金をスパッタ装置により100～500nm程度の厚さで成膜する。そして写真製版工程、エッチング工程及びレジスト除去工程によりパターンニングし、ゲート配線4を形成する。次に導電膜がパ

ターニングされた絶縁性基板上にSiNx等の絶縁膜、及びa-Si膜の半導体膜をプラズマCVD装置によりそれぞれ150～500nm、50～300nm程度の厚さで成膜する。ここで半導体膜表面にPをドーピングして、オーミック層としてn+a-Siを形成する。そして写真製版工程、エッチング工程及びレジスト除去工程により半導体層1を形成する。さらにその上からドレイン電極2、ソース電極3、ソース配線5を形成するためのAl、Cr、Mo、Ti、W等の金属又はこれらを主成分とする合金をスパッタ装置により100～500nm程度の膜厚で形成する。この導電膜を写真製版工程、エッチング工程及びレジスト除去工程によりパターンニングし、ドレイン電極2、ソース電極3及びソース配線5を形成する。これにより図1に示すTF T構造が得られる。

【0020】さらにこの後に層間絶縁膜であるSiNx膜を300nm程度の膜厚で形成する。そして写真製版工程、レジスト除去工程及びエッチング工程によりコンタクトホールを形成する。そしてITO膜等の透明性導電膜を100nm程度の膜厚で成膜する。写真製版工程、エッチング工程及びレジスト除去工程により画素電極を形成する。ここでコンタクトホールを介してドレイン電極とITO膜とが接触し、スイッチング素子と画素電極が接続される構造となる。以上のような工程でTF Tアレイ基板が形成される。このTF Tアレイ基板を用いることにより液晶表示装置が形成される。横方向電界方式の液晶表示装置に用いるTF Tアレイ基板を作成する際にはITOの代わりにCr、Al、Mo、Ti、W等の金属を用いて画素電極を形成してもよい。またドレイン電極2をその横方向電界方式の画素電極としてもよい。

【0021】図1に示す構造ではゲート配線4とソース配線5とが、ゲート絶縁膜を介して交差している。そしてそのゲート配線4上で、ソース配線5の一部とソース電極3が接続している。さらにゲート配線4上に設けられたゲート電極の上でソース電極3と対向する位置にドレイン電極2が設けられている。このドレイン電極2はゲート配線からはみ出した構造をとり画素電極と接続され、スイッチング素子となる。そしてこのソース電極3の全域、ドレイン電極2の一部及びソース配線5の一部の下に半導体層1が設けられている。そのソース配線5の下に設けられた半導体層1はゲート配線4の外側の近傍でソース配線5の内側から外側へ交差している構造となる。

【0022】ここではドレイン電極2の一部の下に設けられた半導体層1はゲート配線4上に内包された構造となる。従ってバックライトの照射された光がゲート配線4で遮られ半導体層1に照射されない構造となる。よってTF T部の半導体層1（チャネル）に誘起される電荷（キャリア）が減少する。これにより光リークの発生を

抑制することができる。よって輝度ムラやコントラスト低下等の表示特性の劣化を抑制できる。

【0023】またソース電極3の下に全域に渡って、半導体層1が設けられている。そしてソース配線5とゲート配線4が交差する部分の外側近傍で半導体層1とソース配線5が交差した構造となる。そのためゲート配線4上で半導体層1の端面とソース電極3の端面とが交差した部分が存在しない。従って半導体層1端面のリークパスが発生せず、リーク起因による点欠陥の発生が抑制される。

【0024】本発明の実施の形態2. 本発明にかかる実施の形態2のTF T構造を図2に示す。この実施の形態2にかかるTF T構造の構成は図1と同様なので説明を省略する。また製造方法も同様であるため説明を省略する。

【0025】本実施の形態でもソース電極3の下に全域に渡って、半導体層1が設けられており、この点では実施の形態1と同じである。従ってゲート配線4上で半導体層1の端面とソース電極3の端面とが交差した部分が存在しないため、実施の形態1と同様に、半導体層1端面のリークパスが発生せず、リーク起因による点欠陥の発生が抑制される。

【0026】本実施の形態ではソース配線5の下の半導体層1が、ソース配線5を介してソース電極3の反対側の側面においてソース配線5の内側に設けられている点で上記の実施の形態1と異なる。この構造ではソース配線5が形成されている領域でゲート配線4からはみ出した半導体層1の面積が小さくなる。従って、ソース配線5とゲート配線4との交差部近傍の半導体層1において光照射による電荷（キャリア）の発生が抑制される。これによりTF T部の半導体層（チャネル）からソース配線に流入するリーク電流をさらに抑制することができる。よって輝度ムラやコントラスト低下など表示特性の低下が抑制される。

【0027】本発明の実施の形態3. 本発明にかかる実施の形態3のTF T構造を図3に示す。この実施の形態3にかかるTF T構造の構成は図1と同様なので説明を省略する。また製造方法も実施の形態1と同様であるため説明を省略する。

【0028】本実施の形態では上述の実施の形態2で示した構造のTF Tにおいて、ソース配線5下の半導体層1の端面がゲート配線4との外側の近傍に設けられている点で上述の実施の形態1、2と異なる。この構造では、ソース配線5の下においてゲート配線4からはみ出した半導体層1の面積をさらに小さくすることができる。従って、半導体層1の大部分でバックライトがゲート配線4によって遮られ、ソース配線5の下層の半導体層1において光照射による電荷（キャリア）の発生がさらに抑制される。これによりTF T部の半導体層1（チャネル）からソース配線5に流入するリーク電流をさら

に抑制することができる。よって光リークに対して強くなり、液晶表示装置において輝度ムラ、コントラスト低下などの表示特性の低下が抑制される。

【0029】図3では、実施の形態2で示した図2のTFTアレイ基板の半導体層1の端面をゲート配線の外側の近傍に設けたが、これに限らず実施の形態1で示した図1のTFTアレイ基板においてソース配線5の下層の半導体層1の端面をゲート配線の外側の近傍に設けても同様の結果が得られる。

【0030】その他の実施の形態。上記の実施の形態3ではソース配線5の下層の半導体層1の端面をソース配線5とゲート配線4との交差部近傍の両側に設けたが、図4に示す様に片側のみ設けても、はみ出した半導体層1の面積をさらに小さくすることができる。これにより、リーク電流を抑制することができる。よって輝度ムラ、コントラスト低下など表示特性の低下が抑制される。

【0031】図4ではソース配線5の下においてソース電極3側に半導体層1の端面を設けたが、ドレイン側に半導体層1を設けても同様の効果をえることができる。

【0032】本発明にかかるTFTアレイ基板は実施の形態1で示した製造方法で挙げた膜厚、膜種に限らず、他の膜種、膜厚を有するTFT構造でも、当該半導体層1の構造が同様であれば同様の効果が得られる。例えば導電膜はAl、Cr、Mo、Ti、W以外にもNi、Ag、Ta、Cu等の金属及びこれらを主成分とした合金でもよい。さらに絶縁膜はSiNxに限らずSiO₂でもよい。また半導体層1はa-Si膜（アモルファスシリコン）に限らずp-Si膜（ポリシリコン）でもよい。オーミック層を形成するためにPをドーピングしてn+a-Si層を形成したがAsをドーピングしてもよい。さらにはBをドーピングしてオーミック層としてp+a-Si層を形成してもよい。ドーピングの方法としては成膜中に所定の不純物を含んだガスを導入する方法や、イオンドーピング方法、イオン注入方法を用いるとよい。また成膜方法はスパッタ法、プラズマCVD法に限らず蒸着法、減圧CVD法、常圧CVD法を用いてもよい。

【0033】本発明にかかるTFTアレイ基板を液晶表示装置に用いることにより輝度ムラ、コントラスト低下*

*など表示特性の低下が抑制され、かつ点欠陥の少ない表示特性の優れた高品質の液晶表示装置を製造することができる。

【0034】さらに本発明にかかるTFTアレイ基板はリーク電流が小さいので、保持容量が小さく、リーク電流に対して敏感な反応を示す横方向電界方式の液晶表示装置（IPS方式TFT-LCD）に用いることが好適である。

【0035】また本発明にかかるTFTアレイ基板は、光リークが小さいためバックライトの正面輝度が高い液晶表示装置に用いることが好適である。例えばバックライトの正面輝度が3000cd/m²以上の液晶表示装置に用いることも可能である。これにより高輝度であり、かつ光リークによる輝度ムラやコントラスト低下などが抑制された高品質の液晶表示装置を提供することができる。

【0036】

【発明の効果】本発明によれば、光リークが抑制されたTFTアレイ基板、及びそのTFTアレイ基板を用いた表示特性の劣化及び点欠陥の発生が抑制された液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかるTFT構造を示す平面図である。

【図2】本発明の実施の形態2にかかるTFT構造を示す平面図である。

【図3】本発明の実施の形態3にかかるTFT構造を示す平面図である。

【図4】本発明のその他の実施の形態にかかるTFT構造を示す平面図である。

【図5】従来のTFT構造を示す平面図である。

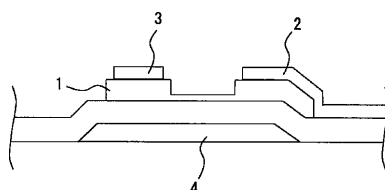
【図6】図5のA-A断面図である。

【図7】従来のTFT構造を示す平面図である。

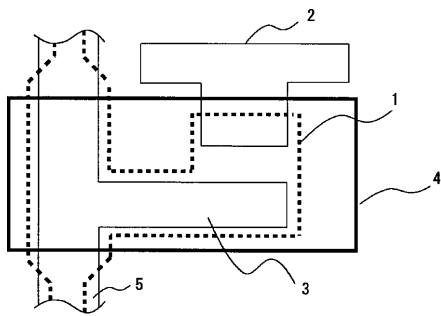
【符号の説明】

- 1 半導体層
- 2 ドレイン電極
- 3 ソース電極
- 4 ゲート配線
- 5 ソース配線

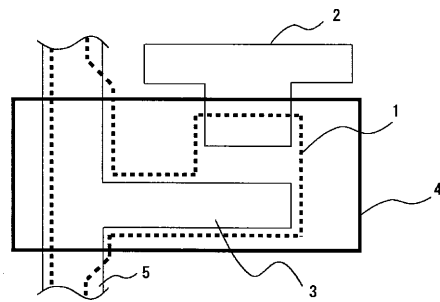
【図6】



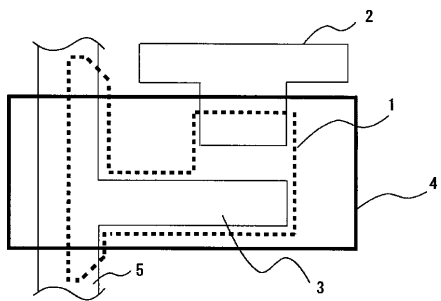
【図1】



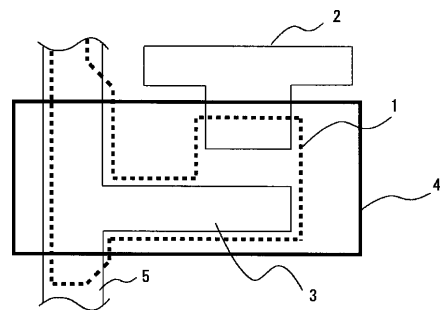
【図2】



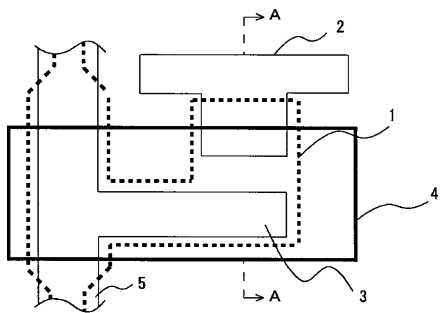
【図3】



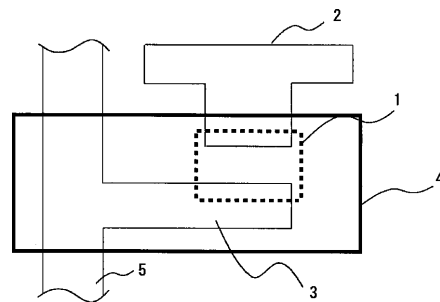
【図4】



【図5】



【図7】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 F 9/35

識別記号

F I
H 0 1 L 29/78

テーマコード^{*} (参考)

6 1 8 C

(72)発明者 中山 明男
熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

Fターム(参考) 2H091 FA41Z GA02 GA13 LA17
2H092 JA26 JA28 JA33 JA37 JA41
JA46 JA47 JB01 JB33 JB61
KA05 KB04 KB13 MA07 MA08
MA27 NA22
5C094 AA03 BA03 BA43 CA19 EA04
EA07 JA20
5F110 AA06 AA21 BB01 CC07 EE02
EE03 EE04 EE06 EE43 EE44
FF02 FF03 FF29 FF30 FF32
GG02 GG13 GG15 GG23 GG25
GG26 GG44 GG45 GG47 HK02
HK03 HK04 HK06 HK09 HK16
HK21 HK25 HK32 HK33 HK34
HK35 HK37 HK39 HL07 HL22
HL23 HM04 HM05 NN04 NN24
NN44 QQ01

专利名称(译)	薄膜晶体管阵列基板和使用其的液晶显示装置		
公开(公告)号	JP2003303973A	公开(公告)日	2003-10-24
申请号	JP2002108790	申请日	2002-04-11
申请(专利权)人(译)	有限公司高级显示		
[标]发明人	升谷雄一 永野慎吾 中山明男		
发明人	升谷 雄一 永野 慎吾 中山 明男		
IPC分类号	G02F1/13357 G02F1/1343 G02F1/1368 G09F9/30 G09F9/35 H01L29/786		
FI分类号	G02F1/13357 G02F1/1343 G02F1/1368 G09F9/30.338 G09F9/35 H01L29/78.618.C		
F-TERM分类号	2H091/FA41Z 2H091/GA02 2H091/GA13 2H091/LA17 2H092/JA26 2H092/JA28 2H092/JA33 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB01 2H092/JB33 2H092/JB61 2H092/KA05 2H092/KB04 2H092/KB13 2H092/MA07 2H092/MA08 2H092/MA27 2H092/NA22 5C094/AA03 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/JA20 5F110/AA06 5F110/AA21 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE43 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF29 5F110/FF30 5F110/FF32 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG23 5F110/GG25 5F110/GG26 5F110/GG44 5F110/GG45 5F110/GG47 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK32 5F110/HK33 5F110/HK34 5F110/HK35 5F110/HK37 5F110/HK39 5F110/HL07 5F110/HL22 5F110/HL23 5F110/HM04 5F110/HM05 5F110/NN04 5F110/NN24 5F110/NN44 5F110/QQ01 2H092/JA29 2H191/FA81Z 2H191/GA04 2H191/GA19 2H191/LA22 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CB46 2H192/CC04 2H192/EA04 2H192/JA32		
其他公开文献	JP4138357B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种控制漏光产生的TFT阵列基板，以及采用该TFT阵列基板的液晶显示器，其中控制显示特性的劣化和点缺陷的产生。

ŽSOLUTION：TFT阵列基板包括设置在绝缘基板上的栅极线4，通过绝缘膜与栅极线4交叉的源极线5，与源极线连接的源极3，与源极相对设置的漏极2电极3和位于源电极3和漏电极2下面的半导体层1.在栅极线4中包括位于漏电极2下面的半导体层1，并且源电极3的端面不与端面相交栅极线上的半导体层1的一部分。Ž

