

(51) Int.CI ⁷	識別記号	F I	テ-マコード* (参考)
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 21/28	E 4 M 1 0 4
H 0 1 L 21/28	21/3213	29/78	5 F 0 3 3
	29/417	616 K	627 C
		21/88	5 F 1 1 0
			C

審査請求 未請求 請求項の数 110 L (全 13数) 最終頁に続く

(21)出願番号 特願2002 - 99990(P2002 - 99990)

(22)出願日 平成14年4月2日(2002.4.2)

(71)出願人 595059056

株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(72)発明者 森田 浩正

熊本県菊池郡西合志町御代志997番地 株式
会社アドバンスト・ディスプレイ内

(72)発明者 中嶋 健

熊本県菊池郡西合志町御代志997番地 株式
会社アドバンスト・ディスプレイ内(74)代理人 100103894
弁理士 家入 健

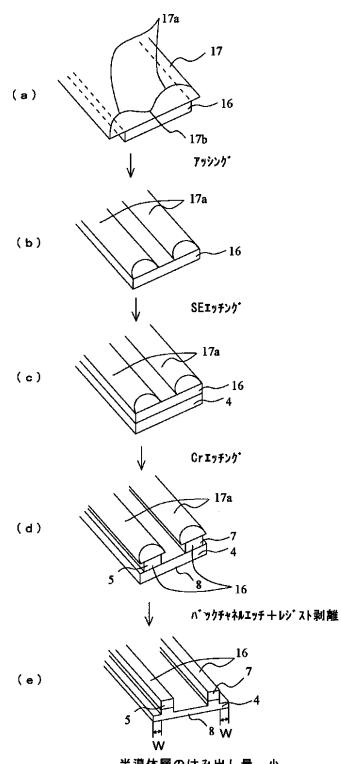
最終頁に続く

(54)【発明の名称】薄膜トランジスタアレイ及びその製造方法並びにこれを用いた液晶表示装置

(57)【要約】

【課題】光照射に起因するTFT特性の劣化が抑制されたTFTアレイ基板及びその製造方法並びにこれを用いた液晶表示装置を提供することを目的とする。

【解決手段】本発明にかかるTFTアレイ基板の製造方法は、ゲート配線1が形成された基板上にゲート絶縁膜3、半導体層4aとオーミック層4b及び金属膜16を形成する工程と、写真製版により金属膜16上のレジストパターン17を半導体活性層8該当部上での膜厚がその他の部分より薄くなるよう形成する工程と、金属膜16をエッティングしてソース配線6、ソース電極5及びドレイン電極7を形成する工程と、半導体活性層8該当部上のレジストを除去した後にオーミック層4b及び半導体層4aを除去する工程と、金属膜16を除去する工程と、オーミック層4bを除去する工程を備えたTFTアレイ基板の製造方法である。



【特許請求の範囲】

【請求項1】絶縁性基板上にゲート配線を形成する工程と、前記ゲート配線が形成された絶縁性基板上にゲート絶縁膜、半導体層とオーミック層及び金属膜を形成する工程と、写真製版により前記金属膜上のレジストのパターンを、少なくとも後の工程で前記オーミック層上に形成される薄膜トランジスタのソース配線、ソース電極、ドレイン電極と半導体活性層該当部とが覆われ、かつ当該半導体活性層該当部上での膜厚がその他の部分より薄くなるよう形成する工程と、前記金属膜をエッティングして前記ソース配線、前記ソース電極及び前記ドレイン電極を形成する工程と、前記レジストを薄膜化することにより前記半導体活性層該当部上のレジストを除去する工程と、前記半導体活性層該当部上のレジストを除去した後に、前記ソース配線、前記ソース電極、前記ドレイン電極及び前記半導体活性層該当部以外のオーミック層及び半導体層をエッティングにより除去する工程と、前記半導体活性層該当部上の金属膜をエッティングにより除去する工程と、前記半導体活性層該当部上の前記オーミック層をエッティングにより除去する工程を備えた薄膜トランジスタアレイ基板の製造方法。

【請求項2】絶縁性基板上にゲート配線を形成する工程と、前記ゲート配線が形成された絶縁性基板上にゲート絶縁膜、半導体層とオーミック層及び金属膜を形成する工程と、写真製版により前記金属膜上のレジストのパターンを、少なくとも後の工程で前記オーミック層上に形成される薄膜トランジスタのソース配線、ソース電極、ドレイン電極と半導体活性層該当部とが覆われ、かつ当該半導体活性層該当部上での膜厚がその他の部分より薄くなるよう形成する工程と、前記金属膜をエッティングして前記ソース配線、前記ソース電極及び前記ドレイン電極を形成する工程と、前記レジストを薄膜化することにより前記半導体活性層該当部上のレジストを除去する工程と、前記半導体活性層該当部上のレジストを除去した後に、前記ソース配線、前記ソース電極及び前記ドレイン電極及び前記半導体活性層該当部以外のオーミック層及び半導体層をエッティングにより除去する工程と、前記半導体活性層該当部上の金属膜をエッティングにより除去する工程と、前記半導体活性層該当部上の前記オーミック層をエッティングにより除去する工程と、層間絶縁膜を成膜する工程と。第三の写真製版及びエッティングで前記ゲート絶縁膜及び層間絶縁膜に前記ドレイ*

10 *ン電極に達するドレイン電極コンタクトホール、前記ソース電極に達するソース端子部コンタクトホール及びゲート配線に達するゲート端子部コンタクトホールを形成する工程と、導電膜を形成する工程と、第四の写真製版及びエッティングで前記ドレイン電極コンタクトホール、前記ソース端子部コンタクトホール及び前記ゲート端子部コンタクトホールを覆う画素電極を形成する工程を備えた薄膜トランジスタアレイ基板の製造方法。

【請求項3】前記金属膜をエッティングして前記ソース配線、前記ソース電極及びドレイン電極を形成する工程においては、サイドエッティングを行なうことを特徴とする請求項1又は2記載の薄膜トランジスタアレイ基板の製造方法。

【請求項4】前記サイドエッティングにより、金属膜は0.5μm乃至1.3μm分除去されることを特徴とする請求項3記載の薄膜トランジスタアレイ基板の製造方法。

20 20 【請求項5】前記半導体活性層該当部上での膜厚がその他の部分より薄くなるようにレジストパターンを形成する工程では、ハーフトーンマスクを用いて写真製版することを特徴とする請求項1又は2記載の薄膜トランジスタアレイ基板の製造方法。

【請求項6】前記半導体活性層該当部上での膜厚がその他の部分より薄くなるようにレジストパターンを形成する工程では、複数のマスクを用いて写真製版することを特徴とする請求項1又は2記載の薄膜トランジスタアレイ基板の製造方法。

30 30 【請求項7】前記半導体活性層該当部上での膜厚がその他の部分より薄くなるようにレジストパターンを形成する工程では、当該レジストパターンの端部が前記金属膜の端部と略等しくなるように当該レジストを除去することを特徴とする請求項1又は2記載の薄膜トランジスタアレイ基板の製造方法。

【請求項8】前記ソース配線、前記ソース電極、前記ドレイン電極が、Cr、Mo、Ti、W、Alあるいは、これらのうちの少なくとも1つを含む金属を主成分とする合金であることを特徴とする請求項1乃至7のいずれかに記載の薄膜トランジスタアレイ基板の製造方法。

40 40 【請求項9】前記半導体活性層該当部上でのレジストを除去するアッショングをRIEモードで行なうことを特徴とする請求項1乃至8いずれか記載の製造方法を用いて製造された薄膜トランジスタアレイ基板の製造方法。

【請求項10】請求項1乃至9のいずれかに記載の製造方法を用いて製造された薄膜トランジスタアレイ基板。

【請求項11】請求項10記載の薄膜トランジスタアレイ基板を備える液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタアレイ基板及びその製造方法に関する。例えば液晶表示装置に用いられる薄膜トランジスタ基板に関する。

【0002】

【従来の技術】液晶を用いた電気光学素子はディスプレイへの応用がさかんになされている。なかでも、薄膜トランジスタ（以下、TFTと称す）をスイッチング素子として用いるTFT-LCDは、携帯性、低消費電力、表示品位の点で優れ、幅広く利用されている。より広範な普及のためには、さらなる低価格化が要求されており、その手段のひとつとして、生産性向上としてのTFTアレイ製造工程数の削減が検討されてきた。

【0003】そのうち、写真製版工程すなわちマスクを削減する試みが特開2000-111958号公報で示されている。図2(a)に4回の写真製版工程により製造されるTFTアレイ基板の画素部の断面図を示し、これを用いて説明する。

【0004】本従来技術では、透明基板上に100nm程度の厚さで導電膜を成膜後、第一写真製版工程では、第一マスクを用いてレジストパターンを形成し、エッチングによりゲート配線1を形成する。次に、ゲート配線1が形成された透明基板上にゲート絶縁膜3、半導体層4a、およびオーミック層4b（特開2000-111958号公報では接触層と記載）をそれぞれ150～500nm、50～150nm、30～60nmの厚さで成膜する。次に金属膜16を150～300nmの厚さで成膜する。

【0005】第二写真製版工程では第2マスクを用いて、レジストパターン17（特開2000-111958号公報では感光膜と記載）をソース電極5、ソース配線6（特開2000-111958号公報ではデータ線と記載）、ドレイン電極7上には厚く、半導体活性層8該当部（特開2000-111958号公報ではチャンネル部と記載）には薄くなるように形成する。以下、上記ソース電極5、ソース配線6及びドレイン電極7上の厚いレジストパターンを通常膜厚レジストパターン17aと称し、半導体活性層8該当部の薄いレジストパターンを薄膜レジストパターン17bと称す。その後金属膜を湿式エッチング等により除去する。その後、薄膜レジストパターン17b、オーミック層4bおよびオーミック層4bの下層である半導体層4aを乾式エッチングにより同時に除去する。これら処理により、半導体活性層8該当部において金属膜16が露出する。そして湿式エッチングにより半導体活性層8該当部の金属膜16の除去を行い、下層であるオーミック層4bを露出させる。さらに半導体活性層8該当部のオーミック層4bと半導体層4bの一部を乾式エッチングで除去し、その後、レジストを剥離する。次に、層間絶縁膜9であるSiNxを300nm以上積層する。第三の写真製版工程では第3マスクを用いてパターンニングし層間絶縁膜9及びゲ

ト絶縁膜をエッチングする。さらに40～50nmの導電層を積層する。最後に第四写真製版工程で第4マスクを使用してパターニングを行い、導電膜をエッチングしてTFT完成する。上記製造方法においては、第2のマスクにおけるレジストの厚みを場所により変えることにより、マスク枚数の低減を達成している。

【0006】図16(a)～(e)に従来技術による形成されるTFTアレイ基板の製造過程、第二写真製版工程における工程の詳細を示す。特開2000-1111958号公報に示す従来技術では薄膜レジストパターン17b、オーミック層4bおよびオーミック層4bの下層である半導体層4aを乾式エッチングにより同時に除去している。また、特開2001-339072号公報に示す従来技術では、オーミック層4bおよび半導体層4aを乾式エッチングにより除去した後、薄膜トランジスタパターン17bをアッキングにより除去している。

【0007】図16(a)はソース電極5、ソース配線6、ドレイン電極7上には厚い通常膜厚レジストパターン17aを、半導体活性層8該当部には薄い薄膜レジストパターン17bからなるレジストパターン17を形成し金属膜16を湿式エッチング等により除去した段階のTFTアレイ基板の構造を示す図である。ここで金属膜16はサイドエッチングによりレジストパターン17端部よりも内側に入った構造となる。図16(b)はその次の工程であるオーミック層4aおよび半導体層4bを乾式エッチングにより除去した段階のTFTアレイ基板の構造を示す図である。図16(c)はさらにその次の工程である薄膜レジストパターンをアッキングにより除去した段階のTFTアレイ基板の構造を示す図である。図16(d)は半導体活性層8該当部の金属膜16を除去し、下層であるオーミック層4bを露出させた段階のTFTアレイ基板の構造を示す図であり、図16(e)は半導体活性層8該当部のオーミック層4bと半導体層4aの一部を乾式エッチングで除去し、その後、レジストを剥離した段階のTFTアレイ基板の構造を示す図である。この段階でソース電極5、ドレイン電極7及び半導体活性層8が露出する。

【0008】
【発明が解決しようとする課題】上述の特開2000-1111958号公報の第8実施例では第二の写真製版工程でのレジストパターン形成後、金属膜のエッチングを行い、その後チャンネル上部の薄いレジスト、オーミック層及び半導体層を同時に除去している。また特開2001-339072号公報では、オーミック層および半導体層をエッチングにより除去した後、薄膜レジストパターンをアッキングにより除去している。このような従来技術では以下のようないわゆる問題が生じる。

【0009】第二マスクで用いたレジスト用の感光剤は、粘性及び流動性を有するためレジストパターンの端

部はテーパー角を持つ形状になる。金属膜のエッチング前にレジストと金属膜との密着力を向上させるためにベーキングを行った場合、その傾向を顕著になる。このためチャネル上部の薄いレジストを除去する際に、その他の箇所に厚いレジスト部分もテーパー形状を有するため、レジストパターン端部は後退し、レジストパターン面積が減少することになる。その後退の程度はレジストパターンのテーパー角度が小さい程大きくなる。

【0010】一方、半導体層は薄膜レジストパターンを除去する前又は同時に除去するので、レジストパターン面積すなわちテーパー角度にあまり影響を受けない。従って、薄膜レジストパターンの除去後において半導体層のパターン端部はレジストパターン端部からはみ出すこととなる。半導体層と薄膜レジストパターンとを同時に除去する場合においても、半導体層の端部はテーパー形状を成すものの、レジストパターン端部からはみ出すことに関しては同様である。このはみ出し幅はレジストの厚さを薄くしたチャネル上部のレジストの厚さとパターン端部のテーパー角度によって決まる。

【0011】その後、半導体活性層該当部の金属膜をエッチングで除去する際に、金属膜の端部はサイドエッチによりレジスト端部の内側に内包される構造となる。従って半導体層は金属膜より著しくはみ出した構造となる。(例えば図16(e)における半導体層のはみ出し量Wが大きい構造となる。)

【0012】このような構造を有するTFTトランジスタアレイ基板は、はみ出した半導体層の光伝導効果により光輝度に変動の極めて敏感な特性を示す可能性がある。そのため光照射に起因してTFT特性が劣化する問題点が生じてしまった。例えば、このTFTアレイ基板を液晶表示装置に用いた場合、画質向上のため光輝度の変動をさせた場合、画質の安定性に顕著な悪影響を及ぼすことがあった。

【0013】本発明は、このような問題点を解決するためになされたもので、光照射に起因するTFT特性の劣化が抑制されたTFTアレイ基板及びその製造方法並びにこれを用いた液晶表示装置を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明にかかるTFTアレイ基板の製造方法は、絶縁性基板上にゲート配線を形成する工程と、前記ゲート配線が形成された絶縁性基板上にゲート絶縁膜、半導体層とオーミック層及び金属膜を形成する工程と、写真製版により前記金属膜上のレジストのパターンを、少なくとも後の工程で前記オーミック層上に形成される薄膜トランジスタのソース配線、ソース電極、ドレイン電極と半導体活性層該当部とが覆われ、かつ当該半導体活性層該当部での膜厚がその他の部分より薄くなるよう形成する工程と、前記金属膜をエッチングして前記ソース配線、前記ソース電極及びドレイン電極を形成する工程と、前記レジストを薄膜化することにより前記半導体活性層該当部上のレジストを除去する工程と、前記半導体活性層該当部上のレジストを除去した後に、前記ソース電極、前記ソース配線、前記ドレイン配線及び前記半導体活性層該当部以外のオーミック層及び半導体層をエッチングにより除去する工程と、前記半導体活性層該当部上の金属膜をエッチングにより除去する工程と、前記半導体活性層該当部上の前記オーミック層をエッチングにより除去する工程を備えた薄膜トランジスタアレイ基板の製造方法である。このような製造方法により光照射に起因するTFT特性の劣化が抑制されたTFTアレイ基板を製造することができる。

イン電極を形成する工程と、前記レジストを薄膜化することにより前記半導体活性層該当部上のレジストを除去する工程と、前記半導体活性層該当部上のレジストを除去した後に、前記ソース電極、前記ソース配線、前記ドレイン電極及び前記半導体活性層該当部以外のオーミック層及び半導体層をエッチングにより除去する工程と、前記半導体活性層該当部上の金属膜をエッチングにより除去する工程と、前記半導体活性層該当部上の前記オーミック層をエッチングにより除去する工程を備えた薄膜トランジスタアレイ基板の製造方法である。このような製造方法により光照射に起因するTFT特性の劣化が抑制されたTFTアレイ基板を製造することができる。

【0015】また本発明にかかるTFTアレイ基板の製造方法は、絶縁性基板上にゲート配線を形成する工程と、前記ゲート配線が形成された絶縁性基板上にゲート絶縁膜、半導体層とオーミック層及び金属膜を形成する工程と、写真製版により前記金属膜上のレジストのパターンを、少なくとも後の工程で前記オーミック層上に形成される薄膜トランジスタのソース配線、ソース電極、ドレイン電極と半導体活性層該当部とが覆われ、かつ当該半導体活性層該当部での膜厚がその他の部分より薄くなるよう形成する工程と、前記金属膜をエッチングして前記ソース配線、前記ソース電極及びドレイン電極を形成する工程と、前記レジストを薄膜化することにより前記半導体活性層該当部上のレジストを除去する工程と、前記半導体活性層該当部上のレジストを除去した後に、前記ソース電極、前記ソース配線、前記ドレイン配線及び前記半導体活性層該当部以外のオーミック層及び半導体層をエッチングにより除去する工程と、前記半導体活性層該当部上の金属膜をエッチングにより除去する工程と、前記半導体活性層該当部上の前記オーミック層をエッチングにより除去する工程と、層間絶縁膜を成膜する工程と第三の写真製版及びエッチングで前記ゲート絶縁膜及び層間絶縁膜に前記ドレイン電極に達するドレイン電極コンタクトホール、前記ソース電極に達するソース端子部コンタクトホール及びゲート配線に達するゲート端子部コンタクトホールを形成する工程と、導電膜を形成する工程と、第四の写真製版及びエッチングで前記ドレイン電極コンタクトホール、前記ソース端子部コンタクトホール及び前記ゲート端子部コンタクトホールを覆う画素電極を形成する工程を備えたTFTアレイ基板の製造方法である。このような製造方法により4回の写真製版工程で光照射に起因するTFT特性の劣化が抑制されたTFTアレイ基板を製造することができる。

【0016】上述の前記金属膜をエッチングして前記ソース配線、前記ソース電極及び前記ドレイン電極を形成する工程では、サイドエッチングされることが望まれる。TFT特性の劣化が抑制されたTFTアレイ基板を製造することができる。

【0017】さらに上述のサイドエッチングにより、金

属膜は0.5 μm乃至1.3 μm分除去することが望まれる。これによりTFT特性の劣化がより抑制されたTFTアレイ基板を製造することができる。

【0018】上述の前記半導体活性層該当部上での膜厚がその他の部分より薄くなるようなレジストパターンは、ハーフトーンマスクを用いる写真製版により形成することが望まれる。これにより4回の写真製版でTFTアレイ基板を製造することができる。

【0019】また、上述の前記半導体活性層該当部上での膜厚がその他の部分より薄くなるようなレジストパターンは、複数のマスクを用いる写真製版により形成することもできる。これにより4回の写真製版でTFTアレイ基板を製造することができる。

【0020】上述の前記半導体活性層該当部上での膜厚がその他の部分より薄くなるようなレジストパターンは、当該レジストパターンの端部が前記金属膜の端部と略等しくなるように当該レジストを除去することが望ましい。これによりTFT特性の劣化がより抑制されたTFTアレイ基板を製造することができる。

【0021】前記ソース配線、前記ソース電極、前記ドレイン電極は、Cr、Mo、Ti、W、Alあるいは、これらのうちの少なくとも1つを含む合金を用いて形成することができる。

【0022】前記半導体活性層該当部上でのレジストを除去するアッシングをRIEモードで行うこと望ましい。これにより生産性を向上することができる。

【0023】上述のTFTアレイ基板の製造方法によつてTFT特性の劣化が抑制されたTFTアレイ基板を提供することができる。

【0024】上述のTFTアレイ基板は液晶表示装置に用いられることが望まれる。これにより光輝度の変動に對して画質が安定した液晶表示装置を提供することができる。

【0025】

【発明の実施の形態】図1、図2は、本発明の実施形態により製造されたTFTアレイ基板を示す図であり、図1はその平面図、図2(a)は図1におけるA-Aでの断面図、図2(b)は図1におけるB-Bでの断面図、図2(c)は図1におけるC-Cでの断面図である。図1、2において、1はゲート配線、1aはゲート端子部金属パッド、2は補助容量配線、3はゲート絶縁膜、4は半導体パターン、4aは半導体層(半導体能動膜)、4bはオーミック層(オーミックコンタクト膜)、5はソース電極、5aはソース端子部金属パッド、6はソース配線、7はドレイン電極、8は薄膜トランジスタの半導体活性層、9は層間絶縁膜、10はドレイン電極コンタクトホール、11はゲート端子部コンタクトホール、12はソース端子部コンタクトホール、13は画素電極、14はゲート端子接続パッド、15はソース端子接続パッドである。

10

20

30

40

50

【0026】つぎに具体的な製造方法について説明する。図3から7までが各工程での平面図であり、図8から図14までが各工程での図1におけるA-A断面に相当する箇所の断面を示している。まず透明な絶縁性基板上に400nm程度の厚さでCr、Mo、Ti、W、Alなどの導電膜が形成される。つぎに第一の写真製版工程で導電膜をバーニングして図3、図8のようにゲート配線1、ゲート端子部金属パッド1a、補助容量配線2を形成する。このとき、導電膜がCrの場合には、例えば $(NH_4)_2[Ce(NO_3)_6] + HNO_3 + H_2O$ 液を用いてウエットエッティング処理される。つぎに図9に示すように導電膜がバーニングされた絶縁性基板上にゲート絶縁膜3としてSiN_x膜、半導体能動膜4aとしてa-Si膜、オーミックコンタクト膜4bとしてn⁺a-Si膜、金属膜16としてCrをそれぞれ400nm、150nm、30nm、400nm程度の膜厚で積層する。SiN_x、a-Si、n⁺a-Si膜はプラズマCVD装置を用いて成膜する。オーミック層成膜時にはPH₃をドープしてn⁺a-Siを形成する。Cr成膜についてはDCマグнетロン型スパッタ装置を用いて成膜する。

【0027】つぎに第2の写真製版工程で図4に示すようにソース電極5、ソース端子部金属パッド5a、ソース配線6、ドレイン電極7を形成するための通常膜厚レジストパターン17aおよび薄膜トランジスタの半導体活性層8を形成するための薄膜レジストパターン17bを形成する。ここでレジストはノボラック樹脂系のポジ型レジストを用い、レジスト塗布はスピノコータにより1.5 μmとする。レジスト塗布後は120度90秒ブリベーキを実施し、その後、通常膜厚レジストパターン17aおよび薄膜レジストパターン17bが露光されないマスクパターンで1000ms exposure露光を行い、その後通常膜厚レジストパターン17a以外の部分が露光できるマスクパターンを用いて400ms exposure追加露光を行った。この2段階の露光を行なうことにより、通常膜厚のレジストパターン17aと薄膜レジストパターン17bの膜厚を異なるものとしている。露光機はステッパーあるいはミラープロジェクションタイプの露光機であり、光源には高圧水銀ランプのg線、h線を用いた。ついで、有機アルカリ系の現像液を用いて現像したのち、100から120度ポストブリベーキを180秒実施し、レジスト中の溶媒を揮発させると同時にレジストとCrの密着力を高める。これらのプロセスによって、TFT部のレジスト形状は図10に示すように異なる膜厚を有する形状となる。ここで通常膜厚レジストパターン17aのレジスト膜厚は1.4 μm程度、薄膜レジストパターン17bのレジスト膜厚は0.4 μm程度となる。

【0028】その後さらに120度から130度オーブンブリベーキを実施し、さらにレジスト-Cr間の密着力

を高める。このときピーク温度が高すぎる場合にはレジスト端面がだれてしまうので注意を要する。その後、金属膜16のエッチングを行い、ソース電極5、ソース配線6、ソース端子部金属パッド5a、ドレイン電極7に該当する以外の部分を除去する。金属膜16がCr膜の場合は、例えば $(NH_4)_2[Ce(NO_3)_6] + HNO_3 + H_2O$ 液を用いてウエットエッチング処理される。この時、サイドエッチングにより金属膜16はレジストパターン17よりも内側に入った形状となる。

【0029】その後、酸素プラズマを用いたアッシングにより薄膜レジストパターン17bを除去し、薄膜レジストパターン17b下部の金属膜16を露出するようにする。本実施の形態ではアッシングは圧力が40Paで60秒実施した。またアッシングする際はRIEモードの方がPEモードに比べて、図11の18に示すレジスト開口部の大きさが制御しやすい。これはRIEモードの方が異方性、均一性とも良いためである。他にもRIEモードにはPEモードと比べて、レジスト除去の速度を高くすることが可能になるという利点がある。このアッシング工程ではレジストパターン17の端部と金属膜16端部は略等しくすることが望ましい。次に通常膜厚レジストパターン17a及び薄膜レジストパターン17b以外の部分のオーミック層4b及び半導体層4aを乾式エッチングにより除去し、半導体パターン4を形成する。このエッチングをSEエッチングと称す。このような製造工程により図11に示す構造となる。

【0030】さらに130から140でオープンピークを実施した後、その露出した半導体活性層8該当部の金属膜16をエッチングにより除去する。オーバーエッチングの量は50%程度が望ましい。その後、レジストパターン開口部18のオーミック膜4bおよび半導体層4aの一部をエッチングにより除去する。本実施の形態では $HC_1 + SF_6 + He$ ガスを用いたエッチングによりオーミック層4bおよび半導体層4aの一部を合計100nm程度除去した。このエッチングをバックチャネルエッチと称す。このような製造工程により図12に示す形状となる。その後レジストを剥離すると半導体パターン4、ソース電極5、ソース配線6、ドレイン電極7、ソース端子部金属パッド5a及び半導体活性層8が露出され、図5に示す構造となる。

【0031】図15(a)～(e)に第二写真製版工程後における製造過程の工程の詳細を示す。図15(a)はソース電極5、ソース配線6、ドレイン電極7上には厚い通常膜厚レジストパターン17aを、半導体活性層8該当部には薄い薄膜レジストパターン17bを形成した後、金属膜16をエッチングにより除去した段階のTFTアレイ基板の構造を示す図である。ここで金属膜16はサイドエッチングによりレジスト端部より内側に入った形状となる。図15(b)はその次の薄膜レジストパターン17bをアッシングにより除去した段階のTFT

Tアレイ基板の構造を示す図である。ここでアッシングにより半導体活性層8該当部上のレジストが除去されるとともに、レジストパターン端部で横方向にも削れレジストパターン面積が減少する。図15(c)はその次のSEエッチングを行った段階のTFTアレイ基板の構造を示す図である。SEエッチングにより半導体層4と金属膜16の端部が略等しくなる。図15(d)はその次の半導体活性層該当部の金属膜16エッチングを行った段階のTFTアレイ基板の構造を示す図である。このエッチングによりソース電極5、ドレイン電極7が形成される。ここでサイドエッチングにより金属膜16はレジストパターン17aよりも内側に入った形状となる。図15(e)はその次のバックチャネルエッチとレジスト剥離を行った段階のTFTアレイ基板の構造を示す図である。レジスト剥離により、ソース電極5及びドレイン電極7が露出するとともに、半導体パターン4の一部がエッチングされ半導体活性層8が露出する。

【0032】本実施の形態では半導体パターン4より薄膜レジストパターンが先に除去されているため、従来技術よりもエッチングされる半導体パターン4の領域が広くなり、図15(e)に示すはみ出し量Wが少なくなる。この製造方法により、光照射に起因するTFT特性の劣化が抑制されたTFTアレイ基板を製造することができる。

【0033】この後さらに、PCVD装置を用いて層間絶縁膜9であるSiNxを300nm形成し、この層間絶縁膜9を第3の写真製版工程でパターニングする。そして層間絶縁膜9及びゲート絶縁膜3をエッチングすることにより、図2(a)、図6及び図13に示すドレイン電極7に通じるドレイン電極コンタクトホール10を形成する。また図2(b)及び図6に示すゲート端子部金属パッド1aに通じるゲート端子部コンタクトホール11も形成する。さらに図2(c)及び図6にソース端子部金属パッド5aに通じるソース端子部コンタクトホール12も形成する。本実施の形態ではCF4+O2を用いたドライエッチングで層間絶縁膜9及びゲート絶縁膜3であるSiNxを除去した。さらに透明導電膜19を成膜し、ドレイン電極コンタクトホール10、ゲート端子部コンタクトホール11及びソース端子部コンタクトホール12に埋め込み、それぞれドレイン電極7、ゲート端子部金属パッド1a、ソース端子部金属パッド5aに接触される。本実施の形態では、透明導電膜19を膜厚が約100nmのITO膜とし、DCマグネットロン型スパッタ装置を用いて成膜した。つぎに第4の写真製版工程で透明導電膜19をパターニングする。そしてエッチングにより透明画素電極13、ゲート端子部接続パッド14及びソース端子部接続パッド15を形成する。本実施の形態では $HC_1 + HNO_3 + H_2O$ 液を用いた湿式エッチングによりITO膜を除去した。このようにして図7に示すような構造となる。

【0034】上述の製造方法ではTFTアレイ基板を4回の写真製版工程で製造することができる。またこうして製造された構造ではソース配線6下に半導体層4との段差が存在しないため、ソース配線6の断線が発生しにくい。さらにソース電極5、ドレイン電極7のパターンが半導体層4aの内側に内包されて交差しないため、TFTのリーク電流も低く抑えられる。また半導体層4aが金属膜16からはみ出している量Wが少ないため光照射に起因するTFT特性の劣化を防ぐことができる。さらに金属膜16をCrにすることにより、透明絶縁膜19のエッティング液によるソース配線等の腐食を防止することができる。これにより歩留りを向上することができる。

【0035】上述の第二写真製版工程で膜厚の異なる通常膜厚レジストパターン及び薄膜レジストパターンを形成する工程ではハーフトーンマスクを用いて写真製版することができる。例えばネガ型レジストを用いた場合、通常膜厚レジストパターン17aに該当する部分に透光部を、薄膜レジストパターン17bに該当する部分には半透過部を、それ以外の部分には遮光部を備えるフォトマスク(ハーフトーンマスクと称す)を用いて露光することにより写真製版することができる。またポジ型レジストを用いた場合では、通常膜厚レジストパターン17aに該当する部分に遮光部を、薄膜レジストパターン17bに該当する部分には半透過部を、それ以外の部分には透光部を備えるハーフトーンマスクを用いて露光する。これにより膜厚の異なるレジストパターンを1回の写真製版で形成することができ、4回の写真製版工程でTFTアレイ基板を製造することができる。

【0036】また第二写真製版工程で膜厚の異なる通常膜厚レジストパターン17a及び薄膜レジストパターン17bを形成する工程では2枚のマスクを用いて写真製版することができる。例えばネガ型レジストを用いた場合、通常膜厚レジストパターン17aに該当する部分に透光部を、薄膜レジストパターン17bに該当する部分を含むそれ以外の部分には遮光部を有する第一のフォトマスクと通常膜厚レジストパターン17a及び薄膜レジストパターン17bに該当する部分に透光部、それ以外の部分には遮光部を備える第二のフォトマスクとの二枚のマスクを用いて露光することにより写真製版することができる。またポジ型レジストを用いた場合、通常膜厚レジストパターン17aに該当する部分に遮光部を、薄膜レジストパターン17bに該当する部分を含むそれ以外の部分には透光部を備える第一のフォトマスクと通常膜厚レジストパターン17a及び薄膜レジストパターン17bに該当する部分に遮光部、それ以外の部分には透光部を備える第二のフォトマスクとの二枚のマスクを用いて露光する。これにより膜厚の異なるレジストパターンを1回の写真製版で形成することができ、4回の写真製版工程でTFTアレイ基板を製造することができる。

【0037】上述の金属膜16をエッティングしてソース電極5、ソース配線6、ドレイン電極7及び半導体層8該当部以外をエッティングする工程ではサイドエッティングされることが望まれる。すなわち図15(a)のように金属膜16がレジストパターン17端部の内側に入る構造となる。これによりソース配線6下に半導体層4との段差が存在しないため、ソース配線6の断線が発生しにくくなる。またソース電極5、ドレイン電極7のパターンが半導体パターン4の内側に内包されて交差しないため、TFTのリーク電流も低く抑えられる。さらにサイドエッティング量はレジストパターン17端部から金属膜16端部の距離が0.5μm~1.3μmであることが望ましい。この構造では、はみ出し量Wが少ないため、TFT特性がより良好なTFTアレイ基板を製造することができる。

【0038】また上述の薄膜レジストパターン17bをアッシングにより除去する工程では、通常膜厚レジストパターン17aの端部がサイドエッティングされて内側に入っている金属膜16端部と略等しくなるように形成されることが望まれる。これにより半導体層のはみ出し量Wが少くなりTFT特性のより良好なTFTアレイ基板を製造することができる。

【0039】本実施の形態では金属膜にCrを使用したが、Al、Ti、Mo、W、Taあるいはこれらのうち少なくとも一つを含む合金であってもよい。また金属膜がこれらの金属とその金属の窒化膜との多層構造、例えばAlN/AlN/AlNのような3層構造になっていてもよい。この構造にすることにより、ソース電極5、ソース配線6及びドレイン電極7の形成と半導体活性層8の形成がそれぞれ1回のエッティングででき、計2回のエッティング工程で金属膜16のエッティングができる。これにより製造工程が簡略化でき生産性を向上することができる。さらにはこのうちの2種類以上の金属で多層構造となっていてもよい。例えばAl/Moのような二層構造やCr/Al/Crのような三層構造となっていてもよい。さらにアッシングの際に酸素プラズマを用いるとしたが、CF₄やSF₆等の弗素を含んだガスを酸素ガスに添加してもよい。この場合、アッシング時のレジスト除去速度を速くすることが可能で、生産性が向上するという利点を有する。

【0040】本実施の形態及び従来技術による具体的な半導体層4aはみ出し量を表1に示す。Case1は本実施の形態でソース電極5、ソース配線6、ドレイン電極7及び半導体活性層8該当部以外をエッティングする段階(図15(a)の段階)でのサイドエッティング量を200nmとした。Case2は本実施の形態でオーバーエッティングをさせて、同じ段階(図15(a)の段階)での金属膜16のサイドエッティング量を1000nmとした。Case3は従来技術で同じ段階(図16(a)の段階)での金属膜16のサイドエッティング量を200

nmとした。ここで金属膜16をCr、膜厚200nmとした。またCrをエッティングして半導体活性層8を形成する段階(図15(d)又は図16(d)の段階)でのサイドエッティング量は200nm、アッティングによる*はみ出し量W

*レジストパターン17の横方向の後退量は1000nm、垂直方向削れ量は800nmであった。

【表1】

	はみ出し量W
Case 1 本実施の形態 サイドエッティング量 200nm	1000nm
Case 2 本実施の形態 サイドエッティング量 1000nm	200nm
Case 3 従来技術 サイドエッティング量 200nm	1200nm

Case 1では図15(a)の段階でCrのサイドエッティング量が200nmある。次のアッティングで横方向にレジストパターン17が1000nm後退するため、図17(b)のようにCrの端部はレジストパターンの端部の800nm外側にはみ出している。その後SEエッティングがあり、Cr膜と半導体パターン4の端部は略等しくなる。その次に半導体活性層8該当部のCrのエッティングがあり、Crの横方向の後退量はレジストパターン17からはみ出している800nmとサイドエッティングによる200nmで計1000nmとなる。こののはみ出している部分は上部にレジストがあるためバックチャネルエッチではエッティングされない。従ってこののはみ出し量1000nmが半導体層4aのはみ出し量Wとなる。

【0041】Case 2では図15(a)の段階でCrのサイドエッティング量が1000nmある。次のアッティングで横方向にレジストパターン17が1000nm後退するため、図15(b)のようにCrの端部とレジストパターンの端部は略等しくなる。その次に半導体活性層8該当部のCrのエッティングがあり、このサイドエッティング量200nmが半導体層4aのはみ出し量Wとなる。非常に良好な結果が得られる。

【0042】Case 3では図16(a)の段階でCrエッティング量が200nmある。次の図16(b)のSEエッティングで半導体パターン4がレジストパターン17端部と等しくなる。次にアッティングを行うのでレジストパターン17端部は1000nm横方向に削られ、図18(c)のようにCr端部から800nm、半導体パターン4aから1000nm内側に入っている。この後半導体活性層8該当部のCrのエッティングがあり、さらにCrが200nmサイドエッティングされるので、はみ出し量Wの合計は $1000 + 200 = 1200$ nmとなる。

【0043】本実施の形態の表1で示した条件は代表的な条件でCrの膜厚、サイドエッティング量、エッティング条件、レジスト膜厚、レジストのテーパー角度、アッティング条件等の条件が変わっても、本発明の効果を得ることができる。またレジストパターン17の横方向の削れ

量と半導体活性層8をエッティングする際、金属膜16のサイドエッティングの量を調整し、金属膜16端部とレジストパターン17端部を略等しくすることにより、半導体層4aのはみ出し量Wを少なくでき、TFT特性の劣化が抑制されたTFTアレイ基板を製造することができる。

【0044】

【発明の効果】本発明によれば、光照射に起因するTFT特性の劣化が抑制されたTFTアレイ基板及びその製造方法並びにこれを用いた液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明にかかる薄膜トランジスタアレイ基板の平面図である。

【図2】(a)は図1のA-A断面図、(b)は図1のB-B断面図、(c)は図1のC-C断面図である。

【図3】本発明にかかる薄膜トランジスタアレイ基板の製造過程での平面図である。

【図4】本発明にかかる薄膜トランジスタアレイ基板の製造過程での平面図である。

【図5】本発明にかかる薄膜トランジスタアレイ基板の製造過程での平面図である。

【図6】本発明にかかる薄膜トランジスタアレイ基板の製造過程での平面図である。

【図7】本発明にかかる薄膜トランジスタアレイ基板の製造過程での平面図である。

【図8】本発明にかかる薄膜トランジスタアレイ基板の製造過程における図1のA-A断面図である。

【図9】本発明にかかる薄膜トランジスタアレイ基板の製造過程における図1のA-A断面図である。

【図10】本発明にかかる薄膜トランジスタアレイ基板の製造過程における図1のA-A断面図である。

【図11】本発明にかかる薄膜トランジスタアレイ基板の製造過程における図1のA-A断面図である。

【図12】本発明にかかる薄膜トランジスタアレイ基板の製造過程における図1のA-A断面図である。

【図13】本発明にかかる薄膜トランジスタアレイ基板の製造過程における図1のA-A断面図である。

【図14】本発明にかかる薄膜トランジスタアレイ基板の製造過程における図1のA-A断面図である。

【図15】(a)~(e)は本発明にかかる薄膜トランジスタアレイ基板の製造過程を説明する工程図である。

【図16】(a)~(e)は従来技術による薄膜トランジスタアレイ基板の製造過程を説明する工程図である。

【図17】(b)は本発明にかかる薄膜トランジスタアレイ基板の製造過程におけるTFT部の拡大図である。

【図18】(c)は従来技術による薄膜トランジスタアレイ基板の製造過程におけるTFT部の拡大図である。

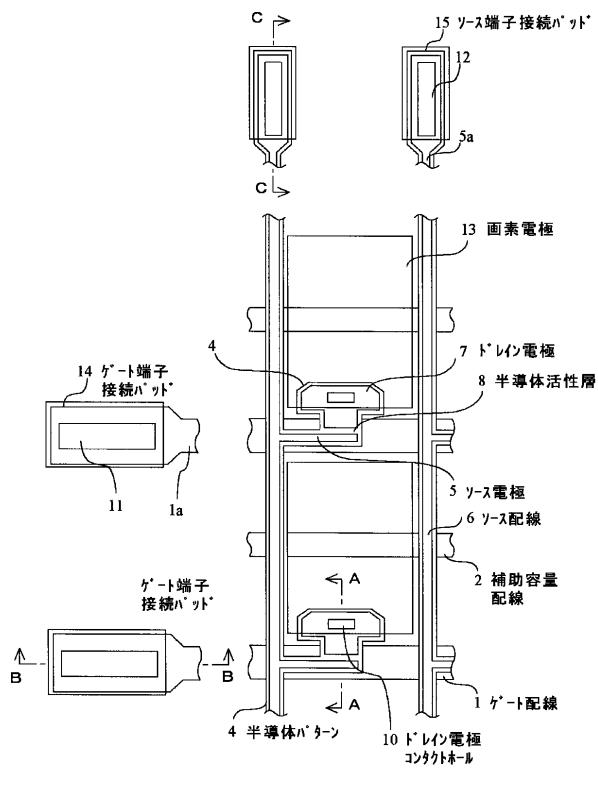
【符号の説明】

- 1 ゲート配線 1a ゲート端子部金属パッド
2 補助容量配線 3 ゲート絶縁膜
4 半導体パターン 4a 半導体層 4b オーミック*

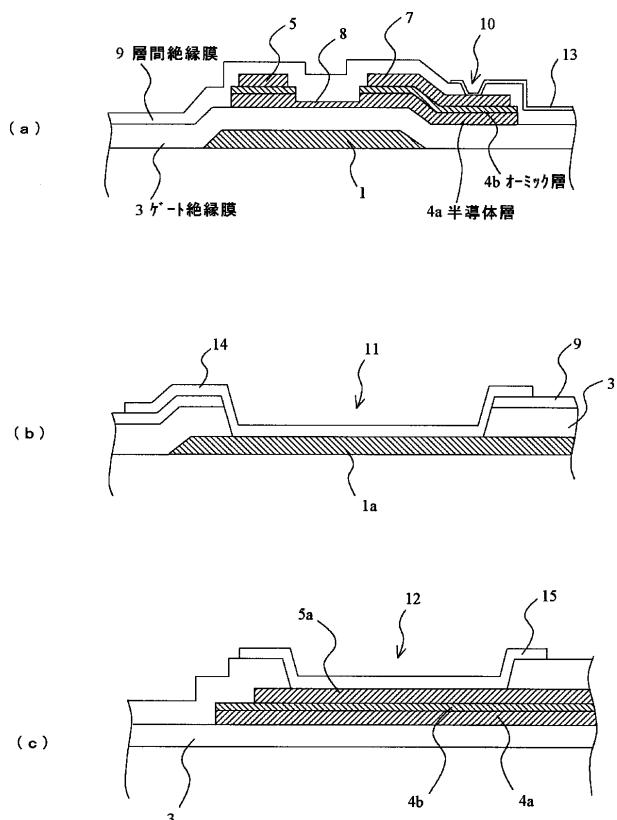
*層

- 5 ソース電極 5a ソース端子部金属パッド 6 ソース配線
7 ドレイン電極 8 半導体活性層 9 層間絶縁膜
10 ドレイン電極コンタクトホール 11 ゲート端子部コンタクトホール
12 ソース端子部コンタクトホール 13 画素電極
14 ゲート端子部接続パッド 15 ソース端子部接続パッド
16 金属膜 17 レジストパターン 17a 通常膜厚レジストパターン
17b 薄膜レジストパターン 18 レジストパターン開口部
19 透明導電膜

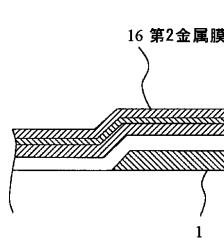
【図1】



【図2】

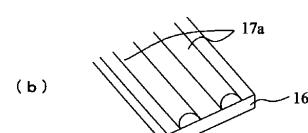


【図8】

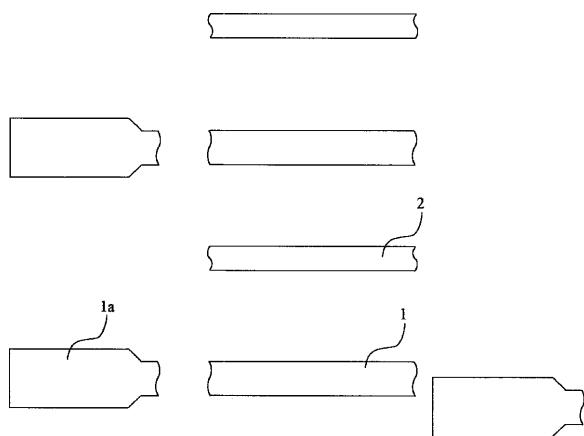


【図9】

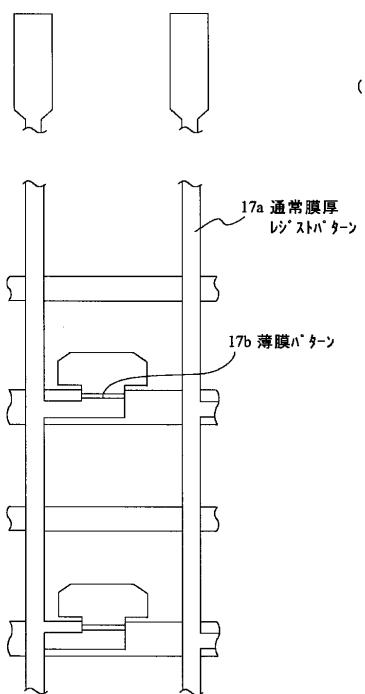
【図17】



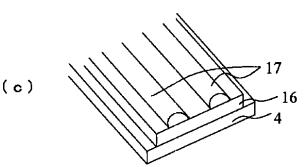
【図3】



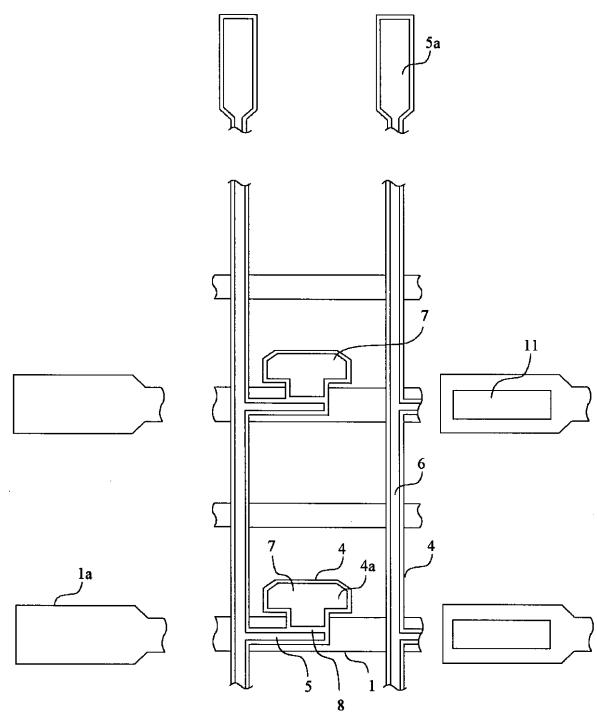
【図4】



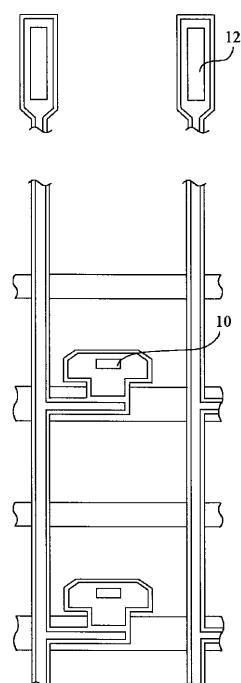
【図18】



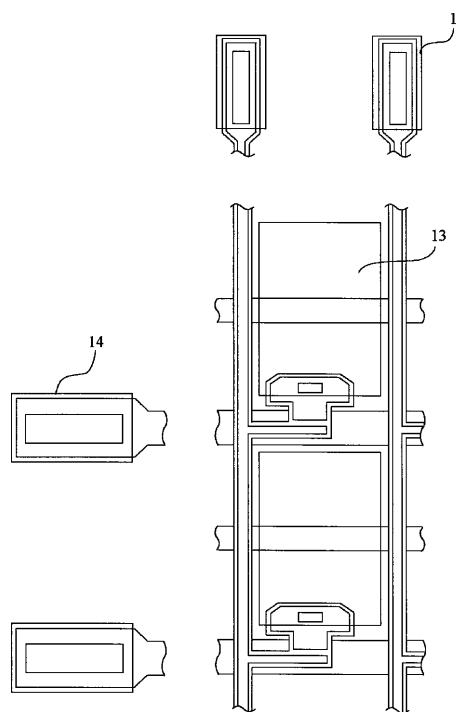
【図5】



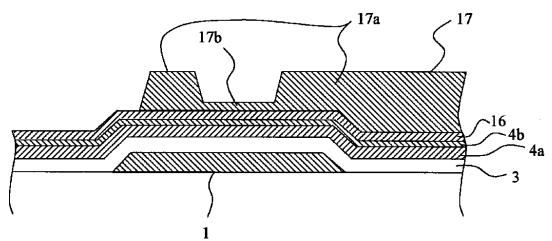
【図6】



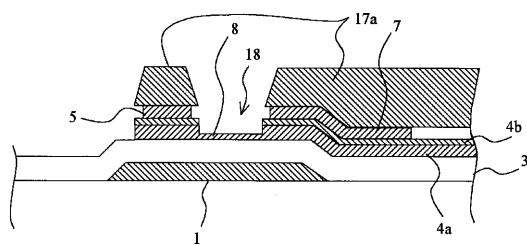
【図7】



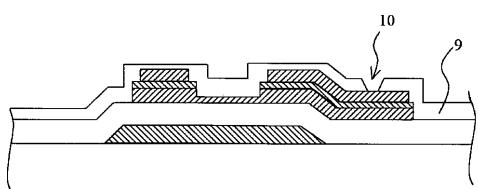
【図10】



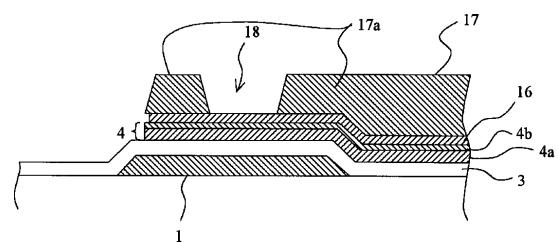
【図12】



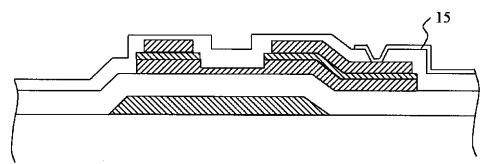
【図13】



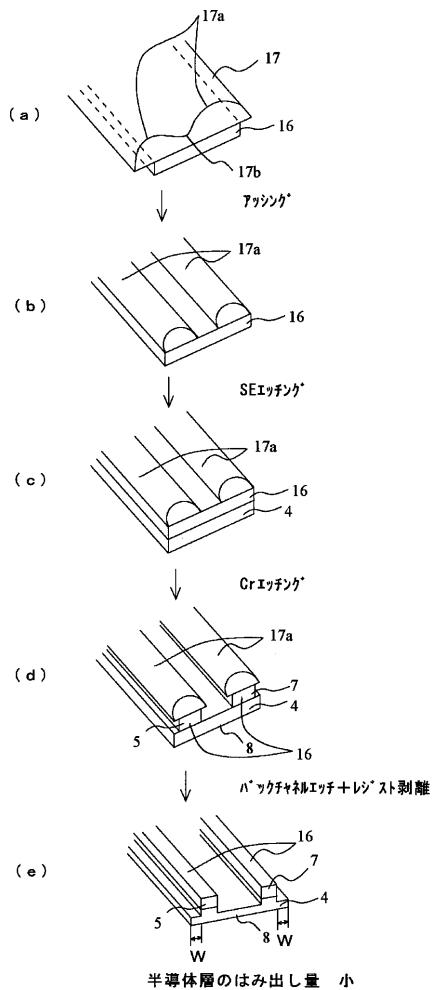
【図11】



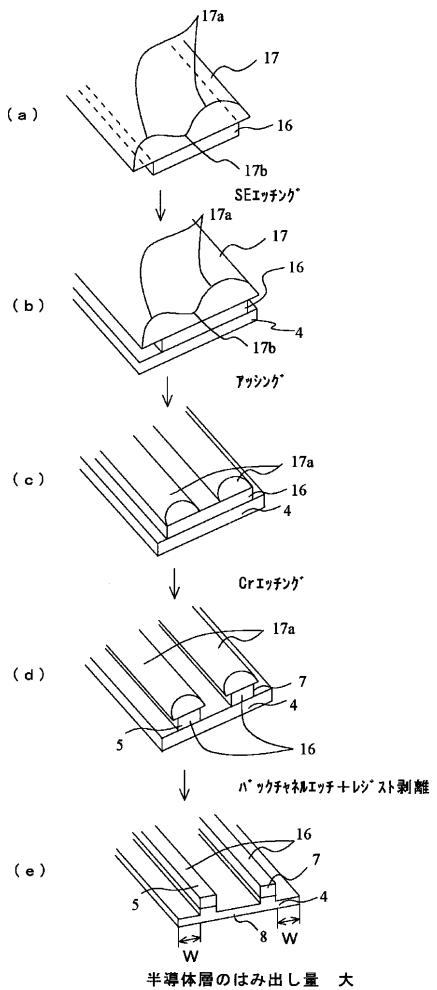
【図14】



【図15】



【図16】



フロントページの続き

(51) Int.Cl.⁷

H 01 L 29/786

識別記号

F I

H 01 L 29/50

テ-マコ-ト⁸ (参考)

M

F ターム(参考) 2H092 HA06 JA28 JA34 JA41 JA46
JA47 KA12 MA08 MA17 MA18
MA19 NA22
4M104 AA01 AA08 AA09 BB01 BB02
BB13 BB14 BB16 BB17 BB18
BB36 CC01 CC05 DD08 DD17
DD37 DD43 DD62 DD64 EE03
EE17 FF13 GG08
5F033 GG04 HH05 HH08 HH17 HH18
HH19 HH20 HH21 HH32 HH38
JJ01 JJ38 KK05 KK08 KK17
KK18 KK19 KK20 KK21 KK32
LL04 MM05 MM08 PP12 PP15
QQ01 QQ08 QQ09 QQ10 QQ11
QQ19 QQ33 QQ37 RR06 VV06
VV07 VV15 WW02 XX33
5F110 AA16 AA21 BB01 CC07 EE03
EE04 EE06 FF03 FF30 GG02
GG15 GG24 GG45 HK01 HK04
HK06 HK09 HK16 HK21 HK22
HK25 HK33 HK35 HL07 HL23
HM02 HM04 HM12 NN04 NN24
NN35 NN72 NN73 QQ02 QQ05

专利名称(译)	薄膜晶体管阵列及其制造方法和使用其的液晶显示装置		
公开(公告)号	JP2003297850A	公开(公告)日	2003-10-17
申请号	JP2002099990	申请日	2002-04-02
申请(专利权)人(译)	有限公司高级显示		
[标]发明人	森田浩正 中嶋健		
发明人	森田 浩正 中嶋 健		
IPC分类号	G02F1/1368 H01L21/28 H01L21/3213 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/417 H01L29/786		
CPC分类号	H01L27/1288 H01L27/1214 Y10S438/945		
FI分类号	G02F1/1368 H01L21/28.E H01L29/78.616.K H01L29/78.627.C H01L21/88.C H01L29/50.M		
F-TERM分类号	2H092/HA06 2H092/JA28 2H092/JA34 2H092/JA41 2H092/JA46 2H092/JA47 2H092/KA12 2H092 /MA08 2H092/MA17 2H092/MA18 2H092/MA19 2H092/NA22 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB01 4M104/BB02 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104 /BB36 4M104/CC01 4M104/CC05 4M104/DD08 4M104/DD17 4M104/DD37 4M104/DD43 4M104/DD62 4M104/DD64 4M104/EE03 4M104/EE17 4M104/FF13 4M104/GG08 5F033/GG04 5F033/HH05 5F033 /HH08 5F033/HH17 5F033/HH18 5F033/HH19 5F033/HH20 5F033/HH21 5F033/HH32 5F033/HH38 5F033/JJ01 5F033/JJ38 5F033/KK05 5F033/KK08 5F033/KK17 5F033/KK18 5F033/KK19 5F033/KK20 5F033/KK21 5F033/KK32 5F033/LL04 5F033/MM05 5F033/MM08 5F033/PP12 5F033/PP15 5F033 /QQ01 5F033/QQ08 5F033/QQ09 5F033/QQ10 5F033/QQ11 5F033/QQ19 5F033/QQ33 5F033/QQ37 5F033/RR06 5F033/VV06 5F033/VV07 5F033/VV15 5F033/WW02 5F033/XX33 5F110/AA16 5F110 /AA21 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG24 5F110/GG45 5F110/HK01 5F110/HK04 5F110/HK06 5F110 /HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL07 5F110/HL23 5F110/HM02 5F110/HM04 5F110/HM12 5F110/NN04 5F110/NN24 5F110/NN35 5F110 /NN72 5F110/NN73 5F110/QQ02 5F110/QQ05 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB42 2H192/CB46 2H192/FA65 2H192/HA44 2H192/HA45		
其他公开文献	JP4004835B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种TFT阵列基板，其中抑制了由于光照射引起的TFT特性的劣化，并提供了基板的制造方法和使用该方法的液晶显示器。解决方案：TFT阵列基板的制造方法具有在形成栅极布线1的基板上形成栅极绝缘膜3，半导体层4a，欧姆层4b和金属膜16的工艺，形成的方法通过光机械工艺在金属膜16上形成抗蚀剂图案17，使得半导体器件层8的涂覆部分上的膜厚度变得比其它部分的膜厚度薄，蚀刻金属膜16和形成源极布线6的工艺，源电极5和漏电极7，用于去除半导体有源层8的施加部分上的抗蚀剂并去除欧姆层4b和半导体层4a的工艺，用于去除金属膜16的工艺和用于去除金属膜16的工艺去除欧姆层4b。 Ž

