

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 215614

(P2003 - 215614A)

(43)公開日 平成15年7月30日(2003.7.30)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 1
1/1335	505	1/1335	2 H 0 9 2
1/1368		1/1368	5 C 0 9 4
G 0 9 F 9/00	342	G 0 9 F 9/00	5 G 4 3 5
	352	352	

審査請求 未請求 請求項の数 10 O L (全 14数) 最終頁に続く

(21)出願番号 特願2002 - 10893(P2002 - 10893)

(22)出願日 平成14年1月18日(2002.1.18)

(71)出願人 302036002

富士通ディスプレイテクノロジー株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 長岡 謙一

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(74)代理人 100108187

弁理士 横山 淳一

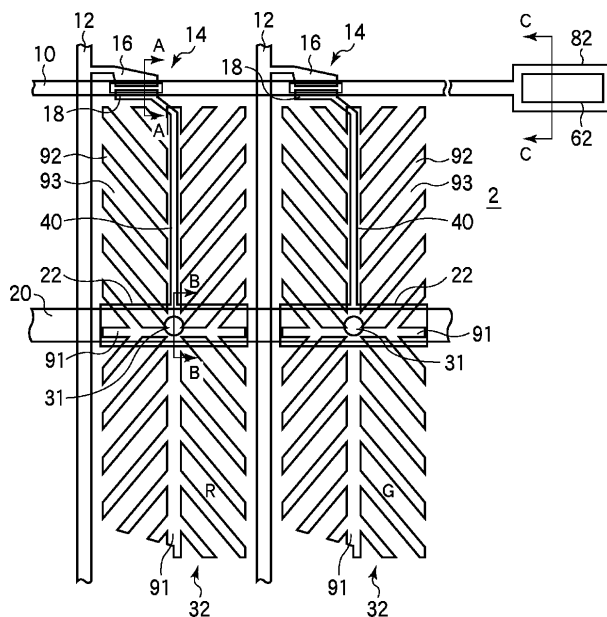
最終頁に続く

(54)【発明の名称】 液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法

(57)【要約】

【課題】本発明は、情報機器等の表示装置として用いられる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法に関し、欠陥の位置を容易に検出でき、良好な表示品質の得られる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法を提供することを目的とする。

【解決手段】ガラス基板と、ガラス基板上に絶縁膜を介して互いに交差して形成されたゲートバスライン10及びドレインバスライン12と、基板上にマトリクス状に配置された画素領域と、画素領域毎に形成されたTFT14と、画素領域毎に形成された蓄積容量電極22と、TFT14のソース電極18及び蓄積容量電極22と同一の形成材料で形成され、ソース電極18と蓄積容量電極22とを電気的に接続する接続配線40と、画素領域に形成されたCF樹脂層と、CF樹脂層上の画素領域毎に形成された画素電極32とを有するように構成する。



【特許請求の範囲】

【請求項 1】対向して配置される対向基板とともに液晶を挟持する基板と、
前記基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、
前記基板上にマトリクス状に配置された画素領域と、
前記画素領域毎に形成された薄膜トランジスタと、
前記画素領域毎に形成された蓄積容量電極と、
前記薄膜トランジスタのソース電極及び前記蓄積容量電極と同一の形成材料で形成され、前記ソース電極と前記蓄積容量電極とを電気的に接続する接続配線とを有することを特徴とする液晶表示装置用基板。

【請求項 2】請求項 1 記載の液晶表示装置用基板において、
前記接続配線は、前記画素領域内に形成されていることを特徴とする液晶表示装置用基板。

【請求項 3】請求項 1 又は 2 に記載の液晶表示装置用基板において、
前記画素領域に形成されたカラーフィルタ層と、前記カラーフィルタ層上の前記画素領域毎に形成された画素電極とをさらに有していることを特徴とする液晶表示装置用基板。

【請求項 4】請求項 3 記載の液晶表示装置用基板において、
前記画素電極は、前記バスラインに平行又は垂直に延びる幹部と、前記幹部から分岐して前記バスラインに斜めに延びる複数の枝部とを備えたストライプ状電極と、前記ストライプ状電極間のスペースとを有し、
前記接続配線は、基板面に垂直方向に見て、前記ストライプ状電極に重なって形成されていることを特徴とする液晶表示装置用基板。

【請求項 5】請求項 4 記載の液晶表示装置用基板において、
前記接続配線は、基板面に垂直方向に見て、前記幹部に重なって形成されていることを特徴とする液晶表示装置用基板。

【請求項 6】請求項 3 乃至 5 のいずれか 1 項に記載の液晶表示装置用基板において、
前記バスラインを修復するために形成されたリペア配線と、前記バスラインと前記リペア配線とが絶縁膜を介して交差する交差部とをさらに有し、前記交差部は、上層に前記カラーフィルタ層が少なくとも 2 層積層されて形成されていることを特徴とする液晶表示装置用基板。

【請求項 7】請求項 3 乃至 6 のいずれか 1 項に記載の液晶表示装置用基板において、
前記基板の周囲に形成されたショートリングと、前記ショートリングと前記複数のバスラインとを接続する静電破壊防止用薄膜トランジスタとをさらに有し、前記静電破壊防止用薄膜トランジスタのゲート電極とドレイン電極とは、ゲート絶縁膜に開口したコンタクトホールを介

*して電気的に接続されていることを特徴とする液晶表示装置用基板。

【請求項 8】一対の基板と、前記一対の基板間に封止された液晶とを有する液晶表示装置であって、
前記基板の一方に、請求項 1 乃至 7 のいずれか 1 項に記載の液晶表示装置用基板が用いられていることを特徴とする液晶表示装置。

【請求項 9】薄膜トランジスタのソース電極及び蓄積容量電極の形成と同時に、前記ソース電極と前記蓄積容量電極とを電気的に接続する接続配線を形成する工程と、
前記ソース電極及び蓄積容量電極上にカラーフィルタ層を形成する前に、アレイ検査を行う工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項 10】バスライン層上にカラーフィルタ層が形成された薄膜トランジスタ基板に対してアレイ検査を行い前記バスラインの欠陥を検査する液晶表示装置の欠陥検査方法において、
前記アレイ検査により欠陥が検出された後に、
赤外線強度を検知して視覚化する赤外顕微鏡を用いて前記欠陥の観察検査を行うことを特徴とする液晶表示装置の欠陥検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報機器等の表示装置として用いられる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】画素の高精細化、開口率の向上を実現する液晶表示装置として、薄膜トランジスタ (TFT; Thin Film Transistor) 基板上にカラーフィルタ (CF; Color Filter) 樹脂層が形成された CF on TFT (Color Filter on Thin Film Transistor array) 構造の液晶表示装置が注目されている。

【0003】図 17 は、CF on TFT 構造を有する従来の液晶表示装置の構成を示している。図 17 に示すように、TFT 基板 102 上には、図中左右方向に延びるゲートバスライン 110 が互いに平行に複数形成されている (図 17 では 1 本のみ示している)。また、不図示の絶縁膜を介してゲートバスライン 110 に交差して、図中上下方向に延びるドレインバスライン 112 が互いに平行に複数形成されている。両バスライン 110、112 の交差位置近傍には TFT 114 が形成されている。TFT 114 のドレイン電極 116 は、ドレインバスライン 112 に電気的に接続されている。また、TFT 114 のソース電極 118 は、ドレイン電極 116 に対向して形成されている。

【0004】また、TFT 基板 102 上には、ゲートバスライン 110 に平行に、複数の蓄積容量バスライン 1

20が形成されている(図17では1本のみ示している)。蓄積容量バスライン120上には、不図示の絶縁膜を介して蓄積容量電極122が形成されている。蓄積容量バスライン120と蓄積容量電極122とにより蓄積容量が形成されている。

【0005】また、TFT基板102の各画素領域には、赤(R)、緑(G)、青(B)のうちいずれか1色のCF樹脂層が形成されている。CF樹脂層上には、平坦化樹脂膜(オーバーコート層)及び画素電極132が形成されている。画素電極132はコンタクトホール130を介してソース電極118に電氣的に接続され、コンタクトホール131を介して蓄積容量電極122に電氣的に接続されている。すなわち、ソース電極118は、画素電極132を介して蓄積容量電極122に電氣的に接続されている。

【0006】CFonTFT構造を有する従来の液晶表示装置のTFT基板の製造方法について、図17を参照しつつ図18及び図19を用いて説明する。図18は、従来のCFonTFT構造のTFT基板の製造工程を示すフローチャートである。まず、ガラス基板上の全面に金属層を成膜してパターンニングし、ゲートバスライン(ゲート電極)110及び蓄積容量バスライン120を形成する(ステップS21)。次に、全面に絶縁膜(ゲート絶縁膜)を形成する(ステップS22)。次に、ゲート絶縁膜上の全面に金属層を成膜してパターンニングし、ドレイン電極116、ソース電極118、ドレインバスライン112及び蓄積容量電極122を形成する(ステップS23)。

【0007】図19は、ステップS23の工程が終了した時点でのTFT基板102の構成を示している。図19に示すように、ステップS23の工程が終了した時点では、画素電極132が形成されていないため、ソース電極118と蓄積容量電極122とは電氣的に接続されていない。

【0008】図18に戻り、ドレイン電極116、ソース電極118、ドレインバスライン112及び蓄積容量電極122上の全面に保護膜を形成する(ステップS24)。次に、保護膜上の画素領域毎にCF樹脂層R、G、Bのうちいずれか1層を形成する(ステップS25)。次に、CF樹脂層上に、オーバーコート層を形成する(ステップS26)。次に、ソース電極118上及び蓄積容量電極122上のオーバーコート層、CF樹脂層及び保護膜を開口してコンタクトホール130、131をそれぞれ形成する(ステップS27)。次に、各画素領域にITO(Indium Tin Oxide)からなる画素電極132を形成する(ステップS28)。このとき、画素電極132はコンタクトホール130を介してソース電極118に電氣的に接続され、コンタクトホール131を介して蓄積容量電極122に電氣的に接続される。次に、アレ検査(ステップS2

9)を行う。

【0009】アレ検査では、例えば、ドレインバスライン112に所定の電圧を印加し、TFT114をオン状態にして各画素の蓄積容量に所定の電荷を充電した後、画素毎に蓄積された電荷量を測定して当該電荷量が閾値を越えているか否かで欠陥を検出している。アレ検査により欠陥が検出されたらステップS30に進み、当該欠陥に対して所定のレーザーリペアを行い、ステップS29に戻る。アレ検査により欠陥が検出されなければステップS31に進み、外観検査を行う。

【0010】アレ検査は、画素毎の蓄積容量に電荷を充電できるようになった後に行われる。従来のTFT基板102の構成では、ソース電極118と蓄積容量電極122とが、CF樹脂層上に形成された画素電極132を介して電氣的に接続されている。このため、CFonTFT構造のTFT基板102では、CF樹脂層R、G、Bや画素電極132が形成された後にアレ検査が行われる。

【0011】CF樹脂層R、G、Bは、少なくとも2層重ねて形成することにより遮光機能を有する。このため、隣接する画素領域間や、TFT114上及び表示領域の周囲の額縁領域等には、CF樹脂層R、G、Bが少なくとも2層積層されて形成されている。

【0012】図20は、従来のCFonTFT構造のTFT基板102の額縁領域の構成を示している。図20に示すように、TFT基板102の表示領域150の周囲には額縁領域152が設けられている。額縁領域152には、後述する一部の領域を除いて、CF樹脂層R、G、Bが少なくとも2層積層されて形成されている。

【0013】図21は、図20に示す円内の領域を拡大して示している。図21に示すように、額縁領域152には、ドレインバスライン112の断線等を修復するためのリペア配線154、155、158が表示領域150を迂回して形成されている。リペア配線154は、複数の接続部156で絶縁膜を介して複数のドレインバスライン112にそれぞれ交差している。リペア配線155は、複数の接続部157で絶縁膜を介して複数のドレインバスライン112にそれぞれ交差している。リペア配線158の一端部は、接続部160で絶縁膜を介してリペア配線154の一端部に形成されている。

【0014】断線の生じたドレインバスライン112を修復する際には、当該ドレインバスライン112の接続部156にレーザー光を照射して、当該ドレインバスライン112とリペア配線154とを電氣的に接続させる。また、接続部160にレーザー光を照射して、リペア配線154とリペア配線158とを電氣的に接続させる。リペア配線154、158を用いて階調電圧を迂回させることによりドレインバスライン112が修復される。

【0015】図21に示すように、レーザーが照射される接続部156、157、160近傍の領域は、CF樹脂

層 R、G、B が 2 層積層されずに 1 層のみ形成されている。したがって、これらの領域が遮光されないため接続部 156、157、160 を外観上確認でき、接続部 156、157、160 へのレーザの照射が容易になっている。

【0016】

【発明が解決しようとする課題】しかしながら、上記のような構成にすると、額縁領域 152 の接続部 156、157、160 近傍が遮光されないため、接続部 156、157、160 近傍から光漏れが発生する。接続部 156、157、160 は、表示領域 150 の近傍に配置されているため、そこからの光漏れにより表示品質が低下してしまうという問題が生じている。

【0017】また、TFT114、ゲートバスライン 110 及びドレインバスライン 112 上には、遮光のために CF 樹脂層 R、G、B が少なくとも 2 層積層されて形成されている。このため、アレキ検査により電氣的に欠陥が検出されても、顕微鏡を用いた観察検査により欠陥の正確な位置を検出するのが困難であるという問題が生じている。

【0018】ところで、図示は省略しているが、TFT 基板 102 には表示領域 150 の外側に、製品化後にも残存する静電破壊防止用のインナーショートリングが形成されている。インナーショートリングのさらに外側には、後工程で切断されて破棄される静電破壊防止用のアウターショートリングが形成されている。両ショートリングは各バスライン 110、112、116 と静電破壊防止用 TFT を介して接続されている。これにより、各バスライン 110、112、116 に静電気が帯電したときに生じる TFT の閾値シフト及び層間短絡等を防止している。

【0019】静電破壊防止用 TFT は、各バスライン 110、112、116 に高電位の静電気が帯電したときにオン状態になるように、そのゲート電極とドレイン電極とが同一のバスライン 110、112、116 又はショートリングに電氣的に接続される。従来、静電破壊防止用 TFT のゲート電極とドレイン電極とは、ゲート電極に電氣的に接続されたゲート金属層上の保護膜及び絶縁膜を開口したコンタクトホールと、ドレイン電極に電氣的に接続されたドレイン金属層上の保護膜を開口して形成されたコンタクトホールと、両コンタクトホール間に形成された ITO 層とを介して電氣的に接続されている。

【0020】しかし、ITO 層の下層には、CF 樹脂層 R、G、B の 1 乃至 3 層が形成されているため、両コンタクトホールを形成する際には CF 樹脂層 R ~ B を開口する必要がある。したがって、両コンタクトホールが形成された領域は遮光されず、額縁領域 152 からの光漏れの原因になってしまう。このため、光漏れにより表示品質が低下してしまうという問題が生じている。

【0021】本発明の目的は、欠陥の位置を容易に検出でき、良好な表示品質の得られる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法を提供することにある。

【0022】

【課題を解決するための手段】上記目的は、対向して配置される対向基板とともに液晶を挟持する基板と、前記基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、前記基板上にマトリクス状に配置された画素領域と、前記画素領域毎に形成された薄膜トランジスタと、前記画素領域毎に形成された蓄積容量電極と、前記薄膜トランジスタのソース電極及び前記蓄積容量電極と同一の形成材料で形成され、前記ソース電極と前記蓄積容量電極とを電氣的に接続する接続配線とを有することを特徴とする液晶表示装置用基板によって達成される。

【0023】上記本発明の液晶表示装置用基板において、前記接続配線は、前記画素領域内に形成されていることを特徴とする。

【0024】上記本発明の液晶表示装置用基板において、前記画素領域に形成されたカラーフィルタ層と、前記カラーフィルタ層上の前記画素領域毎に形成された画素電極とをさらに有していることを特徴とする。

【0025】上記本発明の液晶表示装置用基板において、前記画素電極は、前記バスラインに平行又は垂直に延びる幹部と、前記幹部から分岐して前記バスラインに斜めに延びる複数の枝部とを備えたストライプ状電極と、前記ストライプ状電極間のスペースとを有し、前記接続配線は、基板面に垂直方向に見て、前記ストライプ状電極に重なって形成されていることを特徴とする。

【0026】上記本発明の液晶表示装置用基板において、前記接続配線は、基板面に垂直方向に見て、前記幹部に重なって形成されていることを特徴とする。

【0027】上記本発明の液晶表示装置用基板において、前記バスラインを修復するために形成されたリペア配線と、前記バスラインと前記リペア配線とが絶縁膜を介して交差する交差部とをさらに有し、前記交差部は、上層に前記カラーフィルタ層が少なくとも 2 層積層されて形成されていることを特徴とする。

【0028】上記本発明の液晶表示装置用基板において、前記基板の周囲に形成されたショートリングと、前記ショートリングと前記複数のバスラインとを接続する静電破壊防止用薄膜トランジスタとをさらに有し、前記静電破壊防止用薄膜トランジスタのゲート電極とドレイン電極とは、ゲート絶縁膜に開口したコンタクトホールを介して電氣的に接続されていることを特徴とする。

【0029】また、上記目的は、一対の基板と、前記一対の基板間に封止された液晶とを有する液晶表示装置であって、前記基板の一方に、上記本発明の液晶表示装置用基板が用いられていることを特徴とする液晶表示装置

によって達成される。

【0030】さらに、上記目的は、薄膜トランジスタのソース電極及び蓄積容量電極の形成と同時に、前記ソース電極と前記蓄積容量電極とを電気的に接続する接続配線を形成する工程と、前記ソース電極及び蓄積容量電極上にカラーフィルタ層を形成する前に、アレイ検査を行う工程とを有することを特徴とする液晶表示装置の製造方法によって達成される。

【0031】またさらに、上記目的は、バスライン層上にカラーフィルタ層が形成された薄膜トランジスタ基板 10 に対してアレイ検査を行い前記バスラインの欠陥を検査する液晶表示装置の欠陥検査方法において、前記アレイ検査により欠陥が検出された後に、赤外線強度を検知して視覚化する赤外顕微鏡を用いて前記欠陥の観察検査を行うことを特徴とする液晶表示装置の欠陥検出方法によって達成される。

【0032】

【発明の実施の形態】本発明の一実施の形態による液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法について図 1 乃至図 16 を用いて説明する。図 1 は、本実施の形態による液晶表示装置用基板の構成を示している。図 1 に示すように、TFT 基板 2 上には、図中左右方向に延びるゲートバスライン 10 が互いに平行に複数形成されている（図 1 では 1 本のみ示している）。また、不図示の絶縁膜を介してゲートバスライン 10 に交差して、図中上下方向に延びるドレインバスライン 12 が互いに平行に複数形成されている。図 1 では図示を省略しているが、後程説明する図 5 に示すように、ゲートバスライン 10 の図中左方には、ゲートバスライン 10 を駆動するゲートバスライン駆動回路に接続されるゲートバスライン端子 52 が形成されている。ドレインバスライン 12 の図中上方には、ドレインバスライン 12 を駆動するドレインバスライン駆動回路に接続されるドレインバスライン端子 80 が形成されている。また、ゲートバスライン 10 の図中右方には、アレイ検査の際に使用されるゲートバスライン検査用端子 82 が形成され、ドレインバスライン 12 の図中下方には、同様にアレイ検査の際に使用されるドレインバスライン検査用端子 86 が形成されている。

【0033】画素領域内であって両バスライン 10、12 の交差位置近傍には TFT 14 が形成されている。TFT 14 のドレイン電極 16 は、ドレインバスライン 12 に電気的に接続されている。また、TFT 14 のソース電極 18 は、所定の間隙を介してドレイン電極 16 に対向して形成されている。

【0034】また、TFT 基板 2 の各画素領域には、ゲートバスライン 10 に平行に、蓄積容量バスライン 20 が形成されている。蓄積容量バスライン 20 上には、不図示の絶縁膜を介して蓄積容量電極 22 が形成されている。蓄積容量バスライン 20 と蓄積容量電極 22 とで蓄

積容量が形成されている。

【0035】また、TFT 基板 2 の各画素領域には、CF 樹脂層 R、G、B の少なくとも 1 層が形成されている。CF 樹脂層 R、G、B 上には、画素電極 32 が形成されている。画素電極 32 は、ドレインバスライン 12 に平行及び垂直に延びる 2 本の幹部 91 と、幹部 91 から分岐してドレインバスライン 12 に対して斜めに延びる複数の枝部 92 とからなるストライプ状電極と、ストライプ状電極間のスペース 93 とで構成されている。画素電極 32 は、ストライプ状電極とスペース 93 とにより葉脈形状になっている。この形状により、液晶分子の配向を規制するポリマースタビライズ (PS) 方式を実現するためのモノマー材のポリマー化時に、液晶分子を配向させることができる。なお、PS 方式を用いない場合には、当該画素電極 32 を直接の配向規制手段として用いることが可能である。画素電極 32 は、コンタクトホール 31 を介して蓄積容量電極 22 に電気的に接続されている。各画素領域には、ソース電極 18 と蓄積容量電極 22 とを電気的に接続する接続配線 40 が形成されている。接続配線 40 は、基板面に垂直方向に見て、画素電極 32 の幹部 91 に重なるように配置されている。

【0036】図 2 は、本実施の形態による液晶表示装置用基板の構成を示す断面図である。図 2 (a) は図 1 の A-A 線で切断した TFT 14 近傍の断面を示し、図 2 (b) は図 1 の B-B 線で切断した蓄積容量近傍の断面を示している。また図 2 (c) は、図 1 の C-C 線で切断したゲートバスライン検査用端子 82 近傍の断面を示している。

【0037】図 2 (a) に示すように、ガラス基板 50 上には、ゲート電極 10 が形成されている。ゲート電極 10 上の基板全面には、絶縁膜 54 が形成されている。絶縁膜 54 上には、動作半導体層 64 が形成されている。動作半導体層 64 上には、チャネル保護膜 60 が形成されている。動作半導体層 64 及びチャネル保護膜 60 上には、それぞれ下層に n^+a-Si 層 57 が形成されたドレイン電極 16 及びソース電極 18 が形成されている。ドレイン電極 16 の一端部とソース電極 18 の一端部とは、チャネル保護膜 60 上で所定の間隙を介して対向している。ドレイン電極 16 及びソース電極 18 上の基板全面には、保護膜 66 が形成されている。保護膜 66 上には、例えば CF 樹脂層 R、G が順に積層されて形成されている。CF 樹脂層 G 上には、オーバーコート層 68 が形成されている。オーバーコート層 68 上の画素領域には、画素電極 32 が形成されている。

【0038】また、図 2 (b) に示すように、ガラス基板 50 上には、ゲート電極 10 と同一の形成材料で蓄積容量バスライン 20 が形成されている。蓄積容量バスライン 20 上の基板全面には、絶縁膜 54 が形成されている。絶縁膜 54 上には、それぞれ下層に $a-Si$ 層 56 及び n^+a-Si 層 57 が形成された蓄積容量電極 22

(図中破線より右方) 及び接続配線 40 (図中破線より左方) が形成されている。蓄積容量電極 22 及び接続配線 40 は、ドレイン電極 16 及びソース電極 18 と同一の形成材料で形成されている。蓄積容量電極 22 上の基板全面には、保護膜 66 が形成されている。保護膜 66 上には、例えば CF 樹脂層 R が形成されている。CF 樹脂層 R 上にはオーバーコート層 68 が形成されている。オーバーコート層 68 上には画素電極 32 が形成されている。画素電極 32 は、蓄積容量電極 22 上のオーバーコート層 68、CF 樹脂層 R 及び保護膜 66 を開口して形成されたコンタクトホール 31 を介して、蓄積容量電極 22 に電氣的に接続されている。

【0039】図 2 (c) に示すように、ガラス基板 50 上には、ゲート電極 10 と同一の形成材料でゲートバスライン検査用端子 82 が形成されている。ゲートバスライン検査用端子 82 上には、基板全面に形成された絶縁膜 54 を開口したコンタクトホール 62 が形成されている。絶縁膜 54 上には、保護膜 66、CF 樹脂層 R、G、及びオーバーコート層 68 がこの順に積層されて形成されている。

【0040】図 3 は、本実施の形態による液晶表示装置用基板の表示領域周囲の構成を示している。図 3 に示すように、TFT 基板 2 の表示領域 200 周囲には額縁領域 202 が設けられている。額縁領域 202 は、少なくとも 2 層積層されて形成された CF 樹脂層 R、G、B により遮光されている。

【0041】図 4 は、図 3 に示す円 内の領域を拡大して示している。図 4 に示すように、額縁領域 202 には、ドレインバスライン 12 の断線等を修復するためのリペア配線 206、207、208 が表示領域 200 を迂回して形成されている。リペア配線 206 は、複数の接続部 212 で絶縁膜を介して複数のドレインバスライン 12 にそれぞれ交差している。リペア配線 207 は、複数の接続部 213 で絶縁膜を介して複数のドレインバスライン 12 にそれぞれ交差している。リペア配線 208 の一端部は、接続部 210 で絶縁膜を介してリペア配線 206 の一端部上に形成されている。接続部 210、212、213 は、上層に少なくとも 2 層積層して形成された CF 樹脂層 R、G、B により遮光されている。

【0042】このように本実施の形態では、図 21 に示す従来の接続部 156、157、160 と異なり、接続部 210、212、213 近傍が CF 樹脂層 R、G、B の少なくともいずれか 2 層の積層構造で遮光されている。このため、接続部 210、212、213 近傍からの光漏れは発生しない。したがって、光漏れによる表示品質の低下を防止することができる。

【0043】また、図 5 は本実施の形態による液晶表示装置用基板の各端子の概略の配置を示している。図 5 に示すように、複数のゲートバスライン 10 の図中左端部には、それぞれゲートバスライン端子 52 が形成されて

いる。複数のゲートバスライン 10 の図中右端部には、ゲートバスライン検査用端子 82 が形成されている。また、複数のドレインバスライン 12 の図中上端部には、それぞれドレインバスライン端子 80 が形成されている。複数のドレインバスライン 12 の図中下端部には、ドレインバスライン検査用端子 86 が形成されている。

【0044】複数の蓄積容量バスライン 20 は、図中右端部で 1 本の共通蓄積容量配線 88 に接続されている。共通蓄積容量配線 88 の両端部には、蓄積容量バスライン検査用端子 84 が形成されている。

【0045】各バスライン検査用端子 82、84、86 は、アレイ検査の際に用いられるため、端子間の間隔や配置等を比較的自由に決定できる。このため、端子間の間隔、配置等をパネルサイズの異なる TFT 基板 2 同士で同一にできる。こうすることにより、パネルサイズの異なる TFT 基板 2 のそれぞれに対して同一のプロープを用いてアレイ検査を行うことができる。

【0046】次に、本実施の形態による液晶表示装置用基板の製造方法について図 6 乃至図 16 を用いて説明する。図 6 は、本実施の形態による液晶表示装置用基板の製造工程を示すフローチャートである。図 7 乃至図 11 及び図 13 乃至図 16 は、本実施の形態による液晶表示装置用基板の製造方法を示す工程断面図である。図 7 乃至図 11 及び図 13 乃至図 16 において、(a) は図 1 の A - A 線で切断した TFT 14 近傍の断面を示し、(b) は図 1 の B - B 線で切断した蓄積容量近傍の断面を示している。また (c) は、図 1 の C - C 線で切断したゲートバスライン検査用端子 82 近傍の断面を示している。図 12 は、図 11 に示す工程の時点での液晶表示装置用基板の構成を示す図である。

【0047】まず、例えば窒化モリブデン (MoN)、アルミニウム (Al) 及びモリブデン (Mo) をこの順にガラス基板 50 上の全面に成膜して、膜厚 150 nm の金属層を形成する。次に、図 7 (a)、(b)、(c) に示すように、金属層をパターニングしてゲートバスライン (ゲート電極) 10 (図 7 (a) 参照)、蓄積容量バスライン 20 (図 7 (b) 参照) 及びゲートバスライン検査用端子 82 (図 7 (c) 参照) を形成する (図 6 のステップ S1)。図示は省略しているが、このときゲートバスライン端子 52 及び蓄積容量バスライン検査用端子 84 も同時に形成される。

【0048】次に、図 8 (a)、(b)、(c) に示すように、例えば膜厚 350 nm のシリコン窒化膜 (SiN 膜) からなる絶縁膜 (ゲート絶縁膜) 54、例えば膜厚 30 nm のアモルファスシリコン (a - Si) 層 56、及び例えば膜厚 150 nm の SiN 膜 58 を基板全面に連続成膜する (図 6 のステップ S2)。

【0049】次に、ゲートバスライン 10 をマスクとして背面露光により SiN 膜 58 をパターニングし、図 9 (a) に示すように、ゲートバスライン (ゲート電極)

10 上方にチャネル保護膜60を自己整合的に形成する。次に、図10(c)に示すように、ゲートバスライン検査用端子82及び蓄積容量バスライン検査用端子84(図10では図示せず)上のa-Si層56及び絶縁膜54を開口し、コンタクトホール62を形成する(図6のステップS3)。図示は省略しているが、このときゲートバスライン端子52及び蓄積容量バスライン検査用端子84上のコンタクトホール62が同時に形成される。なお、本実施の形態ではフォトリソグラフィ工程を用いてコンタクトホール62を形成している。フォトリソグラフィ工程に代えて、バスライン端子部だけが露出するように、エッチングに耐性を有する金属薄板をエッチングマスクとして基板面に近接配置して、各端子上のa-Si層56及び絶縁膜54をエッチング除去するようにしてももちろんよい。

【0050】次に、図11(a)、(b)、(c)及び図12に示すように、基板全面にn⁺a-Si層57及び金属層を成膜してパターニングし、動作半導体層64、ドレイン電極16、ソース電極18(以上図11(a)参照)、蓄積容量電極22(図11(b)参照)20及び接続配線40(図11(b)及び図12参照)を形成する(図6のステップS4)。このとき、ドレインバスライン端子80及びドレインバスライン検査用端子86(図11(a)、(b)、(c)及び図12では図示せず)が同時に形成される。また、図12に示すように、ソース電極18と蓄積容量電極22とは、接続配線40を介して電氣的に接続される。

【0051】次に、TFT基板2のアレイ検査を行う(図6のステップS5)。アレイ検査では、例えば、ドレインバスライン12に所定の電圧を印加し、TFT14をオン状態にして各画素の蓄積容量に所定の電荷を充電した後、画素毎に蓄積された電荷量を測定して当該電荷量が閾値を越えているか否かで欠陥を検出する。アレイ検査により欠陥が検出されたら、顕微鏡を用いた観察検査により当該欠陥の正確な位置を検出し、当該欠陥に対して所定のレーザリペアを行う(図6のステップS6)。本実施の形態の製造方法によれば、CF樹脂層R、G、Bが基板上に形成されていないので、顕微鏡により容易に欠陥位置を検出することができる。そして、あるゲートバスライン10とあるドレインバスライン12との間に層間短絡が生じていれば、当該ドレインバスライン12の層間短絡が生じている領域の前後にレーザ光を照射して当該ドレインバスライン12を切断する。これにより、ドレインバスライン12とゲートバスライン10とを電氣的に分離し、リペア配線206、207、208を用いてドレインバスライン12を修復する。また、ドレインバスライン12に断線が生じていれば、リペア配線206、207、208を用いて当該ドレインバスライン12を修復する。アレイ検査により欠陥が検出されなければ次工程に進む。

【0052】次に、図13(a)、(b)、(c)に示すように、例えば膜厚100nmのSiN膜を基板全面に成膜し、保護膜66を形成する(図6のステップS7)。次に、図14(a)、(b)に示すように、画素毎にCF樹脂層R、G、Bのいずれか1層を形成する(図6のステップS8)。このとき、TFT14上(図14(a)参照)には、遮光のために例えばCF樹脂層R、Gの2層が積層されて形成される。また、既にアレイ検査が終了しているため、ゲートバスライン検査用端子82(図14(c)参照)、ドレインバスライン検査用端子86及び蓄積容量バスライン検査用端子84(ともに図14では図示せず)上には、遮光のために例えばCF樹脂層R、Gの2層が積層されて形成される。

【0053】次に、図15(a)、(b)、(c)に示すように、CF樹脂層R、B、G上の全面に膜厚3~4μmのオーバーコート層68を形成する(図6のステップS9)。次に、図16(b)に示すように、蓄積容量電極22上のオーバーコート層68、CF樹脂層R及び保護膜66を開口し、コンタクトホール31を形成する(図6のステップS10)。図示は省略しているが、このときゲートバスライン端子52及びドレインバスライン端子80上のコンタクトホールが同時に形成される。次に、例えばITOを全面に成膜してパターニングし、画素電極32を形成する(図6のステップS11)。次に、パターン検査等の外観検査を行う(図6のステップS12)。画素電極32のパターン不良等は、この外観検査によって発見される。以上の工程を経て、図2(a)、(b)、(c)に示す液晶表示装置用基板が完成する。

【0054】この後、対向基板と貼り合わせ、液晶材料にモノマーを混合した液晶組成物を注入する。次に、両基板間に所定の電圧を印加して液晶分子を傾斜させた状態で紫外線を照射し、モノマーを重合してポリマー化させる。こうすることにより、ポリマースタビライズ方式による配向規制を用いた液晶表示装置が完成する。

【0055】本実施の形態では、ソース電極18及びドレイン電極16等を形成した後、保護膜66の形成前にアレイ検査を行うため、アレイ検査の際にプローブピンを接触させる各バスライン検査用端子82、84、86は金属層が露出した状態になっている。このため、プローブピンが接触することにより、各バスライン検査用端子82、84、86表面に傷が生じ、傷に起因する突起(ヒロック)が発生するおそれがある。しかし、アレイ検査後の工程で、各バスライン検査用端子82、84、86の上層には、CF樹脂層R、G、B及びオーバーコート層68等の比較的膜厚の厚い層が形成される。したがって、各バスライン検査用端子82、84、86対向基板の共通電極との間の短絡は生じない。

【0056】本実施の形態によれば、アレイ検査を行った後にCF樹脂層R、G、Bを形成するため、接続部2

10、212、213上を遮光できる。したがって、接続部210、212、213近傍からの光漏れが生じないため、表示品質を向上させることができる。

【0057】また、本実施の形態によれば、アレイ検査の際にはゲートバスライン10、ドレインバスライン12及び蓄積容量バスライン20上にCF樹脂層R、G、Bが形成されていないため、観察検査により欠陥の位置を検出するのが容易である。

【0058】さらに、本実施の形態による接続配線40は、画素領域内に形成されているものの、基板面に垂直方向に見てドレインバスライン12に平行な幹部91に重なるように形成されている。このため、実質的な開口率を低下させることなく明るい表示の得られる液晶表示装置を実現できる。

【0059】次に、本実施の形態による液晶表示装置用基板及びその製造方法の変形例について説明する。図示は省略しているが、TF基板2には額縁領域202内に位置する領域に製品化後にも残存する静電破壊防止用のインナーショートリングが形成されている。またさらに額縁領域202外方には、後工程で切断されて破棄される静電破壊防止用のアウターショートリングが形成されている。両ショートリングは各バスライン10、12、16と不図示の静電破壊防止用TFを介して接続されている。これにより、各バスライン10、12、16に静電気が帯電したときに生じるTFの閾値シフト及び層間短絡等を防止している。

【0060】静電破壊防止用TFは、各バスライン10、12、16に高電位の静電気が帯電したときにオン状態になるように、そのゲート電極とドレイン電極とが同一のバスライン10、12、16又はショートリングに電気的に接続される。本実施の形態では、図10に示すa-Si層56及び絶縁膜54のパターニングの際の露光方法として、ステッパを用いた高精度のフォトリソグラフィ方法を用いている。これにより高いパターニング精度が得られるので、静電破壊防止用TFのゲート電極とドレイン電極とを同一のバスライン10、12、16又はショートリングに電気的に接続するためのコンタクトホールを絶縁膜54に形成できる。このため、ITO層を介さずにゲート金属層とドレイン金属層とを接続できる。

【0061】したがって、本実施の形態によれば、ドレインバスライン12等を形成した段階で静電破壊防止用TFが完成するため、静電破壊防止に優れたTF基板2が得られる。また、絶縁膜54に開口したコンタクトホール上にCF樹脂層R、G、Bの少なくとも2層を積層して当該領域上を遮光できる。このため、インナーショートリングが額縁領域202内に残存していても、静電破壊防止用TF近傍のコンタクトホールからの光漏れが生じないため、優れた表示品質を実現することができる。

【0062】次に、本実施の形態による液晶表示装置用基板の欠陥検出方法の変形例について説明する。本実施の形態では、CF樹脂層R、G、Bが形成されたTF基板2に対するアレイ検査により欠陥が検出された後の観察検査の際に、通常の顕微鏡ではなく赤外線強度を検知して視覚化する赤外顕微鏡を用いる。赤外線はCF樹脂層R、G、B及びオーバーコート層68等の樹脂層を透過するため、観察検査の際に赤外顕微鏡を用いることによりCF樹脂層R、G、Bの2層が積層された領域の欠陥を検出できる。

【0063】

【発明の効果】以上の通り、本発明によれば、欠陥の位置を容易に検出でき、良好な表示品質の得られる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図2】本発明の一実施の形態による液晶表示装置用基板の構成を示す断面図である。

【図3】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図4】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図5】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図6】本発明の一実施の形態による液晶表示装置用基板の製造工程を示すフローチャートである。

【図7】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図8】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図9】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図10】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図11】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図12】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す図である。

【図13】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図14】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図15】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図16】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図17】従来の液晶表示装置用基板の構成を示す図である。

【図 18】従来の液晶表示装置用基板の製造工程を示すフローチャートである。

【図 19】従来の液晶表示装置用基板の製造工程を示す図である。

【図 20】従来の液晶表示装置用基板の構成を示す図である。

【図 21】従来の液晶表示装置用基板の構成を示す図である。

【符号の説明】

2 TFT 基板

10 ゲートバスライン

12 ドレインバスライン

14 TFT

16 ドレイン電極

18 ソース電極

20 蓄積容量バスライン

22 蓄積容量電極

31 コンタクトホール

32 画素電極

40 接続配線

50 ガラス基板

52 ゲートバスライン端子

54 絶縁膜

* 56 a-Si 層

57 n⁺a-Si 層

58 SiN 膜

60 チャンネル保護膜

62、62' コンタクトホール

64 動作半導体層

66 保護膜

68 オーバーコート層

70 保護導電膜

10 80 ドレインバスライン端子

82 ゲートバスライン検査用端子

84 蓄積容量バスライン検査用端子

86 ドレインバスライン検査用端子

88 共通蓄積容量配線

91 幹部

92 枝部

93 スペース

200 表示領域

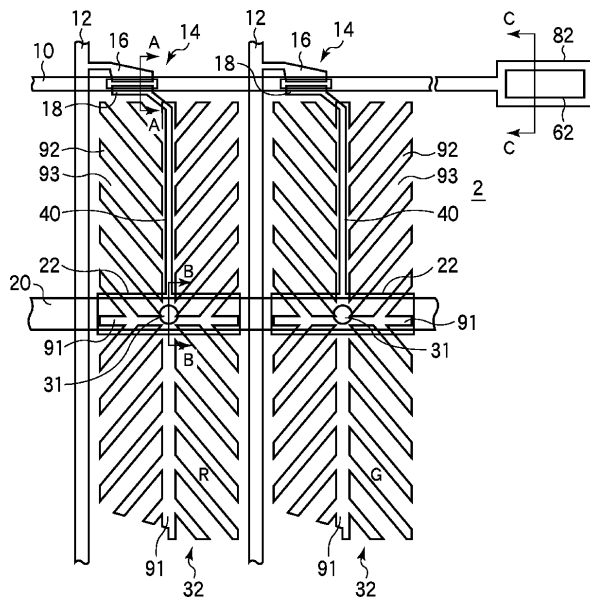
202 額縁領域

20 206、207、208 リペア配線

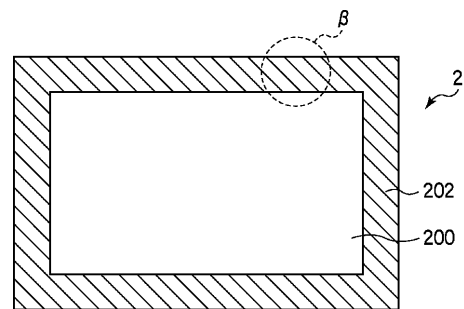
210、212、213 接続部

*

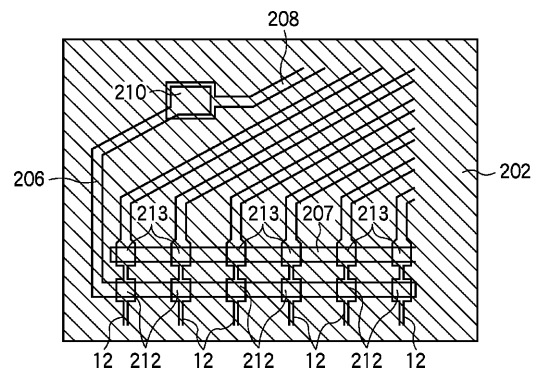
【図 1】



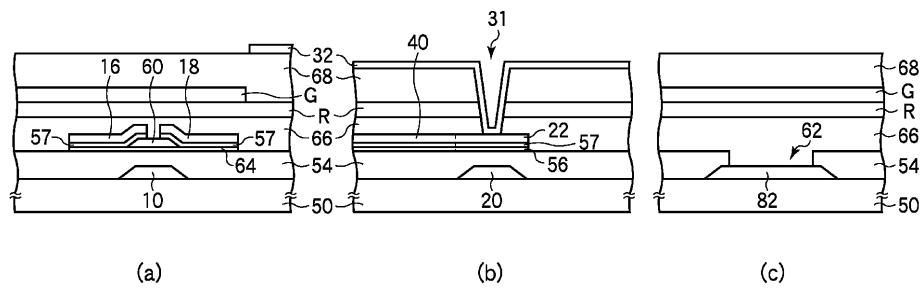
【図 3】



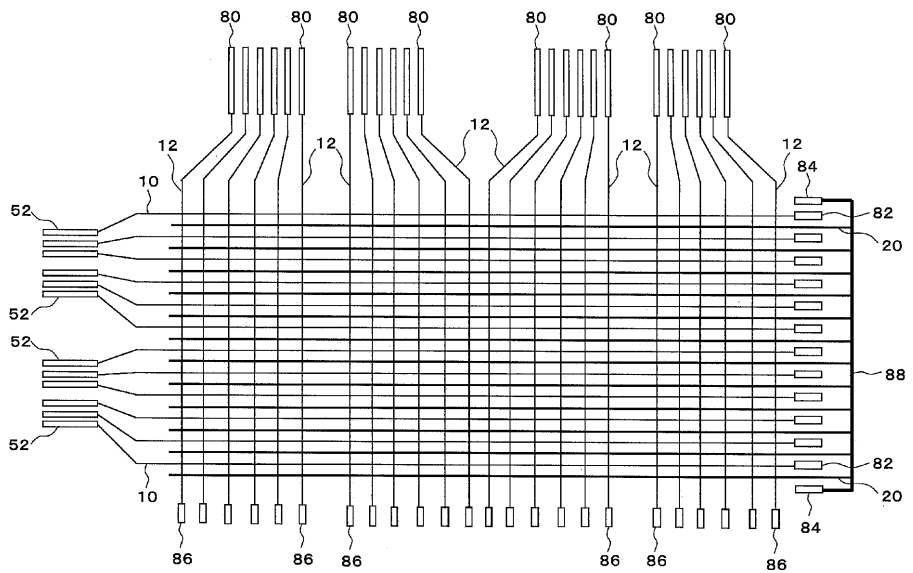
【図 4】



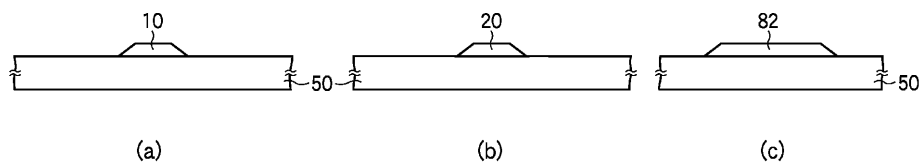
【図2】



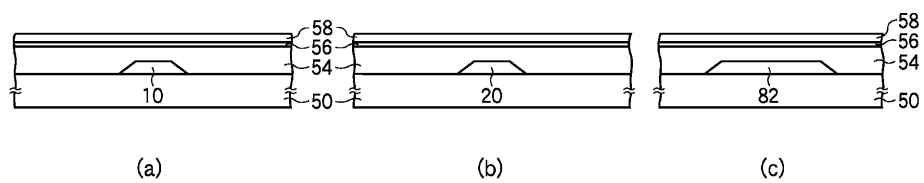
【図5】



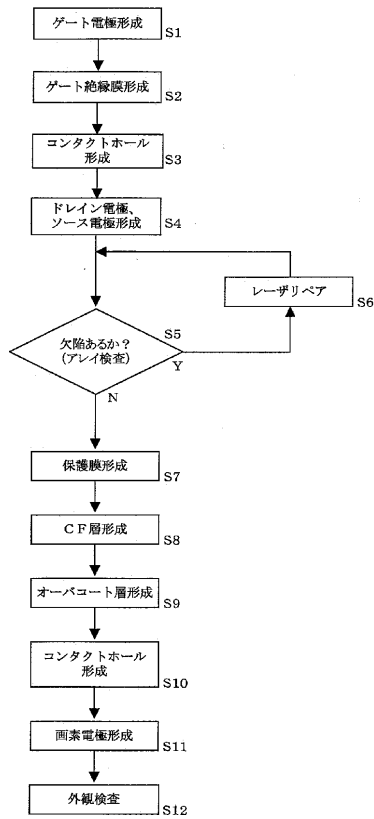
【図7】



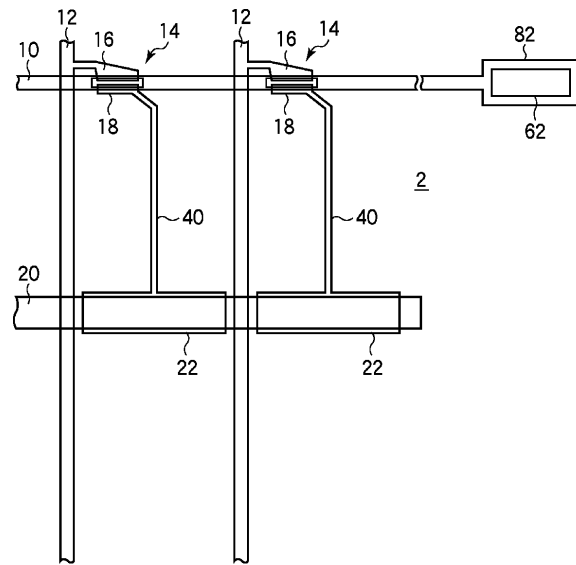
【図8】



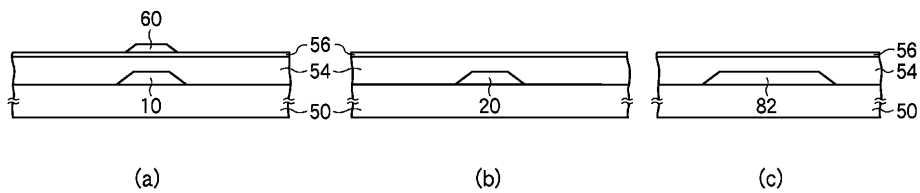
【図6】



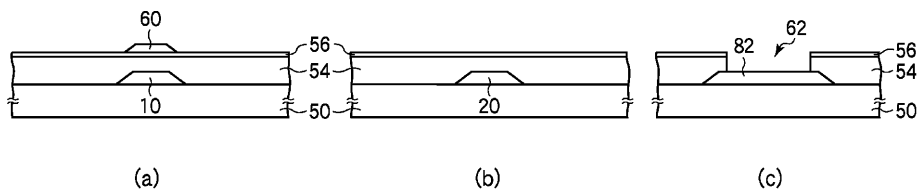
【図12】



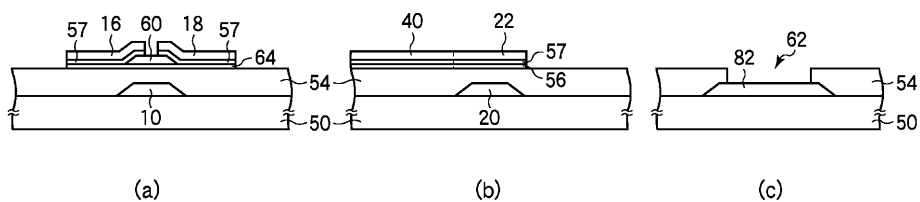
【図9】



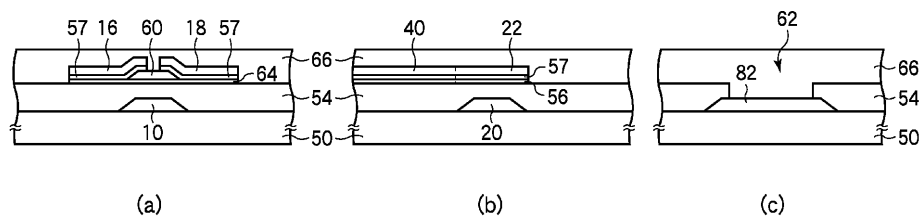
【図10】



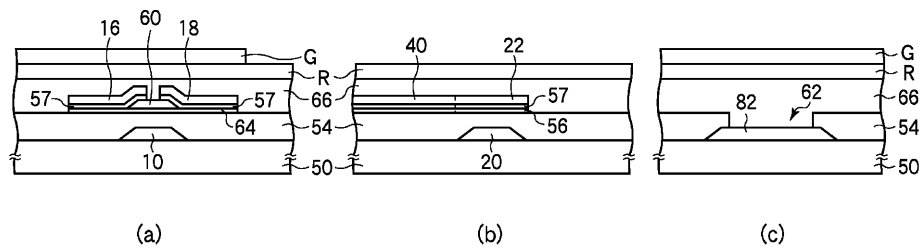
【図11】



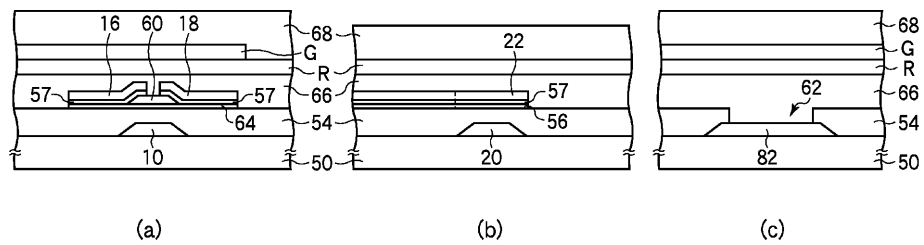
【図13】



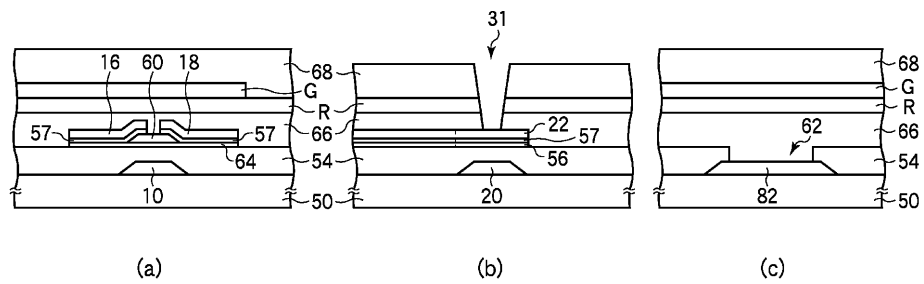
【図14】



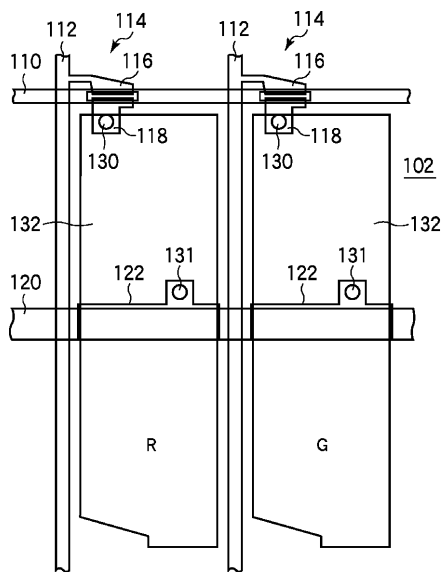
【図15】



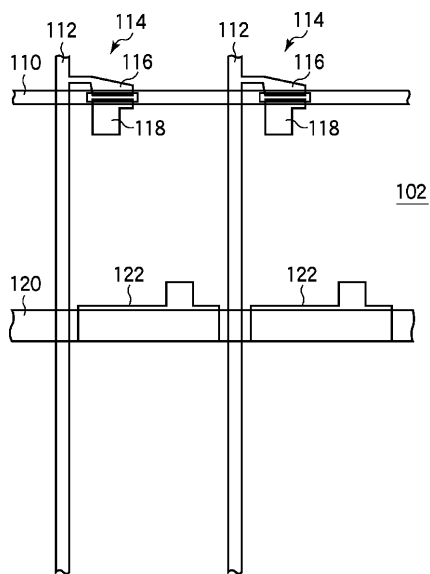
【図16】



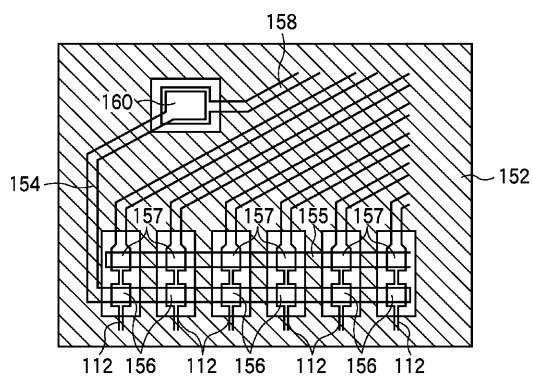
【図17】



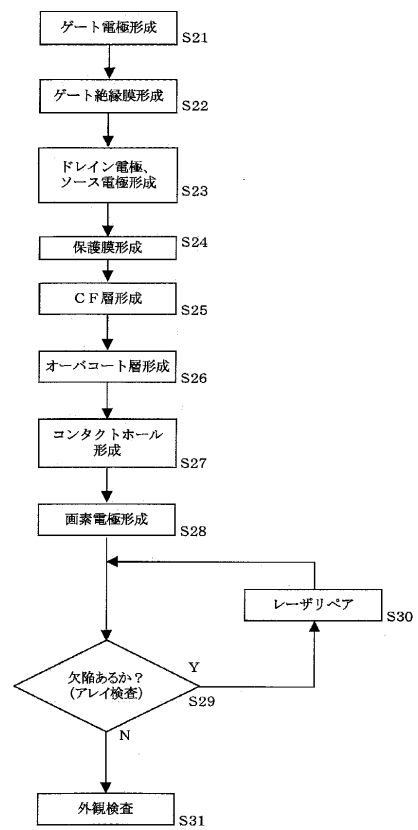
【図19】



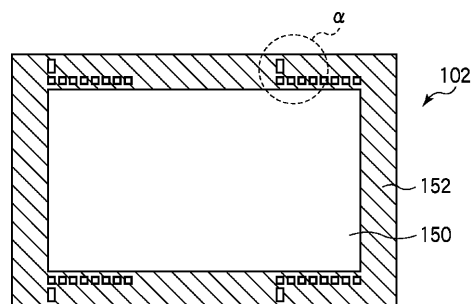
【図21】



【図18】



【図20】



フロントページの続き

(51)Int.Cl. ⁷		識別記号		F I		テ-マ-コード (参考)
G 0 9 F	9/30	3 3 8		G 0 9 F	9/30	3 3 8
	9/35				9/35	

F タ-ム (参考)

2H091	FA02Y	GA01	GA02	GA16
	LA09	LA12	LA30	
2H092	GA11	GA12	GA13	GA17 GA21
	GA24	GA28	GA29	GA64 JA24
	JA41	JB21	JB23	JB24 JB32
	JB33	JB66	JB67	JB68 JB73
	JB77	JB79	KB26	NA14 NA15
	NA16	NA27	NA29	NA30
5C094	AA41	AA42	AA43	BA03 BA43
	CA19	EA03	EA04	EA07 EC03
	ED03	GB10		
5G435	AA17	AA19	BB12	CC09 KK05
	KK09	KK10		

专利名称(译)	用于液晶显示装置的基板，具有该基板的液晶显示装置及其制造方法		
公开(公告)号	JP2003215614A	公开(公告)日	2003-07-30
申请号	JP2002010893	申请日	2002-01-18
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	長岡謙一		
发明人	長岡 謙一		
IPC分类号	G02F1/1335 G02F1/13 G02F1/1343 G02F1/1368 G09F9/00 G09F9/30 G09F9/35		
CPC分类号	G02F1/1309 G02F1/133514 G02F2001/133388 G02F2001/136254 G02F2001/136263 G02F2001/136272 G02F2201/122		
FI分类号	G02F1/1343 G02F1/1335.505 G02F1/1368 G09F9/00.342.Z G09F9/00.352 G09F9/30.338 G09F9/35 G09F9/00.342		
F-TERM分类号	2H091/FA02Y 2H091/GA01 2H091/GA02 2H091/GA16 2H091/LA09 2H091/LA12 2H091/LA30 2H092/GA11 2H092/GA12 2H092/GA13 2H092/GA17 2H092/GA21 2H092/GA24 2H092/GA28 2H092/GA29 2H092/GA64 2H092/JA24 2H092/JA41 2H092/JB21 2H092/JB23 2H092/JB24 2H092/JB32 2H092/JB33 2H092/JB66 2H092/JB67 2H092/JB68 2H092/JB73 2H092/JB77 2H092/JB79 2H092/KB26 2H092/NA14 2H092/NA15 2H092/NA16 2H092/NA27 2H092/NA29 2H092/NA30 5C094/AA41 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/EA04 5C094/EA07 5C094/EC03 5C094/ED03 5C094/GB10 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 5G435/KK05 5G435/KK09 5G435/KK10 2H091/GA13 2H092/JA26 2H092/JB05 2H092/JB69 2H191/FA02Y 2H191/GA01 2H191/GA04 2H191/GA19 2H191/GA22 2H191/LA09 2H191/LA13 2H191/LA40 2H192/AA24 2H192/BA25 2H192/BC42 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC72 2H192/DA43 2H192/DA44 2H192/EA07 2H192/EA32 2H192/EA42 2H192/EA67 2H192/FA39 2H192/FA46 2H192/FA64 2H192/GA15 2H192/HA36 2H192/HB04 2H192/HB05 2H192/HB14 2H192/HB22 2H192/HB50 2H192/HB64 2H291/FA02Y 2H291/GA01 2H291/GA04 2H291/GA19 2H291/GA22 2H291/LA09 2H291/LA13 2H291/LA40		
代理人(译)	横山纯一		
其他公开文献	JP4049589B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于诸如信息设备的显示装置的液晶显示装置的基板，具有该液晶显示装置的液晶显示装置及其制造方法，能够容易地检测缺陷位置并获得有利的显示质量。解决方案：基板被配置成包括玻璃基板，栅极总线10和漏极总线12，它们经由玻璃基板上的绝缘膜彼此交叉，在基板上以矩阵形式布置的像素区域，TFT14形成在每个像素区域上，存储电容电极22形成在每个像素区域上，连接布线40由与TFT14的源电极18和存储电容电极22相同的形成材料形成，并且电连接源电极18和存储电容电极22，形成在像素区域上的CF树脂层，以及形成在CF树脂层上的每个像素区域中的像素电极32。Z

