

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 149675

(P2003 - 149675A)

(43)公開日 平成15年5月21日(2003.5.21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
	1/133 550		2 H 0 9 3
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 9 4
	9/35		9/35

審査請求 未請求 請求項の数 24 O L (全 18数)

(21)出願番号 特願2001 - 349571(P2001 - 349571)

(22)出願日 平成13年11月15日(2001.11.15)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 落合 孝洋

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 桶 隆太郎

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54)【発明の名称】 液晶表示装置

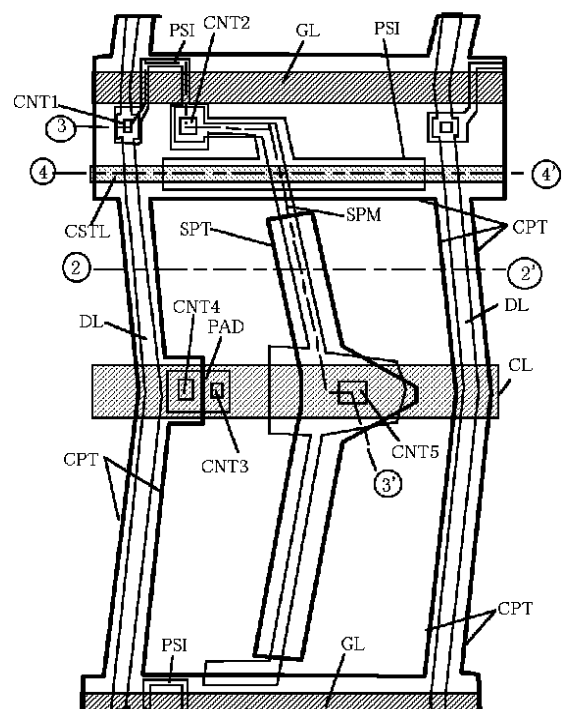
(57)【要約】

【課題】低温ポリシリコンTFTを用いて、安定した保持容量を有する。

【解決手段】半導体層を一方の電極とし、絶縁膜を間に挟んで保持容量配線との間で容量素子を構成し、該保持容量配線にMOS型トランジスタを常時オン状態とする電圧を印加する。

【効果】保持容量値が大きくて安定して表示ができる明るいTFT表示装置が得られる。

図1



【特許請求の範囲】

【請求項 1】第 1 の基板と第 2 の基板間に挟まれた液晶層を有し、

前記第 1 の基板は複数のドレイン配線と複数のゲート配線がマトリクス状に構成され、隣接するドレイン配線とゲート配線に囲まれた領域として画素が構成され、各画素には前記ドレイン配線からの信号を前記ゲート配線の信号により供給する TFT 素子と、該 TFT 素子に接続された画素電極を有する液晶表示装置において、

前記 TFT 素子を構成する半導体層を有し、
前記半導体層と絶縁層を間に挟んで容量素子を構成する容量配線を有し、
前記半導体層と容量配線間に、前記半導体層を導通状態とし得る極性の電位差がほぼ常に印加されることを特徴とする液晶表示装置。

【請求項 2】第 1 の基板と第 2 の基板間に挟まれた液晶層を有し、

前記第 1 の基板は複数のドレイン配線と複数のゲート配線がマトリクス状に構成され、隣接するドレイン配線とゲート配線に囲まれた領域として画素が構成され、各画素には前記ドレイン配線からの信号を前記ゲート配線の信号により供給する TFT 素子と、該 TFT 素子に接続された画素電極を有する液晶表示装置において、
前記 TFT 素子と一体に構成された半導体層を有し、
前記半導体層と絶縁層を間に挟んで容量素子を構成する容量配線を有し、
前記 TFT 素子と一体に形成された半導体層は、前記 TFT 素子のゲート電極に対し前記ドレイン配線が形成された側とは反対の側で前記画素電極と電気的に接続し、
前記容量配線に前記半導体層を導通状態とする電圧をほぼ常時印加することを特徴とする液晶表示装置。

【請求項 3】第 1 の基板と第 2 の基板間に挟まれた液晶層を有し、

前記第 1 の基板は複数のドレイン配線と複数のゲート配線がマトリクス状に構成され、隣接するドレイン配線とゲート配線に囲まれた領域として画素が構成され、各画素には前記ドレイン配線からの信号を前記ゲート配線の信号により供給する TFT 素子と、該 TFT 素子に接続された画素電極を有する液晶表示装置において、
前記画素電極は金属材料層と透明導電体層の 2 層で構成され、

前記 TFT 素子と一体に構成された半導体層を有し、
前記半導体層と絶縁層を間に挟んで容量素子を構成する容量配線を有し、

前記半導体層は前記画素電極の金属層と前記絶縁層に設けられたスルーホールで接続され、前記画素電極の金属層と前記画素電極の透明導電体層は別の絶縁層に設けられたスルーホールで接続され、

前記容量配線に前記半導体層を導通状態とする電圧をほぼ常時印加することを特徴とする液晶表示装置。

【請求項 4】前記第 1 の基板上に共通信号線を有し、前記共通信号線と前記画素電極が平面的に重畳部を有し、該共通信号線と前記容量配線の電位が異なることを特徴とする請求項 1 ないし 3 のいずれかに記載の液晶表示装置。

【請求項 5】前記第 1 の基板上に共通電極を有し、前記画素電極と離間して構成され、該共通電極と概画素電極間に形成する前記第 1 の基板と平行な方向の成分を有する電界により前記液晶層を駆動することを特徴とする請求項 1 ないし 4 のいずれかに記載の液晶表示装置。

【請求項 6】前記半導体層と前記容量配線の間の絶縁膜の膜厚が前記画素電極に接するいずれの絶縁膜の膜厚よりも薄いことを特徴とする請求項 1 ないし 5 のいずれかに記載の液晶表示装置。

【請求項 7】前記半導体層と前記容量配線の間の絶縁膜が SiO_2 であることを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】前記容量配線の電位が前記ゲート配線の ON 電位と同一であることを特徴とする請求項 1 ないし 7 のいずれかに記載の液晶表示装置。

【請求項 9】前記容量配線の電位が前記ドレイン配線の最大電圧に前記 TFT のしきい値電圧を足した値以上であることを特徴とする請求項 1 ないし 7 のいずれかに記載の液晶表示装置。

【請求項 10】前記容量配線に絶縁膜を介して平面的に重畳してシールド電極が構成されていることを特徴とする請求項 1 ないし 7 のいずれかに記載の液晶表示装置。

【請求項 11】前記シールド電極が前記共通電極あるいは前記共通電極配線であることを特徴とする請求項 10 記載の液晶表示装置。

【請求項 12】前記半導体層がポリシリコンであることを特徴とする請求項 1 ないし 11 のいずれかに記載の液晶表示装置。

【請求項 13】前記半導体層が p - TFT あるいは n - TFT のいずれかで構成され、画素領域外に設けられた TFT と同じ型であることを特徴とする請求項 12 記載の液晶表示装置。

【請求項 14】前記第 1 の基板の背面にバックライトユニットを有する請求項 1 ないし 12 のいずれかに記載の液晶表示装置。

【請求項 15】前記バックライトユニットの輝度が 8000 cd/m^2 以上であることを特徴とする請求項 14 記載の液晶表示装置。

【請求項 16】透明な第 1 の基板と第 2 の基板の間に挟持される液晶層を有し、

前記第 1 の基板上には複数のゲート配線と、該複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線と前記ドレイン配線の交点に対応して形成された薄膜トランジスタを有し、

前記複数のゲート配線およびドレイン配線で囲まれる領

域で画素が構成され、各画素は複数の画素に渡って接続され基準電圧を与える共通電極配線と、該基準電極配線と接続された共通電極と、対応する薄膜トランジスタに接続されて前記共通電極に対向して配置された画素電極とを有し、

該共通電極と該画素電極間に形成する前記第 1 の基板と平行な成分の電界を有する横電界により前記液晶層の液晶分子を駆動する液晶表示装置において、前記共通電極および共通電極配線とは異なる保持容量電極あるいは保持容量配線を有し、該保持容量電極あるいは保持容量配線と前記画素電極の電位に接続された保持容量部材との間に保持容量を形成したことを特徴とする液晶表示装置。

【請求項 17】前記保持容量は一方の電極を前記保持容量電極あるいは保持容量配線とし、他方の電極となる前記保持容量部材を薄膜トランジスタを構成する半導体膜とし、該保持容量電極あるいは保持容量配線と該保持容量部材の間にゲート絶縁膜を有することを特徴とする請求項 16 記載の液晶表示装置。

【請求項 18】前記薄膜トランジスタを構成する半導体膜はポリシリコン膜であることを特徴とする請求項 16 あるいは 17 のいずれかに記載の液晶表示装置。

【請求項 19】前記半導体膜は、前記保持容量電極あるいは保持容量配線に電圧が印加され前記半導体膜の前記ゲート絶縁膜との界面で電子あるいは正孔が誘起されることにより抵抗率が低下し前記保持容量を構成する他方の電極として機能することを特徴とする請求項 17 ないし 18 のいずれかに記載の液晶表示装置。

【請求項 20】前記保持容量電極あるいは保持容量配線上に共通電極あるいは共通電極配線が絶縁膜を介して重畳されていることを特徴とする請求項 16 記載の液晶表示装置。

【請求項 21】前記共通電極あるいは共通電極配線は前記ゲート配線と平行して配置された第 2 の共通電極配線と前記絶縁膜の開口部で接続されていることを特徴とする請求項 20 記載の液晶表示装置。

【請求項 22】請求項 20 の液晶表示装置において、前記保持容量電極あるいは保持容量配線は前記薄膜トランジスタが形成された前記透明な第 1 の基板上で、前記保持容量電極あるいは保持容量配線上に絶縁膜を被覆しさらにその上部共通電極あるいは共通電極配線及び画素電極で電氣的にシールドされていることを特徴とする液晶表示装置。

【請求項 23】前記保持容量電極あるいは保持容量配線上には第 1 の絶縁膜、画素電極、第 2 の絶縁膜、共通電極を順次有し、該画素電極と該共通電極は該第 2 の絶縁膜を介して互いに重なる構造であることを特徴とする請求項 22 記載の液晶表示装置。

【請求項 24】前記保持容量電極あるいは保持容量配線を被覆する前記画素電極及び前記共通電極は、平面パタ

ー的に互いにのこぎりの刃の形状で重なることを特徴とする請求項 22 あるいは 23 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に薄膜トランジスタ（TFT）方式等のアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】液晶表示装置は薄型、軽量、低消費電力といった特長を生かして、パーソナルコンピュータに代表される情報機器や携帯型の情報端末や携帯電話、デジタルカメラやカメラ一体型 VTR 機器等のビジュアル機器の画像情報、文字情報の表示機器として広く用いられている。近年、DVD の登場、大容量磁気ドライブの急速な進化による大容量メディアの普及や BS デジタル放送の開始に伴い、パーソナルコンピュータと映像デジタルメディアの融合が進んでおり、このような用途に対応できる高画質の画像表示装置への要求が強くなっている。これらは TV 用途をも前提にしているためより明るい画面表示が要求されており、そのため使用するバックライト（BL）はより明るいものになっている。

【0003】高画質用途の液晶表示装置には、基板上下方向に電界を印加する、TN 方式、MVA 方式などに代表される縦電界型と、基板水平方向に電界を印加する横電界型、別名インプレーンスイッチング（IPS）モードが主に用いられている。

【0004】IPS モードの液晶表示装置では、特許 2701698 号に開示されているように、TFT が形成されている基板上で画素電極と対向電極の間の絶縁膜で保持容量を構成することが一般的である。

【0005】また縦電界方式においても、TFT が形成されている基板上で画素電極と保持容量信号線の間の絶縁膜で保持容量を構成することが知られている。

【0006】

【発明が解決しようとする課題】液晶表示装置で BL の光量が増加するとその照射光が増すため TFT の光照射時のオフ電流が大きくなり、結果的にその動作安定化のためにはより大きな保持容量が必要となるという課題がある。

【0007】発明者らは大きな保持容量を作成するため、半導体層を利用することを検討した。特許 2682997 号では半導体層を保持容量の構成に使用した構造が開示されている。しかし保持容量として、絶縁膜と半導体層の積層構造を用いると、画素電極と対向電極間の電位差が交流化されるため、半導体層が保持期間中にオン、オフし保持電位が安定化できないという課題があることが判明した。一方、特開平 7 - 244296 号には保持容量として半導体層を用い、バイアスを工夫し常時オフ状態として使用する方法が開示されている。しか

しこの手法では、BLの光量が増大し半導体層に強い光があたっている状態では、このオフの状態が不安定になり、保持容量の保持電位が影響を受けることが判明した。

【0008】さらに発明者らは、次なる新たな課題も見出した。液晶表示装置のTFTガラス基板上に低温ポリシリコンによるTFTを形成し、画面を駆動する走査回路を内蔵した場合、最も薄く、したがって最も大きな保持容量が形成可能な絶縁膜はゲート絶縁膜である。プレーナ型と呼ばれる半導体層上にゲート絶縁膜がありその絶縁膜の上にゲート電極を構成する構造では、該絶縁膜の下部はいわゆるTFTのチャネル領域の多結晶シリコンである。このとき該半導体層を用いて保持容量を構成すると、TFTのゲート電圧、ソース電圧、ドレイン電圧によりさらに極端な電位変動が生じることが判明した。すなわち、TFTがオン状態のときのみゲート絶縁膜の厚さで決まる大きな保持容量ができる。したがって駆動状態により保持容量の容量に大きな変動が生じ、保持電位を安定化することができない。さらに、TFTが電子かホール的一方極性のMOS型であるので、保持期間の極性でも容量値が変動する。TFTの種類、すなわちn型かp型にかによっても差異が生じる。さらに、移動度の大きいポリシリコンでは、アモルファスシリコンより電子とホールの移動度の差が拡大するため、さらに保持容量の容量に大きな変動が生じ、保持電位を安定化することができないことを見出した。

【0009】さらに、IPS型表示装置の場合、画素電極及び共通電極を保持容量の電極にすると、画素電極電位と共通電極電位は周期的に極性が反転するように駆動する必要があるため、半導体層を保持容量構成の構成要素に用いた場合、駆動により保持容量の容量に大きな変動が生じ、保持電位を安定化することができないことを見出した。

【0010】さらに、IPS型液晶表示装置の場合、プレーナ型のTFT構造においては、ゲート絶縁膜より情報に画素電極及び共通電極が配置されるため、画素電極及び共通電極を保持容量の電極にすると、ゲート絶縁膜を保持容量の絶縁膜として利用することが出来なくなり、大きな保持容量を構成できない問題がある。

【0011】さらにIPS表示装置の場合、共通電極及び画素電極以外の電位を液晶の透過部に加えるとその電位で表示が乱れてしまう問題がある。また、大きな保持容量を形成すると同一平面内の電極あるいは配線間の距離が縮じまり電極間あるいは配線間のショート不良が増加する問題がある。さらに、大きな保持容量を形成してしまうと開口率が低下し、液晶表示装置の明るさが低下する問題がある。

【0012】本発明は上記の諸課題を解決することを目的とし、その最大の目的は保持容量が大きく、かつ保持電位が安定した保持容量を実現し、BLの輝度が高い状

態でも安定した表示が実現できる液晶表示装置を提供することにある。

【0013】さらに、低温ポリシリコンTFTを画素TFTに用いたIPS方式の液晶表示装置において、保持容量を増加配置させたTFT液晶表示装置を提供することにある。

【0014】さらに、IPS方式の液晶表示装置において、大きな保持容量を設けた場合において、液晶の主透過部に画素電位、共通電極電位以外の電位が印加されず安定表示ができるTFT液晶表示装置を提供することにある。

【0015】さらに、大きな保持容量を構成しても、電極間のショート不良率を低下させないTFT液晶表示装置を提供させることにある。

【0016】さらに、大きな保持容量を構成しても、開口率を高めて明るいTFT液晶表示装置を提供させることにある。

【0017】本発明のさらなる課題、目的は本明細書において明らかとなるであろう。

【0018】

【課題を解決する手段】(手段1)第1の基板と第2の基板間に挟まれた液晶層を有し、前記第1の基板は複数のドレイン配線と複数のゲート配線がマトリクス状に構成され、隣接するドレイン配線とゲート配線に囲まれた領域として画素が構成され、各画素には前記ドレイン配線からの信号を前記ゲート配線の信号により供給するTFT素子と、該TFT素子に接続された画素電極を有する液晶表示装置において、前記TFT素子を構成する半導体層を有し、前記半導体層と絶縁層を間に挟んで容量素子を構成する容量配線を有し、前記半導体層と容量配線間に、前記半導体層を導通状態とし得る極性の電位差がほぼ常に印加されるよう構成する。

【0019】(手段2)第1の基板と第2の基板間に挟まれた液晶層を有し、前記第1の基板は複数のドレイン配線と複数のゲート配線がマトリクス状に構成され、隣接するドレイン配線とゲート配線に囲まれた領域として画素が構成され、各画素には前記ドレイン配線からの信号を前記ゲート配線の信号により供給するTFT素子と、該TFT素子に接続された画素電極を有する液晶表示装置において、前記TFT素子と一体に構成された半導体層を有し、前記半導体層と絶縁層を間に挟んで容量素子を構成する容量配線を有し、前記TFT素子と一体に形成された半導体層は、前記TFT素子のゲート電極に対し前記ドレイン配線が形成された側とは反対の側で前記画素電極と電氣的に接続し、前記容量配線に前記半導体層を導通状態とする電圧をほぼ常時印加する。

【0020】(手段3)第1の基板と第2の基板間に挟まれた液晶層を有し、前記第1の基板は複数のドレイン配線と複数のゲート配線がマトリクス状に構成され、隣接するドレイン配線とゲート配線に囲まれた領域として

画素が構成され、各画素には前記ドレイン配線からの信号を前記ゲート配線の信号により供給する T F T 素子と、該 T F T 素子に接続された画素電極を有する液晶表示装置において、前記画素電極は金属材料層と透明導電体層の 2 層で構成され、前記 T F T 素子と一体に構成された半導体層を有し、前記半導体層と絶縁層を間に挟んで容量素子を構成する容量配線を有し、前記半導体層は前記画素電極の金属層と前記絶縁層に設けられたスルーホールで接続され、前記画素電極の金属層と前記画素電極の透明導電体層は別の絶縁層に設けられたスルーホールで接続され、前記容量配線に前記半導体層を導通状態とする電圧をほぼ常時印加する。

【0021】(手段 4) 手段 1 ないし 3 のいずれかにおいて、前記第 1 の基板上に共通信号線を有し、前記共通信号線と前記画素電極が平面的に重畳部を有し、該共通信号線と前記容量配線の電位が異なる。

【0022】(手段 5) 手段 1 ないし 4 のいずれかにおいて、前記第 1 の基板上に共通電極を有し、前記画素電極と離間して構成され、該共通電極と概画素電極間に形成する前記第 1 の基板と平行な方向の成分を有する電界により前記液晶層を駆動する。

【0023】(手段 6) 手段 1 ないし 5 のいずれかにおいて、前記半導体層と前記容量配線の間の絶縁膜の膜厚が前記画素電極に接するいずれの絶縁膜の膜厚よりも薄くする。

【0024】(手段 7) 手段 6 において、前記半導体層と前記容量配線の間の絶縁膜を SiO_2 とする。

【0025】(手段 8) 手段 1 ないし 7 のいずれかにおいて、前記容量配線の電位が前記ゲート配線の ON 電位と同一でとする。

【0026】(手段 9) 手段 1 ないし 7 のいずれかにおいて、前記容量配線の電位が前記ドレイン配線の最大電圧に前記 T F T のしきい値電圧を足した値以上でとする。

【0027】(手段 10) 手段 1 ないし 7 のいずれかにおいて、前記容量配線に絶縁膜を介して平面的に重畳してシールド電極を構成する。

【0028】(手段 11) 手段 10 において、前記シールド電極を前記共通電極あるいは前記共通電極配線とする。

【0029】(手段 12) 手段 1 ないし 11 のいずれかにおいて、前記半導体層をポリシリコンで構成する。

【0030】(手段 13) 手段 12 において前記半導体層を p - T F T あるいは n - T F T のいずれかで構成し、画素領域外に設けられた T F T と同じ型とする。

【0031】(手段 14) 手段 1 ないし 12 のいずれかにおいて、前記第 1 の基板の背面にバックライトユニットを設ける。

【0032】(手段 15) 手段 14 において、前記バックライトユニットの輝度を 8000 cd/m^2 以上とす

る。

【0033】(手段 16) 透明な第 1 の基板と第 2 の基板の間に挟持される液晶層を有し、前記第 1 の基板上には複数のゲート配線と、該複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線と前記ドレイン配線の交点に対応して形成された薄膜トランジスタを有し、前記複数のゲート配線およびドレイン配線で囲まれる領域で画素が構成され、各画素は複数の画素に渡って接続され基準電圧を与える共通電極配線と、該基準電極配線と接続された共通電極と、対応する薄膜トランジスタに接続されて前記共通電極に対向して配置された画素電極とを有し、該共通電極と該画素電極間に形成する前記第 1 の基板と平行な成分の電界を有する横電界により前記液晶層の液晶分子を駆動する液晶表示装置において、前記共通電極および共通電極配線とは異なる保持容量電極あるいは保持容量配線を有し、該保持容量電極あるいは保持容量配線と前記画素電極の電位に接続された保持容量部材との間に保持容量を形成する。

【0034】(手段 17) 手段 16 において、前記保持容量は一方の電極を前記保持容量電極あるいは保持容量配線とし、他方の電極となる前記保持容量部材を薄膜トランジスタを構成する半導体膜とし、該保持容量電極あるいは保持容量配線と該保持容量部材の間にゲート絶縁膜を設ける。

【0035】(手段 18) 手段 16 あるいは 17 において、前記薄膜トランジスタを構成する半導体膜をポリシリコン膜とする。

【0036】(手段 19) 手段 17 ないし 18 において、前記半導体膜は、前記保持容量電極あるいは保持容量配線に電圧が印加され前記半導体膜の前記ゲート絶縁膜との界面で電子あるいは正孔が誘起されることにより抵抗率が低下し前記保持容量を構成する他方の電極として機能させる。

【0037】(手段 20) 手段 16 において、前記保持容量電極あるいは保持容量配線上に共通電極あるいは共通電極配線が絶縁膜を介して重畳する。

【0038】(手段 21) 手段 20 において、前記共通電極あるいは共通電極配線は前記ゲート配線と平行して配置された第 2 の共通電極配線と前記絶縁膜の開口部で接続する。

【0039】(手段 22) 手段 20 において、前記保持容量電極あるいは保持容量配線は前記薄膜トランジスタが形成された前記透明な第 1 の基板上で、前記保持容量電極あるいは保持容量配線上に絶縁膜を被覆しさらにその上部共通電極あるいは共通電極配線及び画素電極で電気的にシールドする。

【0040】(手段 23) 手段 22 において、前記保持容量電極あるいは保持容量配線上には第 1 の絶縁膜、画素電極、第 2 の絶縁膜、共通電極を順次有し、該画素電

極と該共通電極は該第 2 の絶縁膜を介して互いに重なる構造とする。

【0041】(手段 24) 手段 22 あるいは 23 において、前記保持容量電極あるいは保持容量配線を被覆する前記画素電極及び前記共通電極は、平面パターンの互いにのこぎりの刃の形状で重なる。

【0042】(手段 25) IPS 表示装置の TFT の形成される透明基板上において、その 1 画素を構成する領域に、液晶に画素電位を供給する TFT を駆動するゲート電極及びゲート配線、映像電位を供給するドレイン電極及びドレイン配線、共通電位を供給する共通電極及び共通電極配線とは別の、保持容量を構成する半導体とゲート絶縁膜の積層構造に対して、前記半導体層が常にオン状態となり、実質的にゲート絶縁膜の厚さで決まる容量値を有するバイアス電位の供給されるゲート、共通、ドレイン配線とは別の保持容量電極及び保持容量配線を設ける。

【0043】(手段 26) 手段 25 において、画素 TFT が n 型 MOS 構造の場合、保持容量配線の電位をドレイン配線へ印加される最高電圧に画素 TFT のしきい電圧を加算した値より同等以上の電圧とする。

【0044】(手段 27) 手段 25 において、画素 TFT が n 型 MOS 構造の場合、ゲート配線へ印加される最高電圧を少なくとも TFT 画素の選択される時間の 3 倍とするか、もしくは直流電圧を印加する。

【0045】(手段 28) 手段 25 において、画素 TFT が p 型 MOS 構造の場合、保持容量配線の電位はドレイン配線への印加される最低電圧に画素 TFT のしきい電圧を減算した値より同等以下とする。

【0046】(手段 29) 手段 25 において、画素 TFT が p 型 MOS 構造の場合、ゲート配線へ印加される最低電圧を少なくとも TFT 画素の選択される時間の 3 倍とするか、もしくは直流電圧を印加する。

【0047】(手段 30) 手段 25 ないし 29 のいずれかにおいて、保持容量配線を他の絶縁膜を介して共通電極あるいは共通電極配線で平面的に重畳し、電気的シールド構造とする。

【0048】(手段 31) 手段 25 ないし 30 のいずれかにおいて、ゲート配線と同層の共通電極配線を除去し、前記配線及び画素 TFT 上部に低誘電率の絶縁膜を構成し、その上部にある共通電極を低抵抗化する。

【0049】(手段 32) 手段 25 ないし 31 のいずれかにおいて、保持容量配線を共通電極あるいは共通電極配線と画素電極で交互に折り重なるように被服し、電気的なシールド構造とすると達成される。

【0050】本発明のさらなる手段および効果は本明細書において明らかとなるであろう。

【0051】

【発明の実施の形態】発明の実施の形態の詳細を、以下実施例において説明する。

【0052】(実施例 1) 図 1 は実施例 1 の液晶表示装置の単位画素の模式平面図であり、図 2、図 3、図 4 はそれぞれ図 1 における 2-2'、3-3'、4-4' (図では分かりやすくするためを付けて記載している) 部の模式断面構造である。

【0053】図 1 の平面パターンで、1 画素は隣接するゲート配線 GL、隣接するドレイン配線 DL に囲まれた領域である。ゲート配線 GL はゲート配線 GL とポリシリコン PSI の交差部でポリシリコン PSI で構成された TFT のゲート電極としても作用し、TFT をオン/オフさせる電圧を供給する。ドレイン配線 DL はポリシリコン PSI への電流を供給する、すなわち、前記ゲート電圧 GL がオン電圧を供給したタイミングで印加された映像電圧 (ドレイン電圧) を 1 画素の液晶容量に給電し、最終的に金属画素電極 SPM 及びこれに連結された透明画素電極 SPT の電位が映像電位となる。飛び込み電圧等に関する説明、考慮は除外して説明する。

【0054】図 1 の平面図での前記映像電圧の電流経路は、ドレイン配線 DL から第 1 のコンタクトホール CNT 1 を通じてポリシリコン PSI に繋がり、このポリシリコン中の電流は再度第 2 のコンタクトホール CNT 2 を通じて、金属画素電極 SPM に流れる。さらに金属画素電極 SPM から再度第 5 のコンタクトホール CNT 5 を介して、絶縁膜上の透明画素電極 SPT に至る。

【0055】透明画素電極 SPT と共に横電界を形成するためのもう一方の電極 CPT の共通電極電位は以下の経路を持ち印加される。隣接するゲート配線 DL 間のほぼ中央に配置された共通電極配線 CL にまず共通電位が印加される。この電位は、フレーム毎に交流化される画素電位のほぼ中点電位が設定される (図 5 で再度詳細を説明する)。共通電極配線 CL の電位は、まず第 3 のコンタクトホール CNT 3 を介して電極パッド PAD へ繋がる。さらに上記電極パッドは上部の絶縁膜を介して、ドレイン配線 DL、ゲート配線 GL を被覆する透明共通電極 CPT に最終的に電位を供給する。

【0056】本発明の特徴的構造として、映像表示に関わる液晶容量の電位が表示中すなわち保持期間中にポリシリコン PSI で作られた TFT を介してバックライト (BL) 光により減衰するのを防止するため液晶容量と等価回路的に並列に特別の保持容量を形成する。該特別の保持容量は保持容量配線 CSTL と半導体層 PSI をそれぞれ電極とし、該電極間にゲート絶縁膜を容量の誘電体膜として用いて構成される。図 1 に示すように保持容量配線 CSTL はゲート配線 GL および共通電極配線 CL と独立して配置されている。CNT 2 で PSI と SPM は電氣的に接続しているため、結果的に画素電極 SPM の電位と保持容量配線 CSTL の電位間で保持容量が構成されることになる。図 1 では、SP は SCTL を横切るように延在するため、該交差領域でもさらに容量が形成され、さらに保持容量の増加が図られている。

【0057】図1に示すように、IPS型の液晶表示装置では、保持容量配線CSTLからの漏洩電界が液晶に印加されることで表示が乱れることを防止するため、透明共通電極CPTで保持容量配線CSTLを覆い電氣的にシールドすることが望ましい。この透明共通電極CPTは、ドレイン配線DLをも覆い、さらに本実施例例ではゲート配線GLをも被覆している。これにより、CPT下にGL、DL、CSTLと3種の配線を有し、電界が飛び交うにもかかわらず、液晶への影響を回避することが可能となっている。

【0058】次に、各部の構成を断面図を用いて詳細に説明する。

【0059】図2は図1の2-2'切断線に沿った断面図であり、隣接するドレイン線DL間の1画素領域を横切る部分である。2側の領域から説明する。歪点約670の無アルカリTFTガラス基板GLS1上に膜厚50nmの Si_3N_4 膜と膜厚120nmの SiO_2 膜からなる下地絶縁膜ULSの上に形成されている。下地絶縁膜ULSはTFTガラス基板GLS1からのNa等の不純物拡散を防止する役割を持つ。下地絶縁膜ULS上には、TFTのゲート絶縁膜となる SiO_2 膜からなるゲート絶縁膜GIが成膜されている。ゲート絶縁膜GI上には SiO_2 からなる層間絶縁膜ILIが形成され、層間絶縁膜ILI上にはTi/Al/Tiの3層金属膜よりなるドレイン配線DL及びドレイン配線DLと同一工程、材料で構成した金属電極であり、図1の平面図において第2のコンタクトホールCNT2でポリシリコンPSIと接続された金属画素電極SPMが形成されている。

【0060】これらの素子全体は、膜厚200nmの Si_3N_4 からなる保護絶縁膜PASと膜厚2 μm のアクリル系樹脂を主成分とする有機保護膜FPASにより被覆されている。有機保護膜FPAS上には、ドレイン配線DLの幅より広い透明共通電極CPTが形成されている。本実施例ではCPTにはインジウムスズ酸化物(ITO)を用いたが、インジウム-亜鉛-酸化物(IZO)、インジウム-スズ-亜鉛-酸化物(ITZO)などでもよい。同一工程、同一材料で作製されたITOからなる透明画素電極SPTも前記有機絶縁膜FPAS上に形成されている。前記透明画素電極SPTと金属画素電極SPMは図1の第5のコンタクトホールCNT5で接続されている。

【0061】表示に用いる光透過領域は、主にドレイン線DL上の透明共通電極CPTと透明画素電極SPTとの間であり、透明電極の端部からの一部も光透過領域に寄与する。隣り合うドレイン配線間DLは透明画素電極SPTで区切られて2つの光透過領域に分割されている。

【0062】IPS方式の液晶表示装置は液晶LC中への画素電極SPTと共通電極CPT間に印加される横電

界で液晶を駆動し透過光を制御する。従って、ITOなどの透明電極で前記画素電極及び共通電極で構成しても透明電極上の全ての領域を透過領域とすることは困難であるが、一部を透過領域として利用できる。一例として、ホジ型の液晶材料では透明電極端部より電極上で1.5 μm 内側、ネガ型の液晶で3 μm 内側までが透過範囲として利用可能である。

【0063】液晶LCを封止する対向側の基板はカラーフィルタ(CF)基板GLS2である。GLS2は、液晶側に色表示を行う顔料を分散した有機膜材料から構成された色フィルタ(FIL)がその画素毎に割り当てられた色に応じて、青(B)、赤(R)、緑(G)の透過光を表現する色フィルタ(赤ではFIL(R))となっている。その内側には有機材料からなるオーバコート膜OC膜を設けても良い。CFからの汚染防止、CF間の平坦性向上が図れるからである。GLS2及びGLS1の液晶LCに対して接している面には配向膜OLIが印刷されて所定のラビングが施され、初期配向を制御している。また上記、GLS2及びGLS1の外側の面にはそれぞれ偏光板POLが貼られる。この偏光板は互いに偏光軸が直交するいわゆるクロスニコル状態が形成されている。

【0064】図3は図1の3-3'の切断線に沿った断面図である。本断面図は図1の平面図においてドレイン配線DL~第1のコンタクトホールCNT1~TFTのポリシリコン層PSI~第2のコンタクトホールCNT2を一部横切り、さらにゲート配線GLと平行に配置された保持容量配線CSTLを横切り、さらに金属画素電極SPM上を通り、前記、ゲート配線GL及び保持容量配線CSTLと平行に配置された共通電極配線CL上の第5のコンタクトホールCNT5に至る横断線上の断面図を示す。

【0065】図3の断面図の左側はいわゆるTFTの断面である。ドレイン配線DL、金属画素電極SPMをいわゆるドレイン電極、ソース電極、さらにゲート配線GLをゲート電極として、ゲート絶縁膜GIを有するいわゆるMOS型TFTである。ドレイン配線DL及び金属画素電極SPMはゲート絶縁膜GI及び層間絶縁膜ILIに開けられた第1のコンタクトホールCNT1、第2のコンタクトホールCNT2を通じて、低温ポリシリコンPSIにおいて、リンを不純物としてドーブされた高濃度n型層PSI(n+)に接続されている。該高濃度領域はPSIであっても常時導電性が比較的高い状態となっているため、半導体というより導電層として見なすことができる。このため、ゲート線GL下以外のポリシリコン層PSIは導電層として見なすことができる。一方、ゲート配線GL下部の、ボロンを不純物としてドーブされたp型層PSI(p)はゲート電圧によりスイッチング動作を示す半導体状態となっている。ゲート配線GLにオン電圧が印加された場合、p型層PSI(p)

のゲート絶縁膜G I界面が反転してチャネル領域が形成されT F Tにオン電流が流れ、金属画素電極S P Mへ電流が流れ液晶容量が充電される。ドレイン配線D L及び金属画素電極S P Mが接触するポリシリコンP S Iがn型であるものをn型のM O Sあるいはn型のT F Tと呼ぶ。逆に、上記接続部のポリシリコンがボロンをドーブした高濃度p型半導体層であるものをp型M O Sあるいはp型のT F Tと呼ぶ。

【0066】図4の断面図の中央付近は特別の保持容量を構成する部分の断面図である。ゲート配線G Lと同一工程で形成されたM oあるいはM o Wで構成された保持容量配線C S T Lはゲート配線G Lとは別電源電位が印加されている。前記保持容量配線C S T L下部にはゲート絶縁膜G Iがある。基本的にこの保持容量部分の断面構造はT F T状の構造として構成されている。従って、ゲート配線G Lにオン電圧が印加された場合、チャネル領域のp型半導体層とゲート絶縁膜G Iの界面付近の半導体層が反転されてオン電流が流れる。この期間中に保持容量配線C S T Lにもオン電圧相当以上の電圧が印加されれば、特別の保持容量部はゲート絶縁膜G Iを誘電体、p型半導体層P S I (p)を一方の電極、保持容量配線C S T Lを他方の電極として容量が形成できる。すなわち、保持容量C S T Lの電位を調整し、常にO N電位以上とすることにより、信号極性による容量変動の無い安定した保持容量が形成できる。画素電極電位と共通電極電位間に形成する場合と異なり、電位差の極性を反転することが回避できるからである。

【0067】図3では、保持容量配線C S T Lは保護膜P A Sおよび有機保護膜F P A Sの上に配置された透明画素電極C P Tで被覆され、その電位が液晶に印加されないようにシールドされている。

【0068】一方、液晶を駆動する透明画素電極S P Tは金属画素電極S P Mと保護膜P A S及び有機保護膜F P A Sに設けられた第5のコンタクトホールC N T 5を介して接続される。

【0069】図4は図1の4-4'の切断線に沿った断面図である。本断面図は主に保持容量を構成する保持容量配線C S T Lの横断線に沿った断面図である。図1の平面構造的には保持容量配線C S T Lより幅の広いポリシリコンP S Iとゲート配線G Lと同一工程、材料で構成された保持容量配線C S T Lを電極として誘電体をゲート絶縁膜G Iとする保持容量が構成される。さらにこの保持容量配線C S T Lは有機保護膜F P A S上に形成された透明共通電極C P Tで隣り合うドレイン配線D Lすなわち複数の画素を含めて完全に被覆され電位的にシールドされており、大きな保持容量値を形成しながらも、液晶に保持容量配線C S T Lの電位が漏れない構造となっている。

【0070】図5は本願の特別の保持容量の動作を説明する図である。図5 (a)は図3の断面構造図の一部を

用いて保持容量の動作を説明するものである。図5 (b)は各部の電極へ印加される駆動電圧のタイミングチャートであり、図5 (c)は保持容量の印加電圧と容量値の変化を表す。

【0071】図5 (b)の駆動波形のタイミングチャートの時間軸に従いその動作を説明する。奇数フレームで該当するT F Tのゲート配線G Lに少なくともドレイン配線D L電位V dの最高電位にT F Tのしきい電圧V t hを加算した値以上の電圧V g hが印加されるとT F Tはオン状態になりポリシリコンのp型ポリシリコンにn型の反転層が形成されてソース電位V sが基本的にドレイン電圧V dと同電位まで液晶容量を充電しながら近づく。

【0072】一方、保持容量配線C S T Lの電圧V s tは少なくともドレイン配線D L電位V dの最高電位にT F Tのしきい電圧V t hを加算した電圧以上として設定する。こうした場合、T F TのV g hが掛かっている期間であれば、保持容量を構成するp型ポリシリコンが反転し、ゲート絶縁膜G Iを誘電体とする保持容量値C g iが得られる。

【0073】さらに、T F Tのゲート電圧V gが非選択すなわち、ゲート電圧がV g lになると画素のT F Tはオフされて画素電位V sは再度ゲート電圧がV g hの値で選択されるまで保持される。保持容量配線C S T Lの電位V s tはこの保持期間中も、少なくともドレイン配線D L電位V dの最高電位にT F Tのしきい電圧V t hを加算した値以上に設定されているので、保持容量はゲート絶縁膜G Iを誘電体とする値C g iに維持される。言うまでもなく、共通電極あるいは共通電極配線C Lと金属画素電極S P Mの交差する領域も保持容量C i l iを構成するが、ゲート絶縁膜はG Iは通常100nm程度であるのに対し、相間絶縁膜I L Iは厚さ200nm以上の金属であるゲート配線G Lや保持容量配線C S T Lとドレイン配線D Lあるいは金属画素電極S P Mの絶縁を保つためにゲート絶縁膜よりも厚く構成され、例えば500nm程度の厚い値に設定されている。従って、ゲート絶縁膜G Iを誘電体とする容量値は単位面積当たり例えば5倍の容量値を形成でき、金属不透過領域の面積を削減でき開口率を上げて明るい液晶表示装置が実現できる。また、同じ開口率であれば極めて大きな保持容量値を形成することができ、T F Tの下部から光照射されたオフ電流による液晶容量電位の保持期間中の低下を小さくすることができ、保持の安定した液晶表示装置を実現できる。

【0074】これにより、バックライトの強度が強いT V用の液晶表示装置においても、高画質の表示が実現できるようになる。

【0075】図5 (c)に保持容量配線C S T Lの印加電圧と保持容量の関係を示す。図の横軸は、説明を分かりやすくするためD Lの電圧V dと保持容量配線C S T

Lの電圧 V_{st} の電圧差として示し、右側がプラス、左側がマイナスである。縦軸は特別の保持容量である。

【0076】図から分かるように電圧差により特別の保持容量の値は大きく変動する。そこで本発明では、 V_x の電位、すなわち V_d の最大値より V_{th} 以上高い電圧値として保持容量は緯線CSTLの電位を常時設定することで、常に特別の保持容量の値を高い値で安定させたことを特徴とする。図中の V_y (偶)、 V_y (奇)は比較のための例であり、仮に保持容量配線CSTLの電圧 V_{st} をドレイン電圧 V_d のほぼ中点電位に設定された共通電極配線CLのコモン電圧 V_c と同電位に設定した場合である。奇数フレームではドレイン電圧 V_d の方が保持容量配線CSTLの電位 V_{st} より大きいため、電圧差は図中の V_y (奇)のようにマイナスになり、p型ポリシリコン層PSI (p)は反転せず誘電体として働くので、特別の保持容量値は保持容量配線CSTLとn+型ポリシリコン層PSI (n+)の幾何学的形状で決まる小さな寄生容量値 C_0 しか得られない。一方、偶数フレームでは保持容量配線CSTLの電圧 V_{st} はドレイン電圧 V_d より高く、さらにその振幅値 V_{sig} の1/2電圧がTFTの V_{th} より高い状態では電圧差は例えば図中の V_y (偶)のようになり、保持容量値は C_{gi} と大きな値となる。この結果、奇数と偶数フレームで特別の保持容量値 C_{stg} が大きく異なる。このため保持期間の画素電位 V_s が非対称になり液晶に直流電圧が印加され、残像や画面のちらつきであるフリッカが画面表示で発生する問題が起こる。すなわち、共通電極配線CLと画素電極SPMあるいはSPTとの間の保持容量として共通電極電位でオンオフする半導体と絶縁膜の積層構造の保持容量は使用できないことも意味する。

【0077】また本実施例の方式は、CSTLによりPSIをON状態とすることで保持容量を構成する。これは換言すれば、該保持容量部は元々導通状態となるように駆動した状態で使用するため、保持容量部でのホトコンによるリークは原理的に解消できるという顕著な効果を奏する。すなわち、リークとはオフ状態での電荷の漏出を問題とするのであり、オフ状態としなければ生じ得ないからである。これにより、BLとして8000cd/m²を越えるような高輝度、さらには10000cd/m²を越えるような超高輝度バックライトの適用を可能とし、高輝度で明るく、かつ保持特性に優れた液晶表示装置を実現することが出来る。

【0078】さらに、保持容量部に関して言えば、光強度が増して光りキャリアの増大はかえって保持特性部の特性安定化に寄与するため、まさに高輝度化に適した構造ということが出来る。

【0079】またCSTLの電位はゲートのON電位と同一にしても良い。ゲートのON電圧と同一の電源回路を用いることができ、また同一の給電ラインを用いることができるため、低コスト化に寄与するためである。

【0080】次に、前記図3に示すようなn型TFTだけで構成した液晶表示素子に用いるTFTアクティブマトリクス基板を例に取り、その製造工程を図6～図10及び図3を用いて説明する。

【0081】まず、図6の1ホト完までの製造方法を説明する。

【0082】厚さ0.7mm、幅730mm、幅920mmの歪点約670の無アルカリTFTガラス基板GLS1上を洗浄後、 SiH_4 と NH_3 と N_2 の混合ガスを用いたプラズマCVD法により膜厚50nmの Si_3N_4 膜、続いて、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により、膜厚120nmの SiO_2 膜の積層の地下絶縁膜ULSを形成する。本絶縁膜ULSは多結晶シリコン膜へのTFTガラス基板GLS1からのNa拡散を防止するためである。 Si_3N_4 、 SiO_2 ともに形成温度は400である。

【0083】次に SiH_4 、Arの混合ガスを用いたプラズマCVD法によりほぼ真性の水素化非晶質シリコン膜を50nm形成する。成膜温度は400で、成膜直後水素量は約5at%であった。次に基板を450で約30分アニールすることにより、水素化非晶質シリコン膜300中の水素を放出させる。アニール後の水素量は約1at%であった。

【0084】次に波長308nmのエキシマレーザ光を前記非晶質シリコン膜にフルエンス400mJ/cm²で照射し、非晶質シリコン膜を熔融再結晶化させて、ほぼ真性の多結晶シリコン膜PSIを得る。この時レーザビームは幅0.3mm、長さ200mmの細線状の形状であり、ビームの長手方向とほぼ垂直な方向に基板を10μmピッチで移動しながら照射した。照射時は窒素雰囲気とした。

【0085】次に通常のホトリソグラフィ法により所定のレジストパターンを多結晶シリコン膜上に形成し CF_4 と O_2 の混合ガスを用いたリアクティブイオンエッチング法により多結晶シリコン膜PSIを所定の形状に加工する。

【0086】引き続き、図7の2ホト完までの製造方法を説明する。

【0087】テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚100nmの SiO_2 を形成しゲート絶縁膜GIを得る。この時のテトラエトキシシランと O_2 の混合比は1:50、形成温度は400である。その後イオン注入法によりBイオンを加速電圧33KeV、ドーズ量 $1E12$ (cm⁻²)で打ちこみ、n型TFTのチャネル領域のポリシリコン膜PSI (p)を形成する。この段階ではポリシリコン全体がPSI (p)となっている。

【0088】次にスパッタリング法により、MoあるいはMoW膜を200nm形成後、通常のホトリソグラフィ法により所定のレジストパターンをMo膜上に形成

し、混酸を用いたウエットエッチング法によりMo膜を所定の形状に加工しゲート配線GL、保持容量配線CS TLおよび共通電極配線CLを得る。

【0089】エッチングに用いたレジストパターンを残したまま、イオン注入法によりPイオンを加速電圧60 KeV、ドーズ量 $1 \times 10^{15} \text{ (cm}^{-2}\text{)}$ で打ちこみ、n型TFTのソース、ドレイン領域PSI(n+)を形成する。このとき、GLの下のポリシリコン層にはGL及びレジストがストップとなってPイオンが打ち込まれないため、PSI(p)のままである。一方、レジスト及びGL外の領域のポリシリコン層は、Pイオンが打ち込まれるためPSI(n+)となる。

【0090】上記でn型TFTのソース、ドレインがn+型の低温ポリシリコン膜PSI(n+)及びp型のチャネル領域のポリシリコン膜PSI(p)ができあがるが、以下のようにp型とn+型の間にPイオン濃度がn+型より少ないn型のLDD領域を作り、TFTのリーク電流を低減することができる(図なし)。すなわち、エッチングに用いたレジストパターンを除去後、再度イオン注入法によりPイオンを加速電圧65 KeV、ドーズ量 $2 \times 10^{13} \text{ (cm}^{-2}\text{)}$ で打ちこみ、n型TFTのLDD領域を形成する。LDD領域の長さは、Moをウエットエッチングしたときのサイドエッチング量で定められる。一例として約0.8 μmである。この長さはMoのオーバーエッチング時間を変化させるすることで制御できる。

【0091】次に、基板にエキシマランプまたはメタルハライドランプの光を照射するラピッドサーマルアニール(RAT)法により打ち込んだ不純物を活性化する。エキシマランプまたはメタルハライドランプ等の紫外光を多く含む光を用いてアニールすることにより、多結晶シリコン層PSIのみを選択的に加熱でき、ガラス基板が加熱されることによるダメージを回避できる。不純物の活性化は、基板収縮や曲がり変形等が問題にならない範囲で、450 程度以上の温度での熱処理によっても可能である。

【0092】引き続き、図8の3ホット完までの製造方法を説明する。

【0093】テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚500 nmのSiO₂を形成し層間絶縁膜ILIを得る。この時のテトラエトキシシランとO₂の混合比は1:5、形成温度は350 である。

【0094】次に、所定のレジストパターンを形成後、混酸を用いたウエットエッチング法により前記層間絶縁膜に第1のコンタクトスル - ホールCNT1、第2のコンタクトスル - ホールCNT2及び図1の平面図の第3のコンタクトスル - ホールCNT3を開孔する。

【0095】引き続き、図9の4ホット完までの製造方法を説明する。

【0096】スパッタリング法により、Tiを50 nm、Al-Si合金を500 nm、Ti50 nmを順次積層形成した後、所定のレジストパターンを形成し、BCl₃とCl₂の混合ガスを用いたリアクティブイオンエッチング法により一括エッチングし、ドレイン配線DLと金属画素電極SPM、図1の平面図の電極パッドPADを得る。

【0097】引き続き、図10の5ホット完までの製造方法を説明する。

【0098】SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚300 nmのSi₃N₄膜である保護膜PASを形成し、さらにスピン塗布法によりアクリル系感光性樹脂を約3.5 μmの膜厚で塗布し、所定のマスクを用いて露光、現像して前記アクリル系樹脂にスルーホールを形成する。次に230 度で20分ベークすることでアクリル樹脂を焼成し、膜厚2.0 μmの平坦化有機保護膜FPASを得る。続いて、前記有機保護膜FPASに設けたスルーホールパターンをマスクとして下層のSi₃N₄膜をCF₄を用いたリアクティブイオンエッチング法により加工し、Si₃N₄膜に図1の第4のコンタクトホールCNT4、第5のコンタクトホールCNT5を形成する。

【0099】本実施例では有機保護膜FPASをマスクとして用いて下層の絶縁膜を加工することにより、一回のホトリソグラフィ工程で2層の膜をパターンニングし、露光工程を1回低減し、工程を簡略化と低コスト化を実現した。

【0100】最後に、図3の6ホット完までの製造方法を説明する。

【0101】スパッタリング法によりITO膜を70 nm形成し、混酸を用いたウエットエッチングにより所定の形状に加工して透明共通電極CPTおよび図1の平面図に示した透明画素電極SPTを形成しアクティブマトリクス基板が完成する(図3)。

【0102】以上6回のホトリソグラフィ工程で多結晶シリコンTFTを用いたTFT基板GLS1上の膜加工が終了する。

【0103】次に液晶パネルの概観の平面構造について説明する。図11は上下のガラス基板GLS1、GLS2を含む表示パネルのマトリクス(AR)周辺の要部平面を示す図である。このパネルの製造では、小さいサイズであればスルーボット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。

【0104】図11は上下基板GLS1、GLS2の切断後を表している。図の上辺には外部接続端子群Tg、Tdが存在し、それらを露出するように上側基板GLS

2の大きさが下側基板GLS1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述するTFTガラス基板GLS1上で表示部ARの左右に配置された低温ポリシリコンTFTの走査回路GSCへ供給する電源及びタイミングデータに関する接続端子、表示領域ARの上部でTFTガラス基板GLS1上に低温ポリシリコンTFTの映像信号回路DDCへの映像データあるいは電源データを供給するため端子群Tdである。引出配線部は集積回路チップCHIが搭載されたテープキャリアパッケージTCP(後述)の単位に複数本まとめて配置したものである。各群のマトリクス部から映像信号回路DDCをへて外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルの映像信号端子Tdを合わせるためである。

【0105】透明ガラス基板GLS1、GLS2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。

【0106】図2の断面構造で示した配向膜ORI層は、シールパターンSLの内側に形成される。液晶LCは液晶分子の向きを設定する下部配向膜ORIと上部配向膜ORIとの間でシールパターンSLで仕切られた領域に封入されている。この液晶表示装置は、下部透明TFTガラス基板GLS1側、上部透明CFガラス基板GLS2側で別個に種々の層を積み重ね、シールパターンSLを基板GLS2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板GLS2とを重ね合わせ、シール材SLの開ロ部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0107】図12は、図11に示した表示パネルに映像信号駆動ICを搭載したTCPとTFT基板GLS1上に低温ポリシリコンTFTで形成した信号回路DDCとの接続及びTFT基板GLS1に低温ポリシリコンTFTで形成した走査回路GSCと外部とを接続した状態を示す上面図である。

【0108】TCPは駆動用ICチップがテープ・オートメイト・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1は上記TCPやコントロールICであるCON、その他電源用のアンプ、抵抗、コンデンサ等が実装された駆動回路基板である。CJはパソコンなどからの信号あるいは、電源を導入するコネクタ接続部分である。

【0109】図13はテープキャリアパッケージTCPを液晶表示パネルの、信号回路用端子Tdに接続した状態を示す要部断面図である。テープキャリアパッケージTCPは異方性導電膜ACFによって液晶表示パネル接続される。パッケージTCPは、電気的にはその先端部

がパネル側の接続端子Tdと接続されれば良いが、実際はTFTの保護膜PAS、有機保護膜FPASの開ロ部を覆うように形成された、透明共通電極CPTと同一工程で形成された透明電極ITOと接続されている。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側CF基板GLS2の間には更にシリコン樹脂が充填され保護が多重化されている。また上下のガラス基板GLS2、GLS1の液晶LCに対するギャップは有機膜で形成された支柱SPCでその高さが決定されている。

【0110】図14に、表示マトリクス部の等価回路とその周辺回路の結線図を示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。

【0111】図中、DLはドレイン線を意味しDL1、DL2、DL3とその数字が画面左からの画面内のドレイン配線を意味する、添字R、GおよびBがそれぞれ赤、緑および青画素に対応して付加されている。GLはゲート配線GLを意味し、GL1、GL2とその数字が画面上部からの画面内のゲート線を意味する。添字1、2は走査タイミングの順序に従って付加されている。CLは共通電極配線を意味し、CL1、CL2とその数字が画面上部からの画面内の共通電極配線を意味する。

【0112】さらに、CSTL保持容量配線を意味し、CSTL1、CSTL2とその数字が画面上部からの画面内の保持容量配線を意味する。

【0113】ゲート配線GL(添字省略)はガラス基板上の走査回路GSCに繋がれ、その走査回路への電源あるいはタイミング信号はガラス基板外部のPCB上に形成された電源及びタイミング回路SCCから供給される。上記において低温ポリシリコンTFTで構成されたガラス基板上の走査回路は、冗長性を高めるために1本のゲート線(走査線)に対して左右の両側から給電されているが、画面サイズなどに応じて片側から給電しても良い。

【0114】一方、ドレイン配線DLへの給電はガラス基板上の低温ポリシリコンTFTで構成された信号回路DDCから給電される。信号回路DDCはガラス基板の映像信号回路ICで構成された回路よりの映像データをR、G、Bの色データに応じて分配する機能を持つ。従って、ガラス基板上の信号回路からの接続端子数は画面内のドレイン配線数の三分の一である。

【0115】また、共通線CLは画面内の画素のコモン電位を与えるが、本実施例1の各電圧の駆動方式ではほぼ一定の電位を与えるので、これは画面の左右に引き出され、まとめて結線され、電源及びタイミング回路ICのSCCに結線される。

【0116】画面内の低温ポリシリコンTFTは、n型のTFTであり、ゲート配線GLにゲート電圧を印加し、そのタイミングでドレイン線DLに給電されたドレ

イン電圧（データ）を共通電極配線CLとの間の液晶容量C_{lc}に給電することにより表示を行う。液晶容量C_{lc}の電位を表示期間中に維持する能力を向上するために、保持容量配線CSTLと画素電位であるポリシリコン層とを電極として、ゲート絶縁膜GIを誘電体とする保持容量C_{gi}及び共通電極配線CLと画素電極との間の層間絶縁膜ILIを誘電体とする保持容量C_{ili}とで合計して電極保持容量C_{stg}を形成する。CCはドレイン配線DLの断線を検査する低温ポリシリコンTF Tで形成した検査回路であり、CPADは検査端子である。

【0117】図15は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWはその表示窓、PNLは液晶表示パネル、SPBは光拡散板、LCBは導光体、RMは反射板、BLはバックライト蛍光管、LCAはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0118】モジュールMDLは、シールドケースSHDに設けられた爪とフックによって全体が固定されるようになっている。バックライトケースLCAはバックライト蛍光管BL、光拡散板SPB、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導光体LCB、反射板RM、光拡散板SPBにより表示面で様なバックライトにし、液晶表示パネルPNL側に出射する。バックライト蛍光管BLにはインバータ回路基板PCB2が接続されており、バックライト蛍光管BLの電源となっている。

【0119】以上詳述したように、本実施例の構造の最大の特徴は、特別の保持容量の構成にあり、本実施例に開示の概念を用いて縦電界方式の液晶表示装置、TN方式、VA方式、MVA方式、PVA方式、あるいはOCB方式やFFS方式の液晶表示装置を構成しても容量増加による効果を奏することが出来る。

【0120】（実施例2）図16に本実施例の画素の平面図を、図17に図16の17-17'切断線に沿った断面構造を示す。

【0121】実施例1の構造との違いは、図1にあるゲート配線GLとほぼ平行に配置された画素中央部を横切る共通電極配線CLが除去されている点にある。さらに、これに伴い絶縁膜に開口されたコンタクトホールが実施例1では1画素に5個所であるのに対して、本実施例では1画素に3個所に低減されている。これにより、ゲート配線GLと同層である配線が低減されショート不良率が低減し、歩留りが向上する効果を奏することが出来る。さらに、コンタクトホール数が低減されコンタクトホールの形成不良によるオープン不良（コンタクトホールでの導通で出来ない不良）が低減される特徴を持

つ。さらに、ゲート電極配線GLと平行配置された共通電極配線CLが除去された分、開口率が向上し、輝度の向上が実現できる。

【0122】本実施例では、共通電極CPMLは例えば、Mo、Al、Tiあるいはこれらの合金などの金属材料で構成することが望ましい。これにより、実施例1の低抵抗の金属材料を用いた共通電極配線CLを除外しても、コモン信号の変動を抑制できる。

【0123】さらに上記共通電極CPMLを、Mo、Al、Cr、Tiなどの金属材料とITOなどの高抵抗ながら透明な材料の積層構造として、平面的に共通電極CPMLの輪郭線より低抵抗の材料の輪郭線を共通電極の内部に向かって、液晶材料をボジ型の場合、少なくとも1.5μm、ネガ型の液晶の場合3μm内側に設定するように配置すれば、その透明電極の端部は透過領域となりIPS方式の液晶表示装置はさらに明るくなる。この場合、透明画素電極SPTはそ透明電極単層でも良い。

【0124】図17は図16の17-17'線上の断面図である。映像電圧が印加されるドレイン配線DLから高濃度のn+型ポリシリコンPSI(n+)、ゲート配線GLにオン電圧が印加された場合に反転して導通するp型ポリシリコンPSI(p)、第2のコンタクトホールCNT2を経て、金属画素電極SPM、さらに第5のコンタクトホールCNT5を経て透明画素電極SPTへ至るのが画素電位の充電経路である。一方、保持容量配線CSTLはTF Tがオン状態となる電圧V_{st}が印加されており、ゲート絶縁膜GIを誘電体とする単位面積あたり大きな保持容量値を得られる構造となっている。

【0125】共通電極CPMLは前述のように低抵抗金属材料があるいは低抵抗金属材料と高抵抗ながらITOのような透明電極の積層構造で構成されている。その場合、透明画素電極SPTも共通電極CPMLと同一工程、材料で構成された低抵抗の金属材料で構成してもよい。

【0126】（実施例3）図18は本実施例における画素の平面図、図19は図18の19-19'切断線における断面構造、図20は図18の20-20'切断線における断面構造である。

【0127】実施例1及び実施例2では保持容量配線CSTLはゲート配線GLと隣接して配置されていたが、本実施例ではドレイン配線DL間の中央部、すなわち、実施例1の図1の共通電極配線CLが配置された位置に保持容量配線CSTLが配置されている。さらに、この保持容量配線CSTLは平面的には共通電極CPML及び金属画素電極SPMが折り重なるように被覆されている。これにより、短絡を防止しつつCSTLからの漏洩電界のシールドが実現する。

【0128】本構造では実施例1に比べて、保持容量配線CSTLの専有する面積の開口率が向上し、明るい液晶表示装置が実現できる。

【0129】図19は図18の19-19'切断線に沿った断面図である。画素の液晶容量を駆動するTFT及び保持容量部の断面構造を示す。TFTの動作は、実施例1及び実施例2と同様である。TFTのゲート配線GLにオン電圧が印加されるとドレイン配線DLからの電流が流れる。その際に、保持容量配線CSTLがオン電圧が印加されているので、保持容量CSTLを一方の電極、p型ポリシリコンPSI(p)を他方の電極、誘電体をゲート絶縁膜GIとする保持容量が動作する。液晶分子は、低抵抗の金属あるいは低抵抗の金属とITOなどの透明電極の積層の共通電極CPLと、TFTから電流を供給し、金属画素電極からに接続された透明画素電極SPTとの間で形成される基板と平行な方向の成分を有する電界、すなわち横電界で駆動される。

【0130】保持容量配線CSTLは図19では金属画素電極SPMとCPLで電気シールドされる。

【0131】図20は図18の20-20'切断線に沿った断面図であり、隣り合うドレイン配線DL間を横切る保持容量配線CSTLに関する断面図である。

【0132】隣り合うドレイン配線DL間の下部を層間絶縁膜ILIを隔て保持容量配線CSTLが横切っている。保持容量は、保持期間も含めてTFTのゲートのオン電圧以上の電圧が印加されている。従って、ゲート絶縁膜GIと接するp型ポリシリコンPSI(p)界面には電子が誘起されp型ポリシリコンは導体電極として動作する。従って、ゲート絶縁膜GIを誘電体とする保持容量として機能する。

【0133】一方、前記保持容量配線CSTLの電圧は、液晶への駆動電圧とは異なるためこれは電氣的にシールドする必要がある。実施例1及び実施例2では、これを透明共通電極CPTあるいは共通電極CPLの共通電位で行った。

【0134】本実施例では、断面構造でわかるように有機保護膜FPAS上の共通電極CPLと透明画素電極SPMは基本的には同一工程で形成しているため、例えば、共通電極CPLのみで被覆シールドは、電氣的にショート不良となるためできない。そこで、液晶へは共通電極の電位、画素電極の電位であれば電界の乱れは起こらないので、共通電極CPLと金属画素電極SPM、さらに透明画素電極SPTを絶縁膜である層間絶縁膜ILI及び保護膜PAS及び有機保護膜FPASの積層膜で挟み、互いにショートしないように折り重ねることで電氣的にシールドしていることが特徴になっている。

【0135】以上の各実施例は、いわゆるn型のMOS構造のTFTを用いたIPS方式のTFT液晶表示装置で記載したが、これをp型MOS構造を用いた方式で使えることは言うまでもない。

【0136】(実施例4)図21は本実施例における画素の平面図、図22は図21の22-22'切断線にお

ける断面構造、図23は図22の変形例である。

【0137】本実施例ではPSIとCSTLによる容量形成の概念をTN方式に適用した例である。PXは画素電極であり、CNT2でPSIと接続され、画素電位が供給される。PXはITOなどの透明電極で構成され、また開口率向上の観点から境界部をGL上及びDL上に構成している。対向基板(図示していない)には共通電極がITOなどの透明電極で形成され、該共通電極と画素電極間の電位差を基板と垂直な方向に形成する、いわゆる縦電界により液晶分子が駆動される。

【0138】本実施例では、IPS以外の方式でも、保持容量の増大を実現した。

【0139】図22は図21の22-22'切断線に沿った断面図である。画素の液晶容量を駆動するTFT及び保持容量部の断面構造を示す。TFTの動作は、実施例1と同様である。TFTのゲート配線GLにオン電圧が印加されるとドレイン配線DLからの電流が流れる。その際に、保持容量配線CSTLにオン電圧が印加されているので、保持容量CSTLを一方の電極、p型ポリシリコンPSI(p)を他方の電極、誘電体をゲート絶縁膜GIとする保持容量が動作する。

【0140】図23は図22の変形例である。PXとPSIのCNT2でのコンタクトの代わりに、PSIとDL層で形成されたPADが一度コンタクトし、このPADとPXがコンタクトしている。PSTは半導体層であり、酸素の存在により酸化され、表面に酸化層が形成され、接続抵抗が増加することが生じ得る。PXは透明電極であるが、これは例えばITOのように多くは導電性酸化物であるため、この現象に対する対策を講じることで信頼性の向上と特性の向上が図れる。

【0141】そこで、PADを構成し、PSIと接続するのはあくまで金属層とし、該金属層であるPADとPXを接続することにより電氣的接続を行った。

【0142】本実施例のように縦電界方式の液晶表示装置、TN方式、VA方式、MVA方式、PVA方式、あるいはOCB方式やFFS方式の液晶表示装置を構成しても容量増加による効果を奏することが出来る。

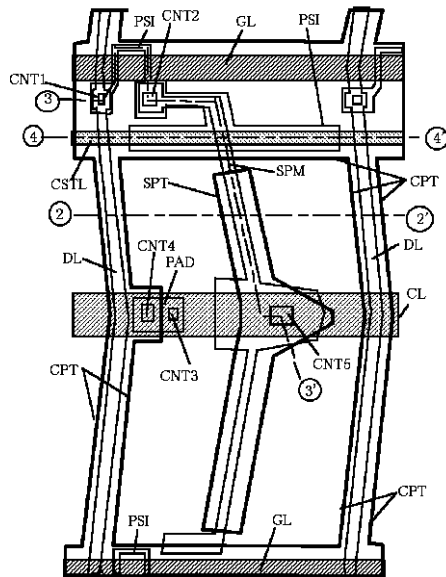
【0143】また本明細書においてポリシリコンとは、アモルファスに対向する意味として、結晶性を付与された半導体の意味で用いられており、高温、低温を問わずポリシリコンあるいはp-Siは全て含む。巨大結晶シリコン、連続粒界シリコン、CGSも含む。また単結晶でも良い。半導体はシリコンに限らず、他の半導体でも結晶性を付与されたものであればよい。

【0144】

【発明の効果】大きな保持容量を安定して実現でき、高画質、高歩留まり、高性能の液晶表示装置が実現できる。特に、低温ポリシリコンTFTで構成されたIPS表示方式の液晶表示装置において、大きな保持容量を安定動作させる構造、駆動が実現され、製造歩留りが高

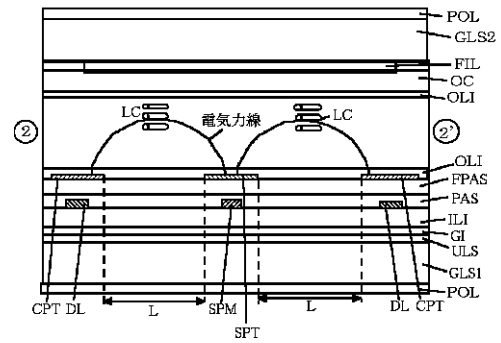
【図1】

図1



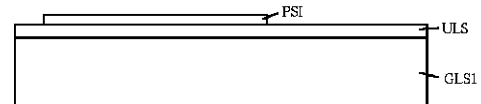
【図2】

図2



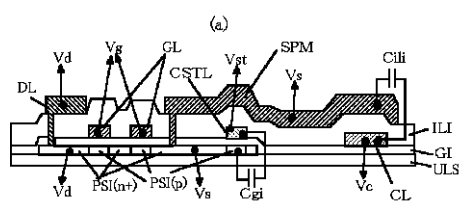
【図6】

図6

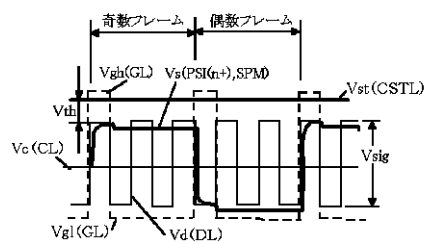


【図5】

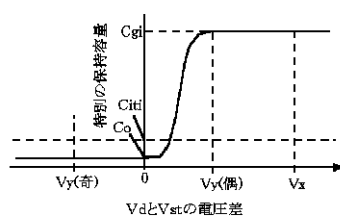
図5



(b)

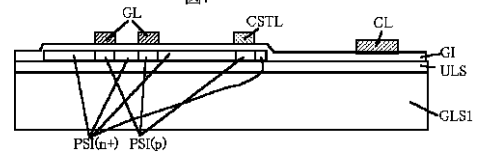


(c)



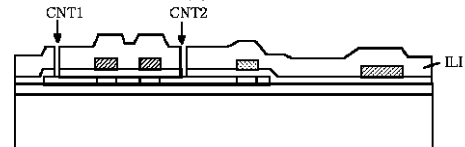
【図7】

図7



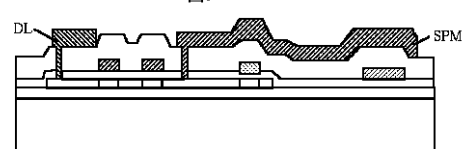
【図8】

図8

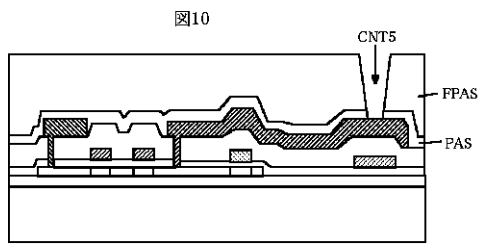


【図9】

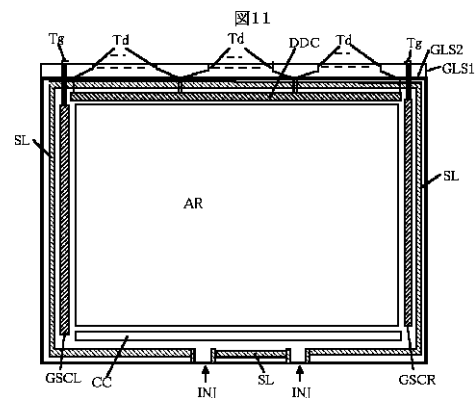
図9



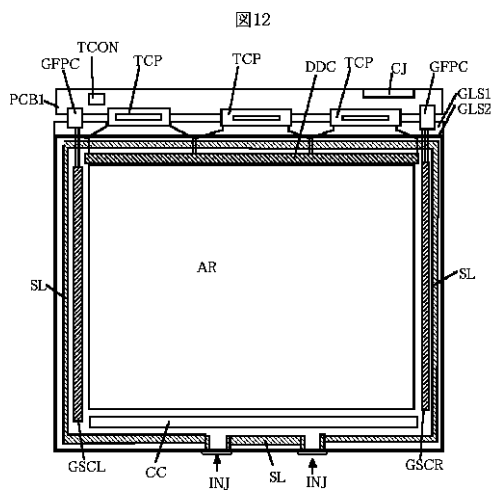
【図10】



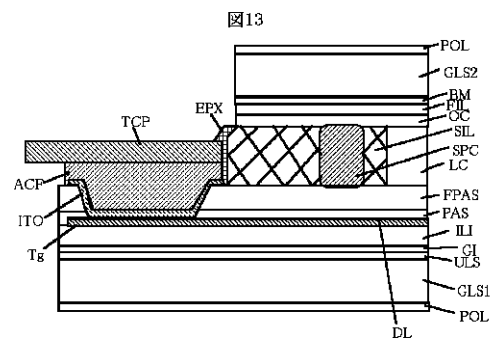
【図11】



【図12】

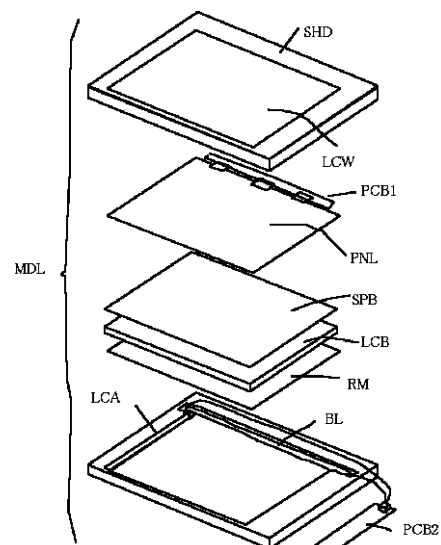
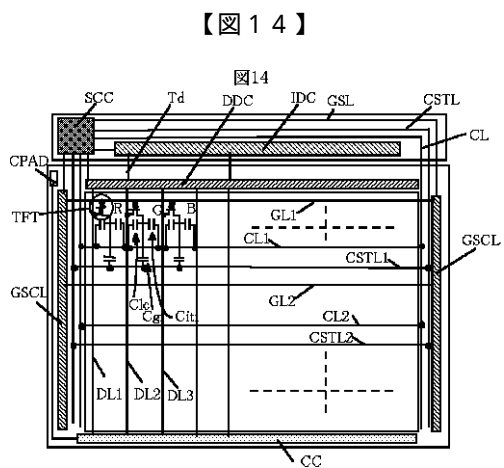


【図13】



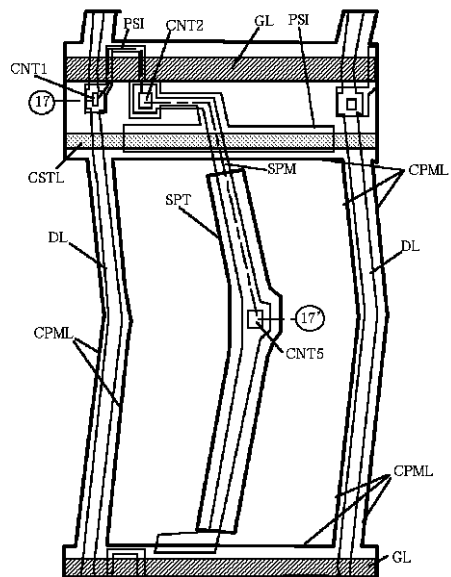
【図15】

図15



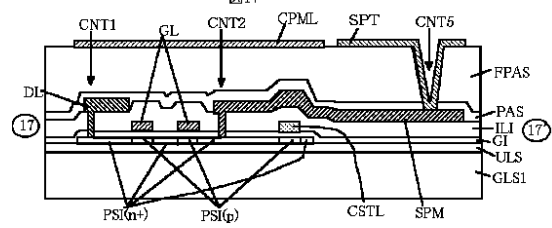
【図16】

図16



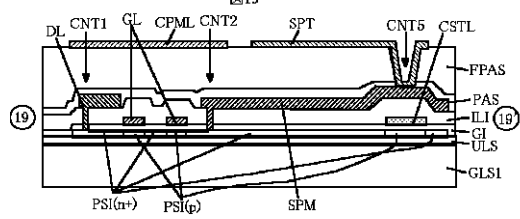
【図17】

図17



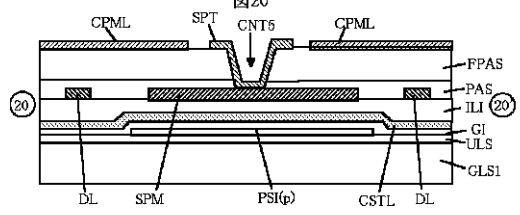
【図19】

図19



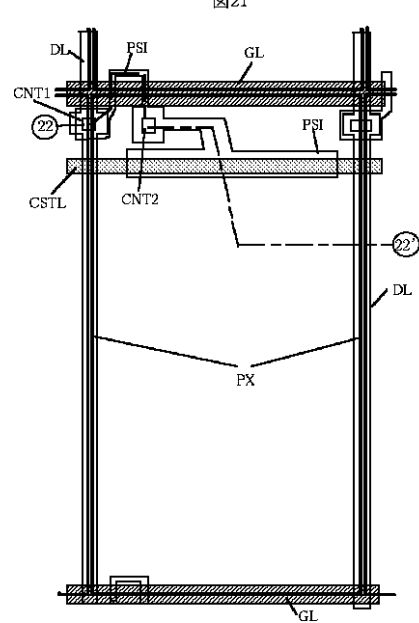
【図20】

図20



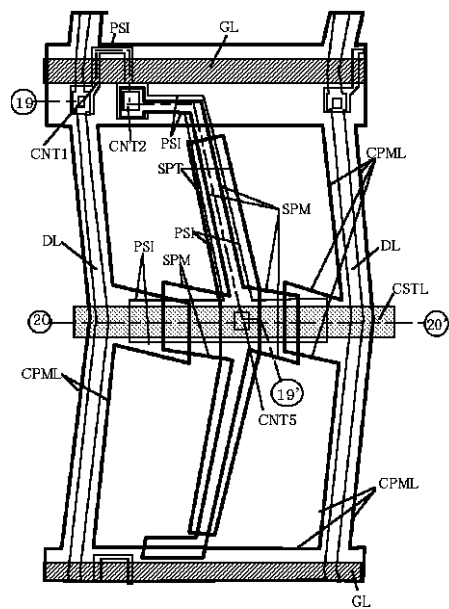
【図21】

図21

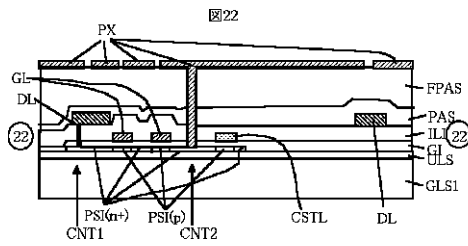


【図18】

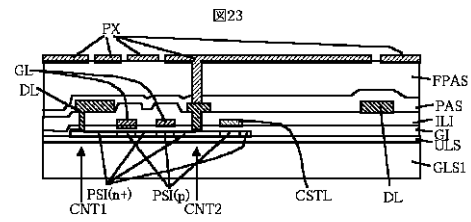
図18



【図22】



【図23】



フロントページの続き

(72)発明者 今山 寛隆
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内
(72)発明者 小野 記久雄
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

Fターム(参考) 2H092 GA14 HA04 JA24 JA46 JB64
KA04 MA08 NA01 NA29 PA06
PA13 QA06 QA07 QA09 QA10
2H093 NC02 NC34 NC35 NC49 ND08
ND53 NF04 NF05 NF09 NF13
5C094 AA10 BA03 BA43 CA19 DA13
EA04 EA05 EA07 FB14 FB15
HA08

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003149675A	公开(公告)日	2003-05-21
申请号	JP2001349571	申请日	2001-11-15
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	落合孝洋 桶隆太郎 今山寛隆 小野記久雄		
发明人	落合 孝洋 桶 隆太郎 今山 寛隆 小野 記久雄		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1343 G02F1/136 G02F1/1362 G09F9/30 G09F9/35		
CPC分类号	G02F1/136213 G02F1/134363 G02F1/1368 G02F2202/104		
FI分类号	G02F1/1368 G02F1/133.550 G09F9/30.338 G09F9/35 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/HA04 2H092/JA24 2H092/JA46 2H092/JB64 2H092/KA04 2H092/MA08 2H092/NA01 2H092/NA29 2H092/PA06 2H092/PA13 2H092/QA06 2H092/QA07 2H092/QA09 2H092/QA10 2H093/NC02 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND08 2H093/ND53 2H093/NF04 2H093/NF05 2H093/NF09 2H093/NF13 5C094/AA10 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/EA05 5C094/EA07 5C094/FB14 5C094/FB15 5C094/HA08 2H092/JB32 2H192/AA24 2H192/BB53 2H192/BB73 2H192/BC42 2H192/CB13 2H192/CC04 2H192/CC55 2H192/CC72 2H192/DA32 2H192/DA44 2H192/DA65 2H192/EA43 2H192/FA44 2H192/FA73 2H192/FB05 2H192/FB46 2H192/GA03 2H192/GD32 2H193/ZA04 2H193/ZF02 2H193/ZQ06 2H193/ZQ08 2H193/ZQ09 2H193/ZQ16		
其他公开文献	JP2003149675A5 JP4019697B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过使用低温多晶硅TFT（薄膜晶体管）使液晶显示装置具有稳定的保持电容。解决方案：在作为一个电极的半导体层和保持电容器布线之间插入电容器，其间插入绝缘膜，并且使用于使MOS晶体管恒定导通的电压施加到保持电容器布线。通过增加保持电容值，可以获得能够进行稳定显示的明亮的TFT显示装置。

